

TAMPEREEN AMMATTIKORKEAKOULU

Tietotekniikan koulutusohjelma

Tietokonetekniikka

Tutkintotyö

Emil Palomäki

INTEL CORE -MIKROARKKITEHTUURI

Työn ohjaaja

Kai Poutanen

Tampere 2006

TAMPEREEN AMMATTIKORKEAKOULU

Tietotekniikan koulutusohjelma

Tietokonetekniikka

Palomäki, Emil Intel Core -mikroarkkitehtuuri

Tutkintotyö 40 sivua

Työn ohjaaja Kai Poutanen

Toukokuu 2006

Hakusanat mikroarkkitehtuuri, Core, Intel, moniydin

TIIVISTELMÄ

Tässä työssä käsitellään seuraavan sukupolven prosessoreita IA-32 -arkkitehtuurissa. Lisääntynyt tarve saada yhä enemmän laskentatehoa prosessoreista uusien entistä raskaampien ohjelmistojen toimimiseen ilman pitkiä viiveitä ja kuitenkin tarve saada paisunut sähkönkulutus hallintaan ovat pakottaneet sirunvalmistajat uusiin mikroarkkitehtuurisiin innovaatioihin. Intel lähestyy näitä vaatimuksia kehittyneellä Intel Core -mikroarkkitehtuurilla.

Työssä on esitelty hieman aikaisempia mikroarkkitehtuureita, jotta on saatu selkeämpi käsitys muutoksista uusissa prosessoreissa. Aiheina ovat itse ytimen käsittely-yksiköt: kokonaisluku-, liukuluku- ja vektoriyksiköt. Myös laitteistopohjaiset innovaatiot, jotka parantavat prosessoreiden suorituskykyä, kuitenkin virtaa säästämällä, ovat esiteltyinä työssä.

Tulevaisuudessa prosessorit kehittyvät entisestään, mutta tulevat pohjautumaan pitkälti nyt saavutettuun tekniikkaan. Nyt tulevilla prosessoreilla tulee olemaan kaksi ydintä, mutta tulevaisuudessa ytimiä voi olla monia kymmeniä samalla prosessorisirulla.

TAMPERE POLYTECHNIC

Computer Systems Engineering

Computer Engineering

Emil, Palomäki Intel Core Microarchitecture

Engineering Thesis 40 pages

Thesis Supervisor Kai Poutanen

May 2006

Keywords microarchitecture, Intel, Core, multi-core

ABSTRACT

Microarchitecture in microprocessors has been evolving for decades. New processors need further more computing power, and there is a demand for less power consumption with the processors. These demands have pushed the processor developers to create new, more advanced microarchitecture for the next-generation processors. This study centers on the innovations and the new hardware changes on these next-generation microprocessors, and compares them with the older generations. Next-generation microprocessors are much more robust and use a lot less power compared to the existing microprocessors, thanks to the multi-core design with lower operating frequencies. In the future microprocessors keep on evolving maintaining the multi-core trend with processors having even dozens of separate cores on the same die.

SISÄLLYSLUETTELO

TIIVISTELMÄ

ABSTRACT

SISÄLLYSLUETTELO	4
LYHENTEET JA KÄSITTEET.....	5
1 JOHDANTO	6
2 PROSESSORIEN KEHITYSKULKU	6
2.1 Symmetrinen multiprosessointi	6
2.2 Superskalaarisuorittimet	7
2.3 Yhtäaikainen säikeistys – Simultaneous Multithreading (SMT)	8
2.3.1 Hyper Threading -tekniikka.....	9
2.4 Sirutason multiprosessointi – Chip-level multiprocessing (CMP)	10
3 INTELIN PROSESSORIARKKITEHTUURI	11
3.1 Intel-prosessoreiden mikroarkkitehtuuri 1993 - 2005.....	11
3.1.1 P5-mikroarkkitehtuuri (Intel Pentium 1993)	12
3.1.2 P6-mikroarkkitehtuuri (1995 – 1999)	13
3.1.3 NetBurst-mikroarkkitehtuuri (2000 -).....	16
3.1.4 Mobile-mikroarkkitehtuuri (2003 -)	18
3.2 Multi-Core -prosessorit.....	19
4 CORE-MIKROARKKITEHTUURI.....	20
4.1 Suoritusydin Core-mikroarkkitehtuurissa.....	22
4.2 Kokonaislukukäsittely-yksiköt	24
4.3 Liukulukukäsittely-yksiköt /3/	25
4.4 Vektorisuoritusyksiköt /3/.....	26
4.5 Core-ytimen liukuhihna	28
4.6 Käskyikkuna	29
4.7 Käskyjen dekodaus	29
4.8 Makrofuusio.....	31
4.8.1 Mikro-operaatiofuusio /3/	31
4.9 Haarautumisen ennustus /3/	32
4.10 Memory disambiguation – muistiosoituksen yksinkertaistaminen /3/.....	34
5 SUORITUSKYKY	37
6 TULEVAISUUS	38
7 YHTEENVETO.....	39
LÄHDELUETTELO.....	40
Painetut lähteet.....	40
Sähköiset lähteet	40

LYHENTEET JA KÄSITTEET

IA-32	Intel Architecture, 32-bit – Intelin 32-bittinen käskykanta
SMP	Symmetric Multiprocessing
Superskalaari	vuoroittaisprosessointi
Lähetinjä	dispatcher – osa prosessoriydintä, joka välittää suoritinkomentoja käsittely-yksiköille
SMT	Simultaneous Multithreading
EM64T	Extended Memory 64-bit Technology -lisäys IA-32 -arkkitehtuuriin
Out-of-order	käskyjen epäjärjestyssuorittaminen
SSE/SSE2/SSE3	128-bittiset multimediakäskyt
IPC	Instruction Per Clockcycle – suoritettujen käskyjen määrä kellojaksoa kohden
VLIW	Very Long Instruction Word
Makrofuusio	kahden komennon yhdistäminen yhdeksi ennen dekodoria
Mikro-operaatiofuusio	kahden mikro-operaation yhdistäminen yhdeksi dekodauksen jälkeen
Skalaari	yksiulotteinen tietotyyppi kuten merkki, totuusarvo tai luku
Vektori (SIMD)	Simple Instruction, Multiple Data – yksinkertainen komento, johon liittyy useita tietoalkioita eri muistipaikoista

1 JOHDANTO

Suurin osa käytössä olevista tietokoneiden prosessoreista on yhden ytimen tekniikalla toteutettu, ja ne sisältävät vain yhden käskyjä suorittavan yksikön. Uuden sukupolven suorittimet sisältävät kaksi tai useampia ytimiä, jotka pystyvät suorittamaan samalla hetkellä monen säikeen käskyjä. Tekniikka mahdollistaa entistä tehokkaampien tietokoneiden valmistamisen samalla vaivalla, koska moniytiminen prosessori valmistetaan samanlaiselle piisirulle kuin vanhat prosessorit.

Moniydinsuorittimet ovat parhaimmillaan säikeellisillä ohjelmistoilla. Yhdellä prosessoriytimellä ohjelmat etenevät peräkkäisinä prosesseina yhtenä säikeenä, mutta kaksi ydintä voi samanaikaisesti hoitaa kahta ohjelmistosäiettä samanaikaisesti. Tämä mahdollistaa yhä tehokkaampien ohjelmistojen suunnittelun ja käytön. Monisäikeiset ohjelmistot ovat tuttuja ammattikäytössä tietokanta- ja palvelinohjelmistoista. /12/

Suuri etu moniytimisillä suorittimilla on niiden saavuttama energiansäästö tavallisissa pöytäkoneissa ja palvelimissa. Yksi Intelin ja muiden prosessorivalmistajien päämäärinä onkin ollut saavuttaa yhä enemmän laskentatehoa entistä pienemmällä sähkönkulutuksella.

2 PROSESSORIEN KEHITYSKULKU

Moniydinsuorittimet eivät ole aivan uusi käsite. Digitaalisen signaalin käsittelyn (DSP – Digital Signal Processing) suorittimet ovat jo kauan hyödyntäneet montaa ydintä. Tyypillinen DSP-rakenne on esimerkiksi ollut yhdistää RISC-suoritin ja DSP-mikroprosessoriyksikkö yhdeksi kokonaisuudeksi. /13/

2.1 Symmetrinen multiprosessointi

Tietokoneissa vastaavaa muotoa on edustanut kahden prosessorin käyttö samalla emolevyllä, ja piirisarjan avulla ne ovat jakaneet saman osoitevaruuden. Tätä on kutsuttu symmetriseksi multiprosessoinniksi (SMP – symmetric multiprocessing) /14/. SMP:llä on

monia hyödyllisiä etuja tieteessä, teollisuudessa ja liiketoiminnassa, missä ohjelmistot on yleensä tilaustyönä ohjelmoitu tukemaan monisäikeistä prosessointia. Useimpia kuluttajaohjelmistoja ei kuitenkaan ole koodattu tukemaan SMP-järjestelmiä, kuten tekstinkäsittelyohjelmia tai pelejä. Monet ohjelmat kuitenkin hyötyvät SMP-koneista, vaikka ne olisikin suunniteltu toimimaan yksiprosessorisella pöytäkoneella. Ne suoriutuvat yhä nopeammin monista komendoista, koska laitteistokeskeytykset estävät prosessoria suorittamasta komentoa, ja sillä välin toinen prosessori voi suorittaa jo seuraavaa komentoa.

2.2 Superskalaarisuorittimet

Nykytuotoinen suoritinkomentojen vuoroittaisprosessointi (sequential processing) on käytössä yleisesti PC-tietokoneissa. Suurta laskentakykyä vaativat ”supertietokoneet” ja suuret palvelimet ovat toimineet rinnakkaisprosessointiperiaatteen pohjalta (parallel processing) jo kauan. Varsinkin palvelinkoneet ovat toteuttaneet sen SMP-tekniikalla ja monisäikeisillä ohjelmistoilla.

Intel on jo pitkään ajanut pöytä tietokonesuorittimilleen mahdollisuutta jonkinlaiseen rinnakkaisuorittamiseen. Ensimmäisiä toteutuksia olivat superskalaarisuorittimet, jotka mahdollistivat suorittimen toimimisen nopeammin kuin pelkkä suorittimen taajuus antoi ymmärtää. Superskalaarisuoritin noutaa, suorittaa ja palauttaa tuloksia useammasta kuin yhdestä tavallisesta suoritinkomennosta yhden liukuhinnavaiheen (pipeline stage) aikana, joka normaalisti on yksi kellojakso. /9/

Yksinkertaisimmat prosessorit ovat skalaarisuorittimia. Se käsittelee yhtä tietoalkiota kerrallaan. Vektorisuorittimessa vastaavasti yksi komento suorittaa samanaikaisesti usean tietoalkion funktiota. Superskalaaria voitaisiin nimittää näiden kahden edellisen sekoitukseksi. Jokainen komento käsittelee yhtä tietoalkiota, mutta suoritin sisältää useita käsittely-yksiköitä. Tämä mahdollistaa yhä useampien komentojen tietoalkioiden käsittelyn samanaikaisesti. /9/

Superskalaarisuoritin sisältää useita samanlaisia käsittely-yksiköitä ja lisäksi mikropiiristön, joka lähettää käskyt yksiköille. ”Lähetäjä” (dispatcher) lukee komennot muistista ja päättää, mitkä toiminnot voidaan suorittaa samanaikaisesti. Tämän jälkeen se lähettää ne oikeisiin käsittely-yksiköihin. /9/

Suuri osa nykyaikaisten prosessorien suunnittelussa käytetystä ajasta kuluu toimivan ja tarkan ”lähetäjä”-mikropiiristön suunnitteluun. Prosessoreissa olevien käsittely-yksiköiden määrän lisääntyessä ”lähetäjä”-mikropiiristön merkitys on korostunut entisestään. Jos ”lähetäjä” ei pysty pitämään kaikki yksiköitä koko ajan toiminnassa, se hidastaa koko järjestelmää huomattavasti.

Vuodesta 1998 lähtien lähes kaikki yleiskäyttöiset suorittimet ovat olleet superskalaarisuorittimia.

2.3 Yhtäaikainen säikeistys – Simultaneous Multithreading (SMT)

SMT on tekniikka superskalaarisuorittimien tehokkuuden parantamiseksi. SMT sallii useiden toisistaan riippumattomien suoritussäikeiden käytön. Säikeet mahdollistavat resurssien entistä paremman hyödyntämisen moderneissa suorittimissa. /15/

Säikeistetyt käyttöjärjestelmät antavat useiden prosessien ja säikeiden käyttää suoritinta yksi kerrallaan ja sallivat rajatun omistajuuden kullekin säikeelle tietyn ajan jakson ajaksi. Tätä kutsutaan nimellä Temporal multithreading. Usein koko prosessi pysähtyy paikalleen sadoiksi kellojaksoiksi säikeen odottaessa tietoalkiota suorittimen ulkopuolelta.

Menestyksenkäs parannus tälle on supersäikeisyys (super-threading), mikä mahdollistaa suorittimen käyttävän resurssejaan toisten säikeitten komentojen suorittamiseen joka kellojaksolla. Siis toisen säikeen odottaessa tietoalkiota ulkoisesta muistista voi valmiudessa oleva säie suorittaa sillä välin komentojaan suorittimella. /1/

Tämäkään ei vielä täytä prosessorin koko kapasiteettia, koska yksittäinen säie ei (välttämättä) käytä kaikki mahdollisia käsittely-yksiköitä samaan aikaan. SMT sallii useiden yhtäaikaisten säikeitten suorittaa eri komentoja samalla kellojaksolla käyttämällä niitä käsittely-yksiköitä, joita ensimmäinen säie jätti vapaaksi (vrt. superskalaarisuoritin).

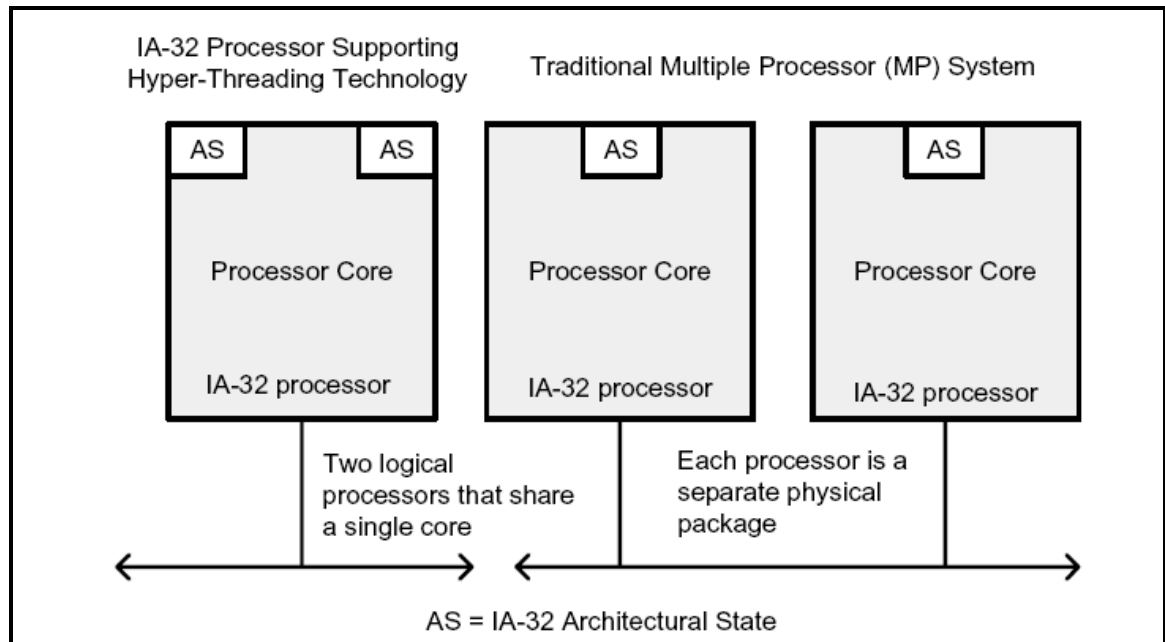
Prossessorin perusarkkitehtuuriin ei täydy tehdä mitään merkittäviä muutoksia SMT:n kannalta. Isoimmat lisäykset koskevat komentojen noutoa yhä useammasta säikeestä ja yhä suuremman rekisterin olemassa oloa käskyjen säilyttämistä varten. Säikeitten määrä on piirisuunnittelijoiden päätettävissä, mutta käytännöllisyys on rajoittanut säikeiden määrän kahteen tai neljään. Kuitenkin jopa kahdeksan säikeen suorittimia on olemassa. /15/

2.3.1 Hyper Threading -tekniikka

Intel Pentium 4 oli ensimmäinen moderni pöytäkonesuoritin, joka käytti SMT-tekniikkaa. Ensimmäinen sillä varusteltu suoritin oli 3.06 GHz:n malli, joka julkistettiin 2002. Useat Intelin suorittimet on sen jälkeen varustettu sillä. Intel kutsuu omaksumaansa SMT-mallia Hyper Threading Technology -nimellä. /1/

HT-tekniikka varustaa prosessorin kahden säikeen SMT-järjestelmällä. Intel lupaa jopa 30 %:n suorituskyvyn parannuksen verrattuna samanlaiseen Pentium 4-suorittimeen ilman SMT:tä. /16/

HT toimii kopioimalla tietyt osat prosessorista – ne osat, jotka sisältävät prosessin tilan, mutta eivät pääkäsittely-yksiköitä. Suoritin valmistettuna vastaavanlaisesti saa itsensä näyttämään kahdelta ”loogiselta” suorittimelta käyttöjärjestelmälle (kuva 1). Tämä mahdollistaa yhä useamman säikeen yhtäaikaisen suorittamisen. /1/



Kuva 1 Hyper Threading -suorittimen ja monisuoritinjärjestelmän välinen ero /1/

Tämä uudistus on täysin huomaamaton ohjelmistoille ja käyttöjärjestelmille. Ainoastaan käyttöjärjestelmän täytyy olla SMP-yhteensopiva, sillä käyttöjärjestelmä ymmärtää loogiset suorittimet kahtena erillisenä suorittimena.

2.4 Sirutason multiprosessointi – Chip-level multiprocessing (CMP)

Muut valmistajat ovat jo pitkän aikaa ajaneet erityyppistä ratkaisua suorittimien tehon parantamiseksi. Tätä on koetettu työstää laajentamalla prosessorin suorittamaa käskymäärää lisäämällä suoritinytimiä samalle sirulle. Se mahdollistaa fyysisesti kahden erillisen säikeen ajamisen rinnakkain, mistä tulee nimi Chip-level multiprocessing (CMP) /17/. CMP edistää superskalaariprosessorien entistä tehokkaampaa hyödyntämistä. Se on ollut erityisesti Internatioanal Business Machines -yhtiön (IBM) suunnitelmissa jo kauan, sillä suuri osa sen prosessoreista sijoittuu palvelinpuolelle, jossa ohjelmat ovat jo kauan olleet monisäikeisiä. Jonkin verran keskustelua on ollut siitä, onko moniytiminen suoritin itse asiassa kaksi erillistä suoritinta vai yksi suoritin, jossa on vain enemmän tehoa.

IBM toi julki ensimmäisen tuplaydinsirunsa jo vuonna 2000. Hewlett-Packardin PA-RISC tuli kolme vuotta myöhemmin, vuonna 2003. Sun Microsystems julkisti 2005 UltraSPARC T1-prosessorinsa. Intelin suurin kilpailija kuluttajien pöytäkoneissa, Advanced Micro Systems (AMD), sai markkinoille oman tuplaydinsirunsa huhtikuussa 2005. /13/

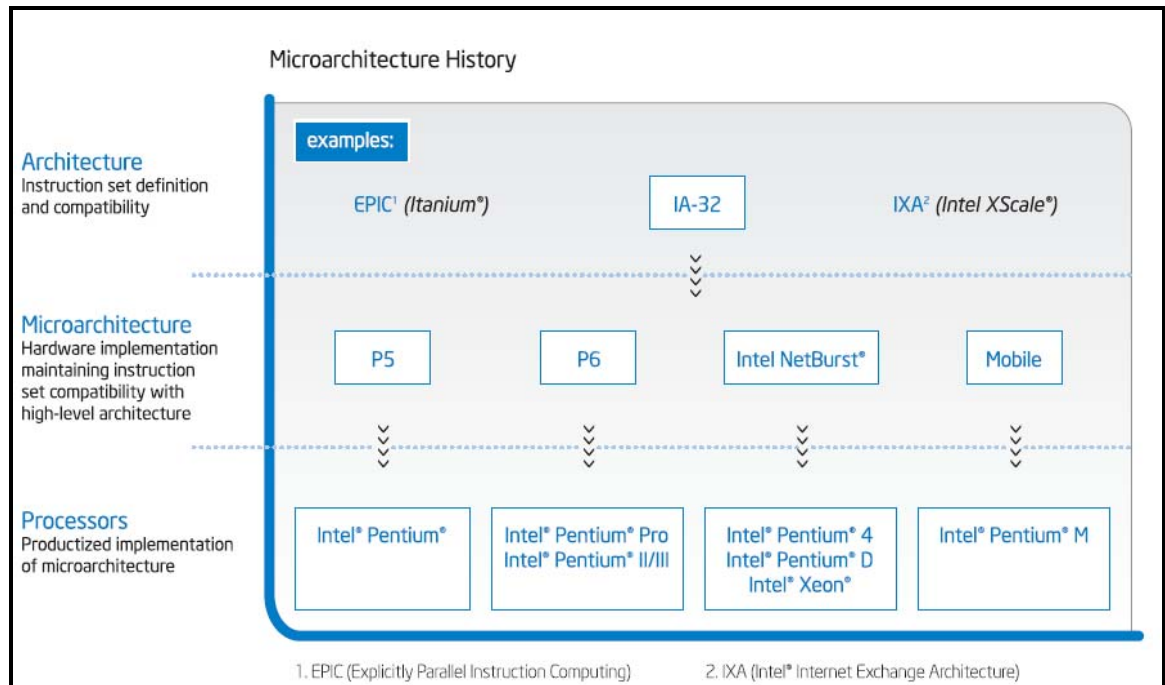
3 INTELIN PROSESSORIARKKITEHTUURI

Prosessoriarkkitehtuuri kertoo, mihin käskykantaan kyseiset prosessorit perustuvat. Myös rekisterit ja muistitietorakenteet, jotka ovat julkisia ohjelmoijille, sisältyvät prosessoriarkkitehtuuriin. Arkkitehtuuri säilyttää käskykannan yhteensopivuuden prosessoreiden välillä ja mahdollistaa koodin suorittamisen vanhoissa, nykyisissä ja uusissa prosessorisukupolvissa. /1/

Ensimmäinen IA-32 -käskykantaan perustuva (Intel Architecture, 32 bit) 32-bittinen prosessori julkistettiin vuonna 1985, ja sen mallinumero oli 80386. Vielä nykyäänkin, kaksikymmentä vuotta myöhemmin, PC-koneet perustuvat tähän samaan arkkitehtuuriin. Vasta kesäkuussa 2004 julkistettiin ensimmäinen Intel-prosessori, jossa oli uusi EM64T-lisäys (Extended Memory 64-bit Technology) alkuperäiseen IA-32 -käskykantaan. Tämä lisäys ei kuitenkaan ole täysiverinen 64 bitin arkkitehtuuri. Nämä uudet prosessorit kuuluvat edelleen IA-32 -arkkitehtuurin perheeseen. Intelin IA-64 -arkkitehtuuria ei pidä yhdistää mitenkään näihin kahteen, koska se perustuu kokonaan erilaiseen käskykantaan, ja sitä hyödyntävät Itanium-prosessorit eivät ole käytössä normaaleissa PC-koneissa.

3.1 Intel-prosessoreiden mikroarkkitehtuuri 1993 - 2005

Mikroarkkitehtuuri viittaa prosessoriarkkitehtuurin toteutukseen piisirulla. Prosessoriperheen yhteydessä mikroarkkitehtuuria usein kehitetään entistä paremman suorituskyvyn ja tehokkuuden saavuttamiseksi. Uusien mikroarkkitehtuurien pitää kuitenkin olla yhteensopivia kaikkien edellisten toteutusten kanssa, jotta arkkitehtuuriin perustuvat ohjelmistot ja sovellukset toimivat kaikissa (kuva 2).



Kuva 2 Proessoriarkkitehtuurin ja mikroarkkitehtuurin välinen ero /5/

3.1.1 P5-mikroarkkitehtuuri (Intel Pentium 1993)

Intel Pentium oli ensimmäinen viidennen sukupolven prosessori IA-32 -arkkitehtuurissa. Se toi suuria muutoksia verrattuna neljännen sukupolven 486-proessoreihin.

Se sisälsi ensimmäisenä Intel-suorittimena superskalaaritoimintakyvyn. P5-proessorit sisälsivät kaksi liukuhihnaa ja ne mahdollistivat enemmän kuin yhden käskyn suorittamisen yhden kellojakson aikana. Toinen liukuhinna (nimeltään "U") voi käsitellä mitä käskyjä vain, kun taas toinen liukuhinna (nimeltään "V") voi suorittaa yksinkertaisimpia, yleisimpiä käskyjä. /18/

- Sirulla oleva L1-välimuisti kaksinkertaistui ja sisälsi 8 kilotavua muistia ohjelmakoodille ja 8 kilotavua tietoalkioille. /1/
- Prosessori sisälsi myös 64 bitin ulkoisen dataväylän. Tämä kahdensi muistista haetun datan määrän. Proessorin päärekisterit olivat kuitenkin 32-bittisiä. /1/

- Sisäiset dataväylät olivat 128- ja 256-bittisiä, jotka lisäsivät prosessorin sisäistä datansiirtokykyä. /1/
- Koodin haaroittumisen ennustemallit lisättiin sirulle ja näin parannettiin silmukoiden suorituskykyä. /1/

Mikroarkkitehtuurin kehitys lisäsi P5-suorittimiin myöhemmin Intel MMX -teknologian. MMX-teknologia viittaa IA-32 -käskykantaan lisättyihin multimediakäskyihin. MMX käyttää SIMD-mallia (Single-Instruction, Multiple Data) suorittaakseen rinnakkaislaskentoja pakatulle kokonaislukudatalle, jota 64-bittiset rekisterit sisälsivät. /18/

P5-arkkitehtuurin suorittimet antoivat hieman alle kaksinkertaisen suorituskyvyn verrattuna 486-perheen suorittimiin.

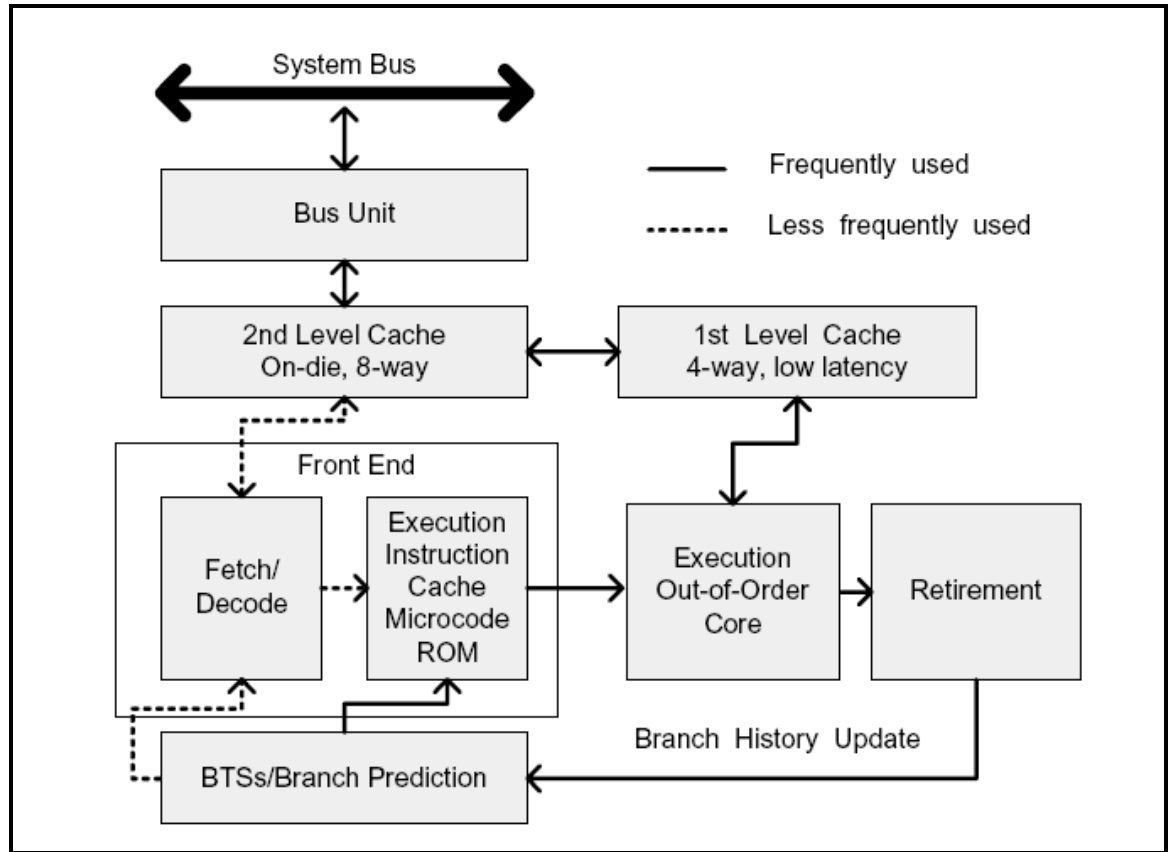
3.1.2 P6-mikroarkkitehtuuri (1995 – 1999)

Kuudennen sukupolven mikroarkkitehtuuri sisälsi useita eri prosessorimalleja /1/:

- Pentium Pro
- Pentium II
- Pentium II
- Pentium Celeron
- Pentium III
- Pentium III Xeon

Kaikki mallit kuitenkin pohjautuivat samaan P6-mikroarkkitehtuuriin, joka esiteltiin ensimmäisen kerran Pentium Pro -prosessorissa. Mikroarkkitehtuuri on kolmitie-superskalaari. Kolmitiesuperskalaari tarkoittaa, että käyttämällä rinnakkaisprosessoointitekniikoita prosessori pystyy keskimääräisesti dekodamaan, lähettämään ja suorittamaan käskyn kolmesta eri komennosta yhden kellojakson aikana. Pystyäkseen tukemaan näin monen käskyn yhtäaikaista suorittamista P6-mikroarkkitehtuurin prosessorit käyttää

eroteltua (decoupled) kahdentoista tason superliukuhihnaa (superpipeline), joka tukee käskyjen epäjärjestyksessä (out-of-order) suorittamista. /1/



Kuva 3 P6-mikroarkkitehtuuri /1/

Kuvassa 3 on esitettyä käsitteellinen näkymä P6-prosessorimikroarkkitehtuurin liukuhihnasta uudella L2-välimuistilla, joka on sijoitettu samalle piirille kuin itse suoritin.

Varmistaakseen tasaisen käskyjen ja datan saannin prosessoriytimelle P6-prosessorit sisältävät kaksi välimuistia. L1-välimuisti koostuu 8 kilotavun komentomuistista ja 8 kilotavun tietoalkiomuistista, kumpikin on läheisesti kytketty liukuhihnaan. L2-välimuisti antaa prosessorille 256, 512 tai 1024 kilotavua staattista RAM-muistia mikä on kytketty prosessoriytimeen 64-bittisellä sisäisellä väylällä, joka toimii samalla nopeudella kuin ydinkin. Tärkein osa P6-suorittimia on epäjärjestyksessä komentoja suorittava ydin, jota

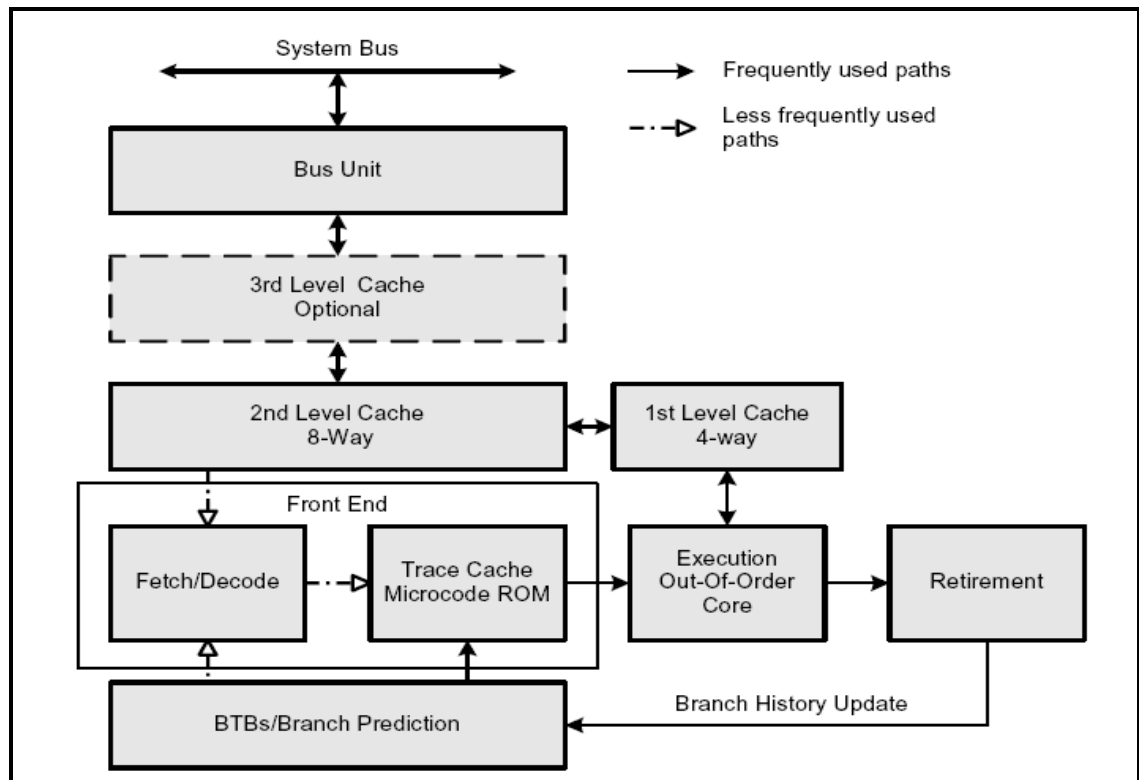
Intel kutsuu dynaamiseksi suorittamiseksi (dynamic execution). Dynaaminen suorittaminen yhdistää kolme dataprocessoinnin periaatetta /1/:

- **Syvä haarautumisen ennustus** antaa prosessorin dekodata komentoja haarojen ulkopuolelta pitääkseen liukuhihnan täynnä käskyjä. P6-prosessori käyttää tehokkaasti optimoituja haarautumisen ennustusalgoritmeja ennustaessaan koodin seuraavaa käskyä.
- **Dynaaminen datan liikeanalyysi** tarvitsee tosiaikaista tietoa datan kulkemisesta prosessorin läpi, koska se selvittää riippuvaisuuksia ja mahdollisuuksia epäjärjestyssuorittamiseen. Epäjärjestyssuoritinydin voi valvoa monia käskyjä ja suorittaa näitä käskyjä niin, että prosessorin useat käsittely-yksiköt ovat mahdollisimman tehokkaasti käytössä, mutta säilyttävät datan eheänä.
- **Spekulatiivinen suoritus** viittaa prosessorin kykyyn suorittaa komentoja, jotka ovat ehdollisen haaran ulkopuolella ja joita ei ole vielä luettu välimuistiin sekä kykyyn liittää tulokset alkuperäiseen datavirtaan oikealle paikalle. Tämä on mahdollistettu erottamalla käskyjen lähettäminen ja suorittaminen ytimelle tulosten ulos antamisesta. Suoritussydin käyttää dynaamista datan liikeanalyysiä kaikkien käskyjen suorittamiseen käskyvarannosta, jonka jälkeen se varastoi tulokset väliaikaisiin rekistereihin. Palautusyksikkö (retirement unit) etsii koko ajan lineaarisesti käskyvarantoa mahdollisten suoritettujen käskyjen osalta, joilla ei ole enää tietoalkioriippuvaisuuksia toisten käskyjen kanssa. Kun sellainen löytyy, palautusyksikkö lähettää tuloksen väliaikaisesta rekisteristä muistiin tai prosessorin IA-32 mukaisiin rekistereihin siinä järjestyksessä kuin ne alun perin annettiin suoritettavaksi. Tämän jälkeen palautusyksikkö poistaa kyseisen käskyn käskyvarannosta.

Uusi lisäyksiä IA-32 -käskykantaan tuli Pentium III-prosessorin yhteydessä. MMX-multimediakäskyt laajenivat uudella SSE-lisäyksellä (Streaming SIMD Extensions). Se lisäsi uusia 128-bittisiä rekistereitä, ja mahdollisti SIMD-operaatiot pakatuille liukulukuarvoille. /1/

3.1.3 NetBurst-mikroarkkitehtuuri (2000 -)

NetBurst-mikroarkkitehtuuri toi monia uusia ajattelutapoja prosessorin fyysisen toteutukseen piisirulla. Se oli ensimmäinen seitsemännen sukupolven prosessori, ja se oli suunniteltu täysin uudelta pohjalta. Sen käskyliukuhina (instruction pipeline) suunniteltiin erittäin monivaiheiseksi tarkoituksena pystyä skaalaamaan prosessori hyvin korkeisiin kelloaajuuksiin. Siinä esiteltiin myös uusi lisäys multimediakomentoihin, SSE2, mikä mahdollisti yhä nopeamman kokonaislukusuorittamisen SIMD-käskyille. Myös 64 bitin liukulukutuki oli uusi lisäys mikroarkkitehtuurissa. Myöhemmissä versioissa multimediakäskyt saivat vielä yhden lisäyksen, SSE3, ja uuden Hyper Threading -tekniikan (ks. 2.3.1). Viimeisimmissä NetBurst-prosessoreissa oli myös EM64T-tuki. /19/



Kuva 4 NetBurst-mikroarkkitehtuuri /1/

Yksi huomattava asia ensimmäisen NetBurst-prosessorin, Pentium 4 – koodinimi Williamette, yhteydessä oli myös huomattavan nopea systeemiväylä (FSB – Front Side Bus). Se toimi 400 MHz:n taajuudella, ja oli itse asiassa vanha 100 MHz:n väylä

nelinkertaistettuna. Se kuitenkin toimi teoriassa nelinkertaisella nopeudella, joten sitä pidettiin 400 MHz:n väylänä. /19/

Ensimmäiset versiot NetBurst-mikroarkkitehtuurin prosessoreista sisälsivät kolme merkittävää uutta mikroarkkitehtuurista innovaatiota:

- Hyperliukuhihna (Hyper pipelined technology)
 - liukuhinnan vaihemäärä nostettiin ensimmäisessä NetBurst-versiossa kahteenkymmeneen. Se oli suuri lisäys verrattuna edelliseen Pentium III-prosessorin kymmeneen vaiheeseen. Viimeinen NetBurst-versio, koodinimi Prescott, sisälsi jo uskomattoman 31-vaiheisen liukuhinnan. Pitkä liukuhihna aiheuttaa kuitenkin joitain ongelmia, eritoten pienentynyt suoritettujen käskyjen määrä kellojaksoa kohden (IPC – Instructions Per Cycle). Tätä pystytään hieman parantamaan yhä nopeammalla kellotaajuudella, minkä pitempi liukuhihna mahdollistaa. Toinen ”vika” liukuhinnan liiallisessa pituudessa on aika joka kuluu käskyjen noutamiseen muistista, jos haarautumisen ennustus tekee virheen. /10/
- Nopea suoritusydin (Rapid Execution Engine)
 - aritmeettislooginen yksikkö (ALU) suorittaa käskyjen laskutoimituksia prosessorin ytimessä. NetBurst-proessoreissa ALU-yksiköt toimivat kaksinkertaisella nopeudella verrattuna muihin ytimen osiin. Se auttaa parantamaan jonkin verran alhaista IPC:tä ja nopeuttaa kokonaislukujen käsittelyä. Jotkut käskyt kyllä kärsivät tästä ja suoriutuvat hitaammin kuin P6-mikroarkkitehtuurissa. /10/
- Suorituksen jäljitysvalimuisti (Execution Trace Cache)
 - L2-välimuistin sisälle Intel lisäsi toiminnon, joka tallettaa dekodattuja mikro-operaatioita. Prosessoriytimen ei näin ollen tarvitse joka kerta noutaa ja dekodata käskyjä, vaan se voi käyttää suoraan välimuistista valmiiksi purettuja mikro-operaatioita uuden komennon ajossa. Mikro-operaatiot on säilötty välimuistiin kaiken lisäksi haarautumisen

ennustusmallien mukaisesti, mikä entisestään nopeuttaa ytimen laskutoimituksia. /10/

Huolimatta kaikista näistä parannuksista NetBurst-mikroarkkitehtuuri ei ole ollut hyvin tehokas suorituskvyytään. Suurista kellotaajuuksista huolimatta, joiden odotettiin nousevan 10 GHz:iin asti NetBurst –tekniikalla, prosessorit eivät ole pystyneet suoritustesteissä osoittamaan niiltä odotettua suorituskvyytä. 3.8 GHz on osoittautunut NetBurst-prosessoreiden maksimikellotaajuudeksi. Jo tällä taajuudella prosessorit kuluttavat valtaisan määrän sähköä, osasyynä on transistoreissa esiintyvä vuotovirran kasvaminen. Vuonna 2005 syksyllä Intel kertoikin osittain hylänneensä NetBurst-mikroarkkitehtuurinsa. /19/

3.1.4 Mobile-mikroarkkitehtuuri (2003 -)

Mobile-mikroarkkitehtuuriin perustuvat prosessorit tunnetaan nimellä Pentium M. Ne lasketaan vielä seitsemännen sukupolven prosessoreihin, vaikka ne eroavat NetBurst-prosessoreista huomattavasti. Ne kehitettiin nimenomaan kannettavien tietokoneiden suorittimiksi, joiden vaatimuksena oli hyvä suorituskvyytä ja pieni virrankulutus. /1/

Niiden mikroarkkitehtuuri on yhdistelmä vanhaa P6-mikroarkkitehtuurin mukaista suoritussyntä ja NetBurst-mikroarkkitehtuurin mukaista väyläliitäntää, kehittyntä haarautumisen ennustamista, SSE2-tukea, kehittyntä käskyjen Front End -osaa liukuhihnasta ja entistä isompaa L2-välimuistia. L2-välimuisti kuluttaa normaalisti paljon sähköä, mutta Mobile-mikroarkkitehtuurissa siihen on lisätty uusia ominaisuuksia, jotka vähentävät transistorien kytketymistä muistin osissa, joita ei käytetä juuri sillä hetkellä. Muita virrankulutusta vähentäviä tekijöitä ovat dynaamisesti muuttuva kellotaajuus ja ytimen jännite.

Pentium M -prosessorit kuluttavat keskimääräisesti huomattavasti vähemmän virtaa kuin Pentium 4 -prosessorit, toimivat alhaisemmilla kellotaajuuksilla, mutta pystyvät silti

vastaavaan suorituskykyyn. Esimerkiksi Pentium M, 1.6 Ghz, suoriutuu yhtä hyvin testeissä kuin Pentium 4 Northwood, 2.4 GHz. /11/

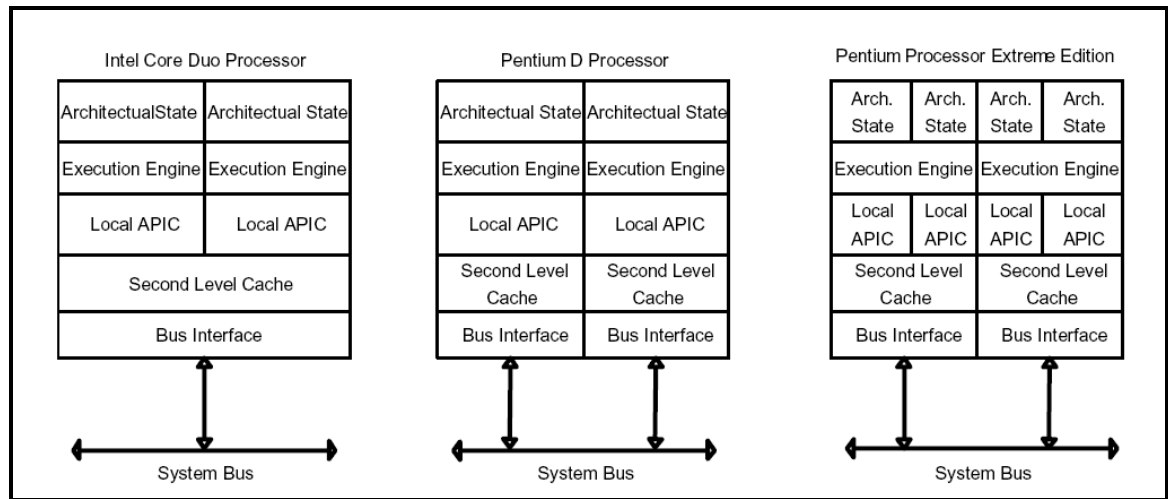
3.2 Multi-Core -prosessorit

Mikropiirien valmistusmenetelmät ovat parantuneet huomasti viime vuosina. Nyt käytössä olevat prosessorit perustuvat pääasiassa 90 nm:n valmistusmenetelmään. Tekniikan kehittyessä edelleen on samalle piisirulle mahdollista sijoittaa kaksi (tai useampi) fyysistä ydintä yhden sijaan. Tämä antaa aivan uusia mahdollisuuksia mikroarkkitehtuurisesti, koska myös käytettävien transistorien määrä kasvaa samalla. /13/

Pentium EE (Extreme Edition; NetBurst) on ensimmäinen Intelin kaksiytiminen PC-koneisiin suunnattu IA-32 -prosessori. Prosessori antaa laitteistotuen monisäikeisille ohjelmistoille. Se sisältää kaksi suoritydintä yhdistettynä samalla sirulle. Se tukee myös HT-tekniikkaa, joka lisää kumpaankin ytimeen yhden loogisen ytimen. Yhteensä Pentium EE siis antaa käyttöjärjestelmälle mahdollisuuden neljään loogiseen prosessoriin yhdellä ainoalla mikropiirillä (kuva 5). /1/

Pentium D -prosessori (NetBurst) sisältää myös kaksi erillistä ydintä samalla sirulla, mutta ei tue HT-tekniikkaa. Se antaa kuitenkin mahdollisuuden kahteen loogiseen prosessoriin, joilla kummallakin on oma suoritusydin aivan kuten olisi kahdella erillisellä prosessorilla.

Intel Core Duo -prosessori on suorituskykyinen prosessori pienemmällä virrankulutuksella kuin NetBurst-versiot. Prosessori sisältää kaksi ydintä, jotka jakavat kehittyneen L2-välimuistin. Välimuistin jako mahdollistaa prosessoriytimien välisen dataliikenteen rasittamatta kuitenkaan systeemiväylää. Core Duo ja Core Solo -prosessorit perustuvat vielä vanhaan Mobile-mikroarkkitehtuuriin.



Kuva 5 Ero moniytimisten prosessorien välillä mikroarkkitehtuurisesti /1/

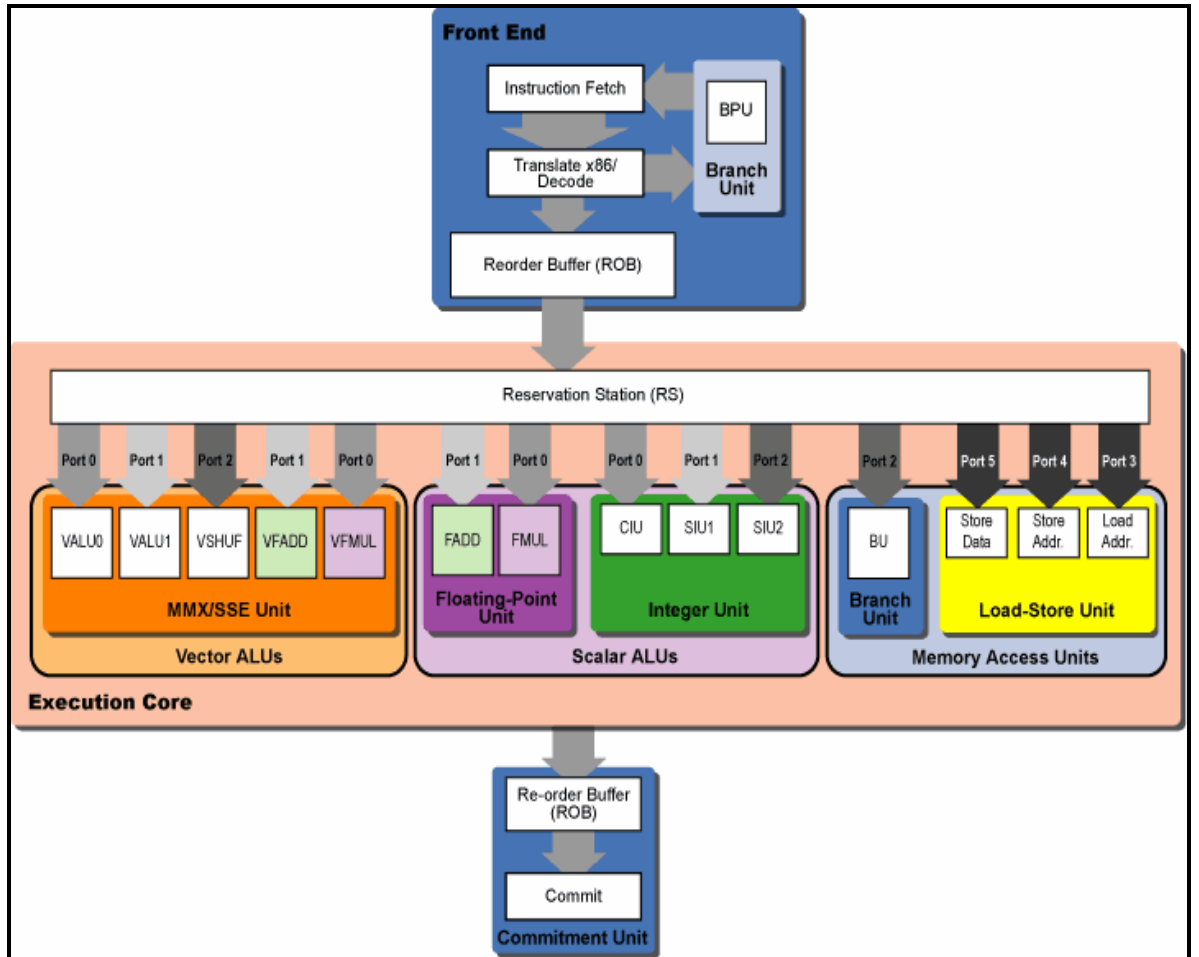
4 CORE-MIKROARKKITEHTUURI

Syksyllä 2005 Intel Developer Forum -tapahtumassa Intel kertoi ensimmäisen kerran julkisesti jättävänsä NetBurst-mikroarkkitehtuuriin ja siirtyvänsä uuteen mikroarkkitehtuuriin, johon perustuvat prosessorit toimivat pöytä-, serveri- ja mobiilialustoilla. Maaliskuussa 2006 Intel julkisti uuden mikroarkkitehtuurin nimen, Intel Core, joka on rakennettu täysin uudelta pohjalta. Sen perustana ovat moniytimiset prosessorit ja pienentynyt virrankäyttö sekä monia uusia mikroarkkitehtuurisia innovaatioita. Ensimmäiset Core-prosessorit sisältävät kaksi ydintä. /20/

Aikana, jolloin monet prosessorivalmistajat hylkäävät epäjärjestyssuorittamista (out-of-order) ja siirtyvät kohti suurempaa suorittamista ja yhä enemmän rinnakkaisprosessointia VLIW-tyyliin (Very Long Instruction Word), jossa ohjelmakoodi päättää, mitkä käskyt suoritetaan rinnakkain, Intel jatkaa superskalaarityyppisten suorittimien kehitystä, jossa itse prosessori valitsee, mitkä käskyt voidaan suorittaa rinnakkain. /3/

Core-suorittimet ovat entistä isompia ja yhä laajempia ytimeltään, ja sisältävät huomattavan lisäyksen käsittely-yksiköiden määrässä ja käskyjen ajoittamispiireissä. Periaatteessa voidaan sanoa, että Coren suunnittelijat ottivat kaikkea hyväksi havaittua

aikaisemmista mikroarkkitehtuureista ja lisäsivät niiden määrää ja kehittivät hieman uutta teknologiaa tukemaan entisestään näitä resursseja (kuva 6).



Kuva 6 Core-processorin mikroarkkitehtuuri /3/

Leventynyt suoritusnopeus ei heti tarkoita tehokkaampaa prosessoria. On olemassa todellinen raja, kuinka monta käskyä voidaan suorittaa yhtäaikaaisesti, mikä aiheuttaa yhä useampien käsittely-yksiköiden tyhjäkäynnille jäämisen leveissä ytimissä. Muistilatenssi voi aiheuttaa myös viiveitä uusien käskyjen saamisessa ytimelle, mikä johtaa turhaan resurssien käyttämättä jättämiseen. /3/

Core sisältää suuren määrän ominaisuuksia, jotka keskittyvät näiden kahden ongelman käsittelyyn ja ytimen pitämisen täynnä uusia käskyjä kaikille käsittely-yksiköille.

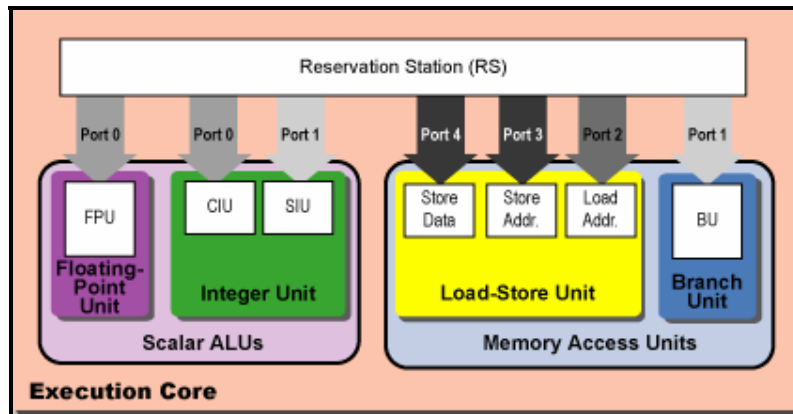
Proessorin etuosassa (front-end) on makro- ja mikro-operaatiofuusio, ja vaativa haarautumisen ennustusyksikkö. Ne yhdessä mahdollistavat jatkuvan käskyjen kulun prosessoriytimelle. Huomattavasti suurennettu käskyikkuna takapäässä (back-end) varmistaa, että kaikki käsittely-yksiköt pysyvät toiminnassa koko ajan. Aiemmissa mikroarkkitehtuureissa ollut pullonkaula SSE-käskyjen osalta on korjattu Core-mallissa, ja se antaa ison parannuksen Core-prosessorien vektorisuorituskykyyn. /7/

Core-proessoreissa on myös jaettu L2-välimuisti ytimille. Se mahdollistaa kummankin ytimen käyttävän samaa dataa, ja jakavan dataa keskenään huomasti nopeammin kuin aikaisemmin. Toisen ytimen tarvitessa enemmän L2-välimuistia se dynaamisesti jakaa sen uudestaan toiselta ytimeltä, mikä mahdollistaa tehokkaan resurssien hyödyntämisen ja virrankulutuksen hallinnan sammuttamalla turhat osat välimuistista. /5/

4.1 Suoritusydin Core-mikroarkkitehtuurissa

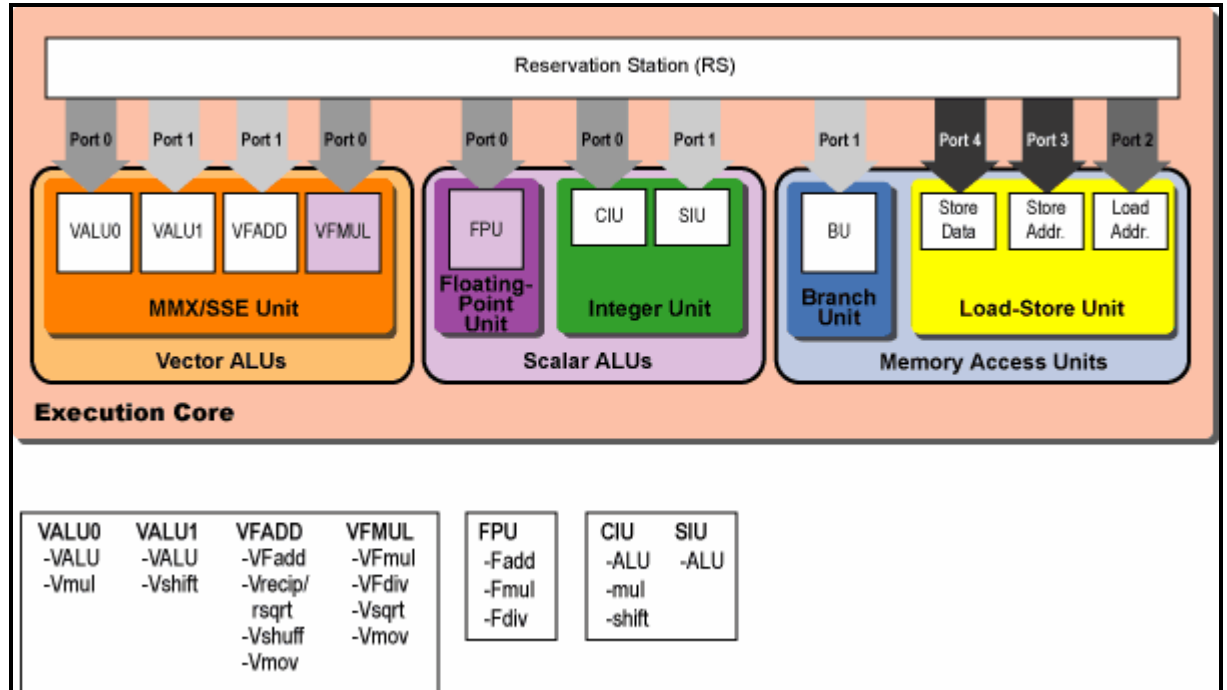
Vanhassa P6-mikroarkkitehtuurissa oli yksi selvästi ominainen ominaisuus; sen lähettäjäporttirakenne (dispatch port). Coressa on käytössä samantapainen rakenne, joskin sitä on muunneltu aika lailla verrattuna aikaisempaan P6-versioon.

Pentium Pro:ssa (kuva 7) portit 0 ja 1 pitävät hallussaan aritmeettisiä yksiköitä, portit 2, 3 ja 4 hallitsevat muistinosoitusyksiköitä. P6-ytimen varaussyksikkö (reservation station; RS) pystyy antamaan viisi käskyä ytimelle per kellojakso – yksi jokaista lähettäjäporttia kohden. /3/



Kuva 7 Pentium Pro:n suoritusydin /3/

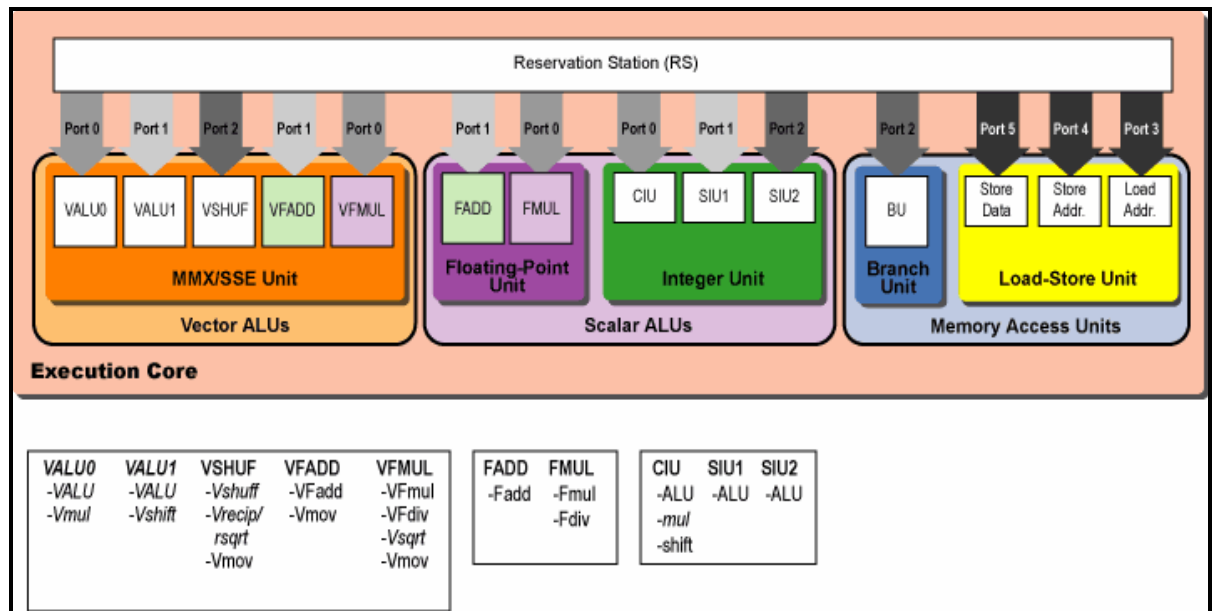
P6-mikroarkkitehtuurin kehittyessä Pentium Pro:sta Pentium III -prosessoreihin, Intel lisäsi käsittely-yksiköitä ytimeen käsittelemään kokonaisluku- ja liukulukuvektoreita (SIMD komennot). Nämä uudet vektorilaskentayksiköt lisättiin portteihin 0 ja 1, jonka seurauksena niistä tuli ruuhkautuneet. Pentium III -prosessorin ydin näytti kuvan 8 mukaiselta.



Kuva 8 Pentium III -prosessorin ydin /3/

Pentium III -ydin on melko leveä, mutta vektoriyksiköiden lisäys kahdelle päälähtäjäportteille aiheuttaa mahdollisen pullonkaulan, koska vektori- ja skalaarilaskut taistelevat oikeudesta käyttää samoja lähtäjäportteja ja siltä puuttuu tarvittava kaistanleveys SSE-käskyille. Kaikki 128-bittiset SSE-käskyt jaetaan kaksiosaisiksi, eikä se täten pysty samaan suorituskykyyn kuin uusi Core-mikroarkkitehtuuri.

Core-ydin sisältää huomattavasti kasvaneen varausyksikön (32 käskyä), ja sillä on uudenlainen jako lähtäjäportteille. Siinä on yhteensä kuusi lähtäjäporttia verrattuna P6:n viiteen ja NetBurst-tekniikan neljään porttiin. Toisin kuin kummassakaan aikaisemman sukupolven prosessoreissa, Core lisää yhden portin aritmeettisille ja loogisille käskyille (kuva 9). /3/



Kuva 9 Core:n suoritusydin /3/

4.2 Kokonaislukukäsittely-yksiköt

Core-ytimessä on kolme 64-bittistä kokonaislukuyksikköä, jotka jokainen pystyvät suorittamaan yhden 64-bittisen skalaarikokonaislukukäskyn kellojaksoa kohden. Yksi käsittely-yksiköistä on CIU-yksikkö (Complex Integer Unit), joka suorittaa kerto- ja jakolaskuja. Kaksi muuta yksikköä ovat SIU-yksiköitä (Simple Integer Unit), jotka

suorittavat yksinkertaisia yhteen- ja vähennyslaskuja. Toinen SIU-yksiköistä jakaa lähettäjäporttinsa haarasuoritusyksikön kanssa (BU – Branch (execution) Unit). SIU tässä portissa kykenee toimimaan symbioosissa BU:n kanssa ja suorittamaan makrofuusioituja käskyjä yhden kellojakson aikana, esim. vertaa kahta tietoalkiota ja suorita haarautuminen jos tosi, toimii kuin yksi mikro-operaatio kahden erillisen operaation sijaan. /3/

64-bittisten kokonaislukujen käsittely yhden kellojakson aikana on Core:n uusia ominaisuuksia, jota ei ole ennen ollut Intelin IA-32 -arkkitehtuurissa. Tämä ominaisuus antaa jopa paremman suorituskyvyn kokonaisluvuilla kuin IBM:n PowerPC 970 - prosessori, jolla on kahden kellojakson latenssi kokonaislukuoperaatioille. Lisäksi, koska kaikki kokonaislukuyksiköt ovat omissa porteissaan, Core-ytimet pystyvät säilyttämään kolmen erillisen 64-bittisen kokonaisluvun suorittamisen yhden kellojakson aikana. Täten ensimmäiset Core-prosessorit pystyvät suorittamaan kuusi yhtäaikaista kokonaislukuoperaatiota, koska sisältävät kaksi Core-ydintä. /3/

Kaikkiaan Core-ydin sisältää hyvin tehokkaan kokonaislukuyksikön, joka toimii laajalla ohjelma-alalla (kannettavissa koneissa, palvelimissa, pelikoneissa jne.), joissa mikroarkkitehtuuri toimii.

4.3 Liukulukukäsittely-yksiköt /3/

Liukulukuyksikköjä on kaksi käsittelemään kaikki aritmeettiset liukulukutoiminnot, niin skalaari- kuin vektorilaskuille. Käsittely-yksikkö portissa 1 käsittelee summaus ja muut yksinkertaiset operaatiot liukuluvuille seuraavissa dataformaateissa:

- Skalaari: perustarkkuus (32 bittiä), kaksoistarkkuus (64 bittiä)
- Vektori: 4x perustarkkuus, 2x kaksoistarkkuus

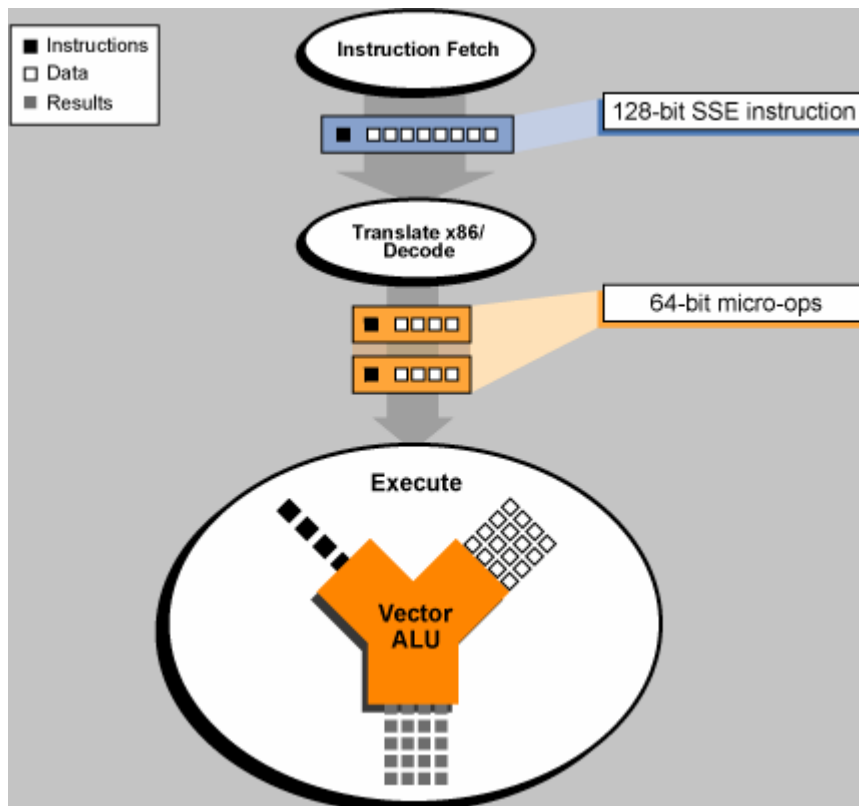
Portissa 0 oleva liukulukuyksikkö suorittaa kerto- ja jakolaskut samoissa formaateissa kuin yllämainittu summauselin.

Kuvassa 9 yksiköt VFADD/FADD ja VFMUL/FMUL on jaettu neljäksi eri yksiköksi selventämään niiden toiminnallista asemaa.

4.4 Vektorisuuritusyksiköt /3/

Core-ytimen suurimpia parannuksia aikaisempiin mikroarkkitehtuureihin nähden on sen kehittynyt vektorienkäsittely (SIMD operaatiot).

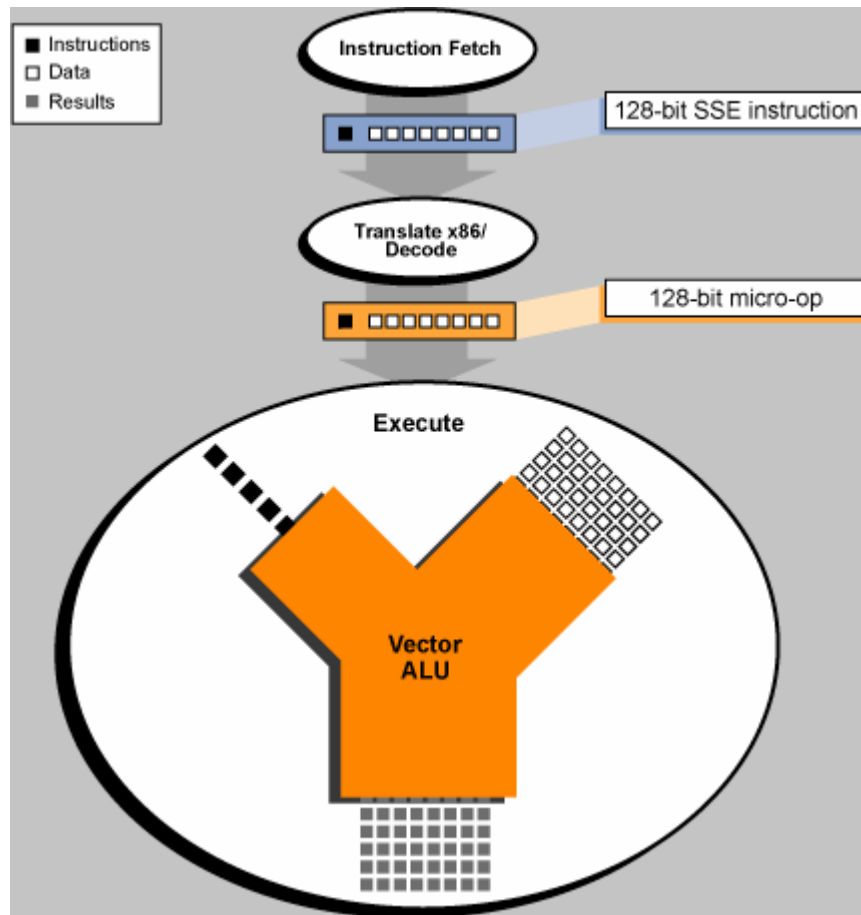
MMX-käskyt ovat 64-bittisiä, joita P6-proessorit pystyvät suorittamaan yhden kellojakson aikana niiden sisäisen väylän ollessa 64-bittinen. SSE/SSE2/SSE3 lisäykset käskykantaan toivat 128-bittiset vektorit, jotka P6-proessorit joutuivat jakamaan kahteen osaan; kahteen erilliseen 64-bittiseen komentoon. Kuva 10 selventää kuinka P6- ja NetBurst-arkkitehtuurit joutuivat suoriutumaan SSE-käskyistä.



Kuva 10 Esitys kuinka P6-proessori suorittaa 128-bittisen vektorikäskyn /3/

Ensin dekooderi purkaa käskyn kahteen 64 bitin mikro-operaatioon; ylempään 64 bittiin ja alempaan 64 bittiin. Tämän jälkeen ne ohjataan oikeisiin lähettäjäportteihin suoritusta varten. Lopputulos tälle kaikelle on se, että kaikki vektorikomennot vaativat vähintään kaksi kellojaksoa suoritukseen vanhemmissa arkkitehtuureissa.

Core-ytimissä kaikki 128-bittiset vektorikäskyt kyetään suorittamaan yhden kellojakson aikana. Intel mahdollisti tämän kasvattamalla kaikki sisäiset liukuluku- ja vektorilukuväylät 128-bittisiksi. Tämä vähentää myös tarvittua dekodaausta, varausyksikön käyttöä ja käskyn lähetysmääriä, koska vain yksi mikro-operaatio tarvitaan halutun operaation suorittamiseen. Näin ollen parannus ei koske ainoastaan jakamisesta aiheutuvaa latenssia, vaan myös dekodaus, lähetys- ja varausyksikön siirtonopeus kasvaa vähentyneen työmäärän takia.



Kuva 11 Core-ytimen 128-bittinen vektorisuoritus /3/

Kuten kuvasta 11 nähdään vektorisuuritusyksikön sisääntulo ja ulostulo kumpikin ovat kaksinkertaiset bittimäärältään verrattuna P6- ja NetBurst-mikroarkkitehtuuriin. Kun 128 bitin suorituskyky lisätään isommaksi kasvatettuun vektorikäsitteily-yksikköön, saadaan prosessori, joka pystyy suoriutumaan huomasti suuremmista määristä SSE-käskyjä pienemmässä ajassa.

Intel kertoo esimerkiksi seuraavien käskyjen suorituksen olevan mahdollista samanaikaisesti yhden kellojakson aikana:

- 128-bittinen pakattu kertolasku
- 128-bittinen pakattu summaus
- 128-bittinen lataus
- 128-bittinen tallennus
- makrofuusioitu cmpjcc (kahden luvun vertaus ja haarautuminen ehdolla)

Tämä on käytännössä kuuden yhtäaikaisen vaativan käskyn suorittaminen. Aika paljon enemmän kuin aikaisemmat IA-32 -prosessorit. Ja tähän pystyy yksi ydin, kun kaikissa Core-proessoreissa on vähintään kaksi ydintä.

4.5 Core-ytimen liukuhihna

Intel ei ole vielä julkistanut tarkkaa selostusta uuden mikroarkkitehtuurin liukuhihnasta. Tiedetään kuitenkin, että se koostuu 14-vaiheesta, joka on huomattavasti vähemmän kuin NetBurst-prosessori Prescottin yli 30-vaiheinen liukuhihna. Se on siis suunniteltu tasaisemmalle ja vähittäiselle muutokselle kellotaajuuksissa, eikä kuten edellinen NetBurst-sukupolvi. Se on luultavasti hyvin samankaltainen P6-mikroarkkitehtuurin liukuhihnalle (12 vaihetta), johon on lisätty pari vaihetta ytimen etupään parantamiseksi. /3/

4.6 Käskyikkuna

Koska Core-ytimen takapää on selvästi laajempi kuin edeltäjien, on uudelleenjärjestys puskuria (ReOrder Buffer; ROB) jouduttu kasvattamaan sisältämään 96 käskyä. Huima lisäys Pentium M -prosessorien 40 käskyn puskurista. Myös yhdistettyä varaussyksikköä on kasvatettu, jotta se kykenee palvelemaan kasvanutta suoritusyksiköiden määrää. /3/

Ytimen käskyikkunaa ei ole ainoastaan fyysisesti kasvatettu vaan se on kasvanut myös ”virtuaalisesti”. Core-ytimen makrofuusio ja mikro-operaatioiden fuusio mahdollistavat ytimen seuraavan useampaa käskyä vähemmällä ”kirjanpito” laitteistolla. Itse asiassa ytimen käskyikkuna on toiminnallisesti suurempi kuin uudelleenjärjestys puskurin ja varaussyksikön sisältämä absoluuttinen käskymäärä antaa ymmärtää.

Näin suuren käskyikkunan pitäminen täynnä käskyjä, ja uusien jatkuva sisäänajo vaatii prosessorin etupäältä paljon. Core-ydin sisältää useita innovaatioita sen mahdollistamiseen.

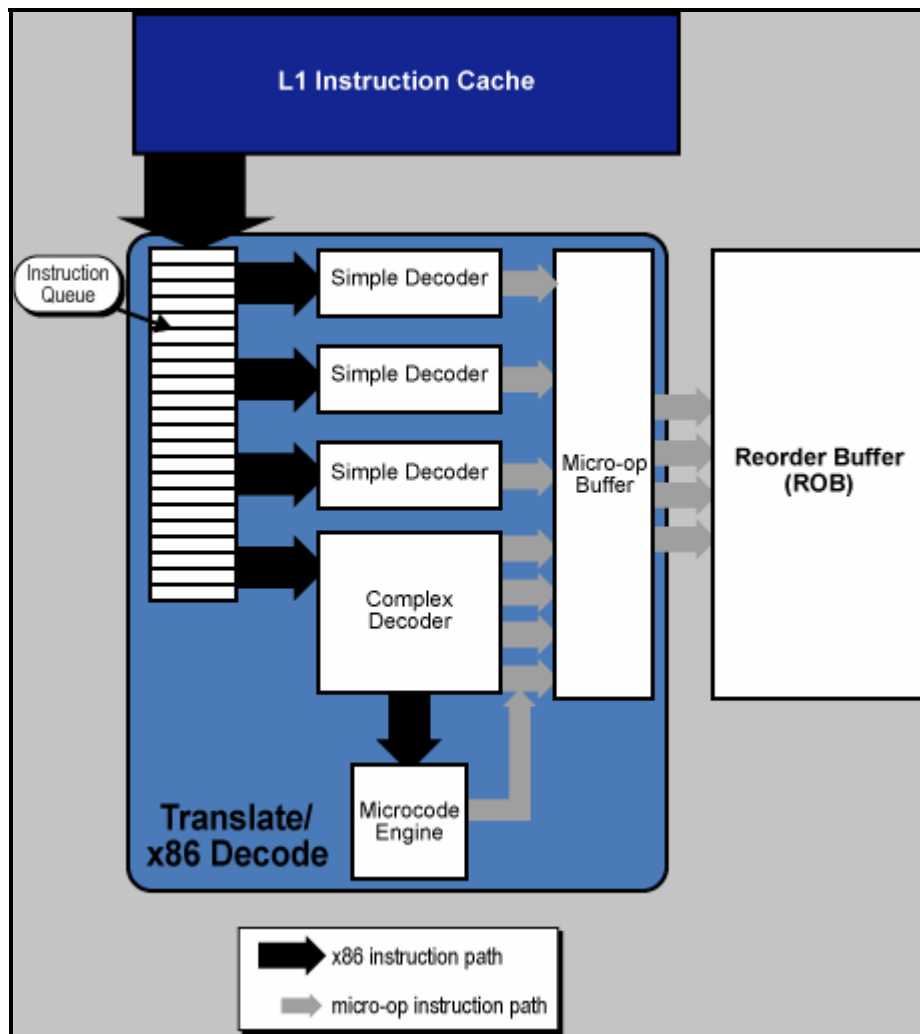
4.7 Käskyjen dekodaus

Core-ytimet sisältävät uuden dekodausyksikön, joka kääntää enemmän IA-32 -käskyjä mikro-operaatioiksi yhden kellojakson aikana kuin vanhat prosessorimallit. P6-arkkitehtuurin mukainen dekodausyksikkö sisältää kaksi nopeaa dekodera (simple decoder) ja yhden hitaan dekoderin (complex decoder). Nopeat dekodarit purkavat IA-32 -käskyjä, jotka kääntyvät tasan yhden mikro-operaation mittaisiin komentoihin. Näistä käskyistä koostuu suurin osa IA-32 -käskykannasta. Nopeat dekodarit voivat lähettää yhden mikro-operaation kellojakson aikana mikro-operaatio puskuriin. Hidas dekoderi käsittelee käskyjä, jotka kääntyvät kahteen tai neljään mikro-operaatioon.

Kaikkiaan P6-ydin pystyy lähettämään kuusi mikro-operaatiota puskuriin, ja koko dekodausyksikkö lähettämään kolme mikro-operaatiota uudelleenjärjestys puskuriin. /3/

Vastaavanlainen dekodausyksikkö ei riitä Core-ytimelle, koska se on paljon leveämpi suorituskyvyltään. Sen on saatava paljon enemmän mikro-operaatioita takapäälle, jotta itse suoritusydin pysyisi koko ajan työllistettynä.

Ensimmäiseksi Intel lisäsi yhden nopean dekooderin, mikä mahdollistaa kaikkiaan seitsemän mikro-operaatiota lähettämisen mikro-operaatio puskuriin, joka pystyy lähettämään uudelleenjärjestys puskuriin kaikkiaan neljä mikro-operaatiota. Kuvassa 12 on esitelty uudenlainen dekodausyksikkö. /3/



Kuva 12 Core-ytimen dekodausyksikkö /3/

Lisäksi uusi dekodausyksikkö mahdollistaa yhä useampien käskyjen suorittamisen nopeissa dekodereissa, jotka ennen dekodattiin hitaassa dekooderissa. Tämän mahdollistaa mikro-operaatioiden fuusio ja uusi SSE-laitteisto prosessoriytimessä. Näin ollen Intel pääsee lähemmäs tavoitetta, jossa jokaista IA-32 -käskyä kohden tulee yksi mikro-operaatio

4.8 Makrofuusio

Etupään uusia innovaatioita on makrofuusio, joka mahdollistaa tietynlaisten käskyjen sulauttamisen yhdeksi käskyksi ennen dekodausta. Makrofuusioitu käsky voidaan lähettää yhdelle dekooderille, joka kääntää sen yhdeksi mikro-operaatioksi. Erityisesti erilaiset vertaus (compare) ja testaus (test) käskyt voidaan liittää yhteen haarautumiskäskyjen kanssa. Jokaista kellojaksoa kohden voidaan suorittaa yksi makrofuusio. /6/

Makrofuusio vapauttaa kallisarvoisia transistoreita piisirulla muihin tarkoituksiin, koska ytimen ei pidä seurata niin montaa ajossa olevaa mikro-operaatiota. Tämä taasen vähentää jokaisen käskyn kuluttamaa virtaa ytimessä, koska ytimellä on vähemmän sisäisiä rekistereitä käytössä.

Makrofuusio nostaa etupään dekodauskaistanleveyttä. Dekodauslaitteisto suoriutuu huomattavasti nopeammin käskyjonon tyhjentämisestä, jos yksi nopea dekooderi voi ottaa sisäänsä kaksi käskyä kerrallaan. Makrofuusio parantaa myös koko prosessorin tehokkuutta, koska yksi aritmeettinen käsittely-yksikkö suorittaa näin ollen myös kaksi käskyä yhdellä kertaa. Se vapauttaa käsittely-yksiköitä suorittamaan muita mikro-operaatioita, ja saa ytimen näyttämään entistä suorituskykyisemmältä ja leveämmältä. /3/

4.8.1 Mikro-operaatiofuusio /3/

Pentium M -prosessorit esittelivät mikro-operaatiofuusion ensimmäistä kertaa. Mikro-operaatioiden fuusioimisessa on samoja etuja kuin makrofuusiossa, mutta se toimii hieman erilailla. Mikrofuusiossa dekooderi ottaa käsiteltäväkseen IA-32 -käskyn, joka normaalisti

kääntyisi kahdeksi erilliseksi mikro-operaatioksi. Kahden erillisen mikro-operaation sijaan dekooderi ”sulauttaa” ne yhdeksi mikro-operaatio pariaksi. Uudelleenjärjestys puskuri käsittelee tätä uutta paria yhtenä mikro-operaationa, ja näin ollen säästyy tilaa puskurissa muille käskyille. Yleisimmät mikro-operaatiofuusiot ovat lataus- ja tallennuskomentoja.

Kun sulautettu pari pääsee varausyksikköön, se voidaan suorittaa kahtena erillisenä mikro-operaationa ytimen käsittely-yksiköissä. Erotetut mikro-operaatiot voidaan lähettää rinnakkain kahteen erilliseen porttiin tai sarjamuotoisena samaan porttiin tapauksesta riippuen. Kun ydin on suorittanut mikro-operaatiot, niitä käsitellään jälleen kuin yhtä mikro-operaatiota palautusyksikössä.

Kuten makrofuusio, mikro-operaatiofuusio käyttää vähemmän uudelleenjärjestys puskurin resursseja, ja antaa sen lähettää yhä useampia mikro-operaatioita ytimelle vähemmällä työllä. Tämä nostaa Core-ytimen komentojen suorituskaistanleveyttä, antaen sille yhä paremman suorituskyvyn entistä pienemmällä tehonkulutuksella, koska se tekee yhä enemmän käyttäen entistä vähemmän prosessorin transistoreita.

4.9 Haarautumisen ennustus /3/

Haarautumisen ennustus on tärkeätä suorituskyvyn ja tehon kulutuksen kannalta. Siksi tähän osa-alueeseen Intel on uhrannut suuren määrän transistoreita Core-prosessoreissa.

Kun etäisyys muistista itse ytimeen kasvaa mitattuna kellojaksoina, niin onnistuneen haarautumisen ennustuksen arvo kasvaa entisestään. Ja siihen ”tuhlatut” transistorit antavat paremman tuloksen verrattuna menetettyihin resursseihin muilla osa-alueilla. Syy tähän on prosessorin joutilaana olo useiden kellojaksojen ajan, jos haarautumisen ennustus menee pieleen ja ydin joutuu hakemaan uudet osoitteet ulkoisesta muistista. Onnistunut ja hyvä haarautumisen ennustus ei siis pelkästään paranna suorituskykyä, vaan myös säästää virtaa hyödyntämällä useampia kellojaksoja itse käskyjen suorittamiseen.

Core-prosessorit käyttävät periaatteessa vastaavaa kolmiosaista haarautumisen ennustusta kuin Pentium M -prosessorit. Se koostuu bimodaalisesta ja globaalista ennustinyksiköstä, silmukan ilmaisimesta ja epäsuorasta haarautumisen ennustimesta.

Bimodaalinen ja globaali ennustinyksikkö muodostaa haarautumisen ennustuksen ytimen prosessorissa. Nämä pitävät sisällään tietoa viimeisimmistä suoritetuista haaroista koodissa. Ennustimet kertovat etupäälle kuinka todennäköisesti haarautuminen tulee tapahtumaan sen aikaisemman käyttäytymisen perusteella. Jos etupää päättää, että haarautuminen tapahtuu, se hakee haaran osoittaman osoitteen hyppykohdepuskurista (branch target buffer; BTB) ja aloittaa komentojen noutamisen kyseisestä paikasta.

Silmukasta poistumishaara suoritetaan vain kerran, silloin kun silmukasta poistutaan. Edellä mainitut ennustimet pitävät sisällään haarautumisista taulukkoja, mutta jos silmukka toistuu tarpeeksi monta kertaa, ne eivät pysty pitämään tarpeeksi tietoa sisällään. Tällöin silmukan poistumishaaran sijaan ne alkavatkin suorittaa samaa silmukkaa uudestaan. Silmukanilmaisin seuraa kaikki suoritettavia haaroja ja koittaa päätellä mitkä niistä sisältävät silmukasta poistumishaaran. Kun haara havaitaan silmukaksi, joukko laskureita omistetaan silmukan toistamiskertoja laskemaan ja seuraamaan tulevaisuutta varten. Etupään seuraavan kerran kohdatessa vastaavanlainen silmukasta poistumishaaran, se tietää tarkalleen kuinka monta kertaa kyseinen silmukka tulee suorittaa. Näin ollen se osaa ennustaa täydellisesti tuloksen siitä haarasta, jos vain silmukka toistetaan yhtä monta kertaa.

Core-ytimen haarautumisen ennustusyksikkö (BPU) käyttää erityistä algoritmia, millä se pääättelee mitä edellä mainituista ennustimista tulisi käyttää kuhunkin haaraan.

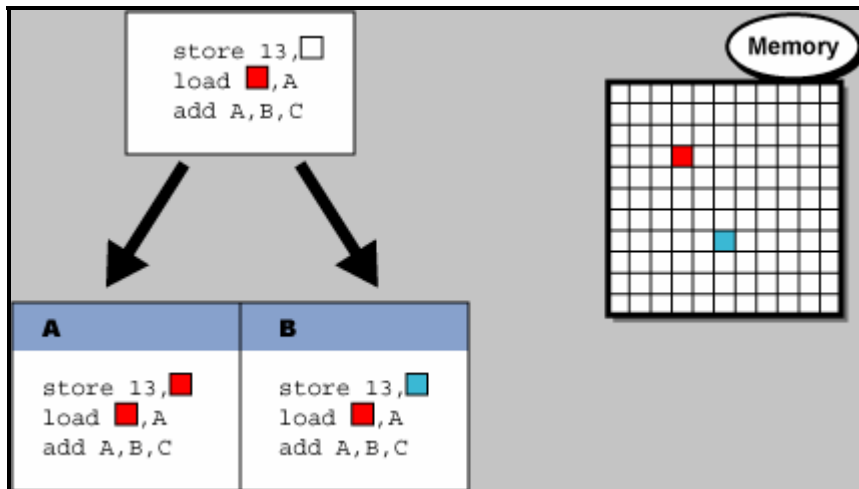
Epäsuorat haarautumiset lataavat haaran osoittimen rekisteristä toisin kuin suorat haarat, ja ovat näin ollen vaikeampia ennustaa. Epäsuora haarautumisen ennustin on taulukko, johon tallennetaan tietoa kaikista halutuista osoittimista, joita etupään kohtaaman epäsuorat haarat ovat halunneet. Etupään kohdatessa uudestaan epäsuoran haaran, ja pääättelee sen

tapahtuvan, se käsklee epäsuoran haarautumisen ennustimen osoittavan sille oikean kohdan hyppykohdepuskurista.

4.10 Memory disambiguation – muistiosoituksen yksinkertaistaminen /3/

Datavirtaversio spekulatiivisesta suorittamisesta on lisätty Core-prosessoreihin, jota Intel kutsuu Memory Disambiguation -nimellä. Se mahdollistaa peräkkäisten komentojen uudelleenjärjestelyn, jos ne eivät osoita samaan muistipaikkaan ja ole näin riippuvaisia toisistaan.

Otetaan esimerkiksi kuvan 13 mukainen koodinpätkä, jossa ensin tallennetaan luku 13 tuntemattomaan muistipaikkaan, sitten ladataan punaisesta muistipaikasta data rekisteriin A, ja lopuksi summataan rekisterien A ja B sisältö rekisteriin C.



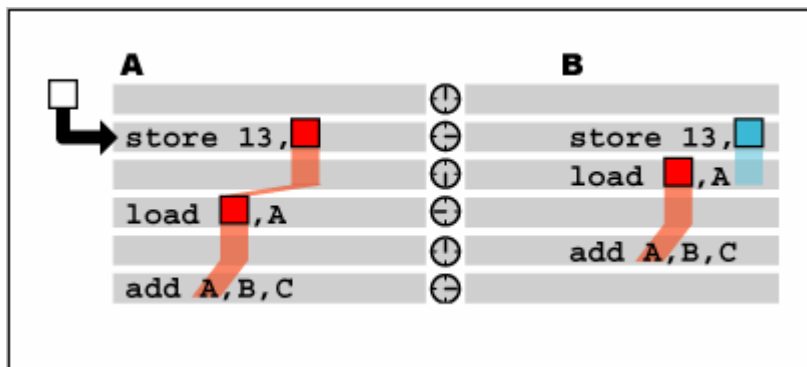
Kuva 13 Muistin laskostuminen /3/

Tapauksessa A tallennus ja lataus tapahtuu samasta osoitteesta, ja tapauksessa B ne ovat toisistaan riippumattomia. Tapauksessa A tallennuksen on tapahduttava ennen latausta, koska muuten ohjelmakoodi saa väärää dataa muistista. Tapauksessa B ei ole väliä missä järjestyksessä komennot suoritetaan, koska ne käsittelevät eri muistiosoitteita.

Kun lataus ja tallennus käsittelevät samaa muistipaikkaa sanotaan, että nämä kaksi komentoa laskostuvat. Tapaus A esittää tätä laskostumistapausta ja tapaus B ei.

Tutkimukset ovat osoittaneet, että 97 % muistiosoituksista kuuluu B kategoriaan, jossa muistikomennot voitaisiin suorittaa eri järjestyksessä.

P6- ja NetBurst-mikroarkkitehtuurissa on kuitenkin varauduttu kaiken varalta pelkästään A kategorian tapauksiin, joita on vain 3 % muistiosoituksista. Koska prosessori aina suoraan olettaa, että komennot laskostuvat, menetetään paljon suorituskykyä prosessorilta hukkaan menneinä kellojaksoina. Kuvassa 14 edellinen koodipätkän suoritus on esitetty kellojaksokellojaksolta ilman muistiosoituksen yksinkertaistamista.

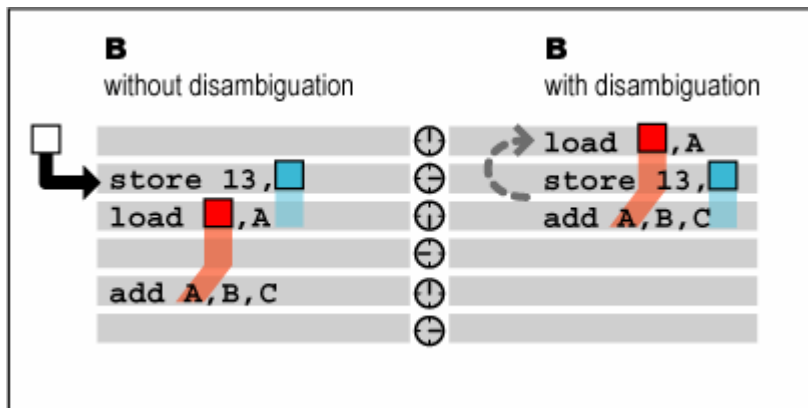


Kuva 14 Suoritus ilman muistiosoituksen yksinkertaistamista /3/

Kummassakin tapauksessa ennen tallennusosoitetta ei voida suorittaa mitään muistiosoitusta ja osoite saadaan vasta toisella kellojaksolla. Mitään siis ei voida tehdä ennen toista kellojaksota. Osoitteen tultua tapauksessa A suoritetaan tallennus, jonka jälkeen joudutaan jälleen odottamaan kellojaksota muistin päivittymisen takia ennen kuin voidaan suorittaa lataus. Tämän jälkeen joudutaan taas odottamaan datan siirtymistä muistista rekisteriin. Vasta kuudennella kellojaksolla voidaan suorittaa itse summaus rekisteriin C. Jos prosessori havaitsee, että muistiosoitukset eivät laskostu, voidaan latauskomento suorittaa heti tallennuksen perään, tai peräti samanaikaisesti (tapaus B).

Intelin uusi muistiosoituksen yksinkertaistaminen yrittää erottaa muistiosoitusten väärin tulkitut laskostumiset, ja etsiä näin tapaus B:n mukaiset tilanteet, jotta voisi suorittaa lataus- ja tallennuskomennot nopeammin ja tehokkaammin.

Kuvassa 15 on esitetty tapaus B ilman muistiosoituksen yksinkertaistamista ja sen kanssa. Kun tapaus B suoritetaan uuden tekniikan tukemana latauskomento voidaan suorittaa jo ennen kuin tallennusosoite tiedetään. Tallennuskomento taas voidaan suorittaa heti tallennusosoitteen ollessa prosessorin tiedossa.



Kuva 15 Suoritus uudella muistiosoituksen yksinkertaistamisella ja ilman /3/

Kuten huomataan, muistiosoitusten uudelleenjärjestelyllä vastaavalla lailla saavutetaan kahden kellojakson säästö suoritusajassa. Jos kuvitellaan suuri käskyikkuna, joka pitää sisällään suuren määrän muistiosoituksia, kyky spekulatiivisesti nostaa latauskomennot tallennuskomentojen yläpuolelle voi säästää huomattavan määrän kellojaksoja muiden komentojen suorittamiseen.

Intel on kehittänyt algoritmin, joka seuraa muistiosoituksia yrittäen päätellä mitkä ovat laskostuneita ja mitkä eivät. Jos algoritmi huomaa muistiosoitusten olevan laskostuneet, se pakottaa ne suoriutumaan ohjelmakoodin mukaisessa järjestyksessä. Algoritmin huomatessa muistiosoitusten olevan toisistaan riippumattomat, se antaa latauskomennon suoriutua ennen tallennusta. Algoritmin tehdessä virheen koko liukuhihna seisahtuu ja

virheellisiin latauksiin liittyvät operaatiot poistetaan. Kun oikea data on taas luettu muistista, operaatioiden suoritus jatkuu.

5 SUORITUSKYKY

Tarkkaa tietoa tulevien prosessorien suorituskyvystä ei ole, eikä saatavilla ole kuin Intelin omia lukuja. Silti nekin ovat hyvin suuntaa antavia verrattuna tämän hetkisiin prosessoreihin. Kannettaviin tietokoneisiin tuleva Core-prosessori kulkee koodinimellä Merom, ja sille luvataan 20 % parempi suorituskyky kuin tällä hetkellä parhaimmalla Intel Mobile -prosessorilla on. Virtaa se käyttää noin saman verran, mutta myöhemmin julkaistavat versiot toimivat Very Low Voltage -toimintamuodossa, jolloin virrankulutus saadaan edelleen laskemaan. /6/

Pöytäkoneisiin tulevalle, koodinimi Conroe, prosessorille luvataan jo sitten aivan erilaisia lukuja. Suorituskyvyn luvataan olevan 40 % parempi, ja virrankulutus jopa 40 % vähemmän kuin nykyisellä Intel-pöytäkoneprosessorien huippumallilla. /7/

Palvelinpuolelle suunniteltu Woodcrest-koodinimellä varustettu prosessori antaa jopa 80 % paremman suorituskyvyn 35 % pienemmällä virrankulutuksella verrattuna tämän hetkiseen huippuun IA-32 -arkkitehtuurin prosessoreissa palvelinpuolella. /7/

Virransäästö johtuu osiltaan edellä mainituista mikroarkkitehtuurisista innovaatioista, mutta suuri osa pienentyntä virrankulutusta on myös kehittynyt mikropiirien valmistusmenetelmä. Uudet Core-prosessorit perustuvat kaikki 65 nanometrin tekniikkaan, joissa on vain noin 35 nanometrin kokoiset transistorit. Ne mahdollistavat myös yhä nopeamman suorituskyvyn jossain määrin, koska niiden kytkeytymisaika on lyhyempi kuin 90 nanometrin tekniikan transistoreiden. Verrattuna 90 nanometrin tekniikan transistoreihin, uudet transistorit ovat 20 % tehokkaampia ja kuluttavat 30 % vähemmän virtaa. /4/

6 TULEVAISUUS

Ensimmäiset Intel Core -prosessorit on luvattu markkinoille vuoden 2006 kolmannella neljänneksellä. Aluksi malleja tulee olemaan vain kolme; yksi jokaiselle alustalle. Mutta heti loppuvuonna luvataan toimittaa jo monia eri malleja kaikille alustoille.

Taulukko 1 Prosentuaalinen osuus prosessoreista, jotka tulevat olemaan moniytimisiä

Alusta	2006 lopulla	2007 lopulla
Pöytäkoneet (suorituskykyiset)	yli 70% dual- core	yli 90% multi- core
Mobiilikoneet (suorituskykyiset)	yli 70% dual- core	yli 90% multi- core
Palvelinkoneet	85% multi-core	100% multi-core

Intel on sanonut tehtailta lähetettävän prosessoreita suorituskykyisiin koneisiin taulukon 1 mukaisesti jo vuoden 2006 lopulla /8/. Vuonna 2007 melkein kaikki prosessorit tulevat olemaan jo moniytimisiä, joskin joitain halpatuotantomalleja myös tarjotaan, joissa on vain yksi ydin. Nämäkin prosessorit tulevat mitä todennäköisemmin pohjautumaan Core-mikroarkkitehtuuriin.

Mooren lain mukaan, joka esiteltiin vuonna 1965, transistoreiden määrä mikrosirulla kaksinkertaistuu puolentoista vuoden välein. Jo monen vuoden ajan on ennakoitu piihin perustuvan teknologian tulevan tiensä päähän. Näin ei kuitenkaan ole käymässä ainakaan seitsemään vuoteen. Nykyinen optinen litografia mahdollistaa jo yli miljardin transistorin määrän mikrosirulla. Tämä saavutettiin Intelin valmistamalla sram-siruilla, jotka Intel esitteli tammikuussa 2006, ja ne perustuivat 45 nanometrin tekniikkaan. IBM esitteli helmikuussa prosessia, millä on mahdollista kaventaa viivanleveys 30 nanometriin. /2/

Nyt saapuvat uuden sukupolven prosessorit perustuvat täysin 65 nanometrin tekniikkaan. Mutta jo vuoden 2007 Intel on luvannut ensimmäiset 45 nanometrin Core-prosessorit, jotka pitävät sisällään ainakin neljä erillistä ydintä, ehkä jopa kahdeksan palvelin puolella.

7 YHTEENVETO

Viimeisten muutaman vuoden ajan Intel on myynyt kahta erilaista IA-32 -prosessorimallia. NetBurst-mikroarkkitehtuuriin pohjautuvia puhtaasti laskennallista nopeutta edustavia prosessoreita ja Pentium M -mikroarkkitehtuuriin mukaiset prosessorit ovat taasen keskittyneet toimimaan vähän tehoa kuluttavina, jotka ovat suunniteltu erityisesti mobiilisovelluksiin.

Intel on onnistunut kehittämään jotain uutta, mikä yhdistää nämä kaksi eri lähestymistapaa. Uudet Core-prosessorit ovat samalla hyvin energiataloudellisia ja hyvin tehokkaita suorittamaan laskutoimituksia. Näitä uusia prosessoreita on lähdetty suunnittelemaan mielessä myös kestävä kehitys. Ne skaalantuvat kaikille eri alustoille, ja niitä on mahdollista kehittää myös hyvin paljon eteenpäin lisäämällä välimuistia ja parantamalla systeemiväylän rajapintaa tulevaisuuden teknologioilla. Piisirujen valmistusteknologian siirtyessä yhä pienempään viivanleveeyteen, yhä useampien ytimien lisääminen yhdelle prosessoriytimelle tulee mahdolliseksi lähivuosina. Myös Hyper Threading -teknologia tullaan lisäämään Core-prosessoreihin, joka lisää entisestään suoritettavien säikeitten määrää, mikä mahdollistaa entistä laajempien ohjelmakokonaisuuksien ajamisen pienemmillä laitteistokustannuksilla kuin ennen.

Uusilla Core-prosessoreilla Intel ottaa prosessoreiden nopeusvaltikkan AMD:ltä, ja tulee säilyttämään sen luultavammin ainakin pari vuotta. AMD ei ole saanut 65 nanometrin tekniikkaansa vielä valmiiksi, ja Intelin mikroarkkitehtuuriset innovaatiot auttavat sitä myös pysymään pahimman kilpailijansa edellä. Jo ensi vuonna Intel lupaa siirtyä osittain 45 nanometrin tekniikkaan, mikä entisestään parantaa Intelin kilpailukykyä.

LÄHDELUETTELO

Painetut lähteet

- 1 IA-32 Intel Architecture Software Developer's Manual Volume 1. Intel Corporation, March 2006
- 2 Leino, Raili: Mikropiirille mahtuu jo miljardi transistoria. Tekniikka & Talous 13/2006, s. 20

Sähköiset lähteet

- 3 Stokes, Jon: Into the Core: Intel's next-generation microarchitecture. [sähköinen dokumentti].[viitattu 4.4.2006] Saatavissa: <http://arstechnica.com/articles/paedia/cpu/core.ars/>
- 4 Schmid, Patrick: IDF Spring 2006: Will Intel's Core Architecture Close the Technology Gap? [sähköinen dokumentti].[viitattu 5.4.2006] Saatavissa: http://www.tomshardware.com/2006/03/13/idf_spring_2006/
- 5 Wechsler, Ofri: White Paper: Inside Intel Core Microarchitecture, Setting New Standards for Energy-Efficient Performance. [sähköinen dokumentti].[viitattu 2.4.2006] Saatavissa: <http://www.intel.com/technology/magazine/computing/core-architecture-0306.htm>
- 6 Intel Core Microarchitecture. [www-sivu].[viitattu 7.4.2006] Saatavissa: http://en.wikipedia.org/wiki/Intel_Core_Microarchitecture
- 7 Zeichick, Alan: Intel Core: A Next Generation Microarchitecture. [sähköinen dokumentti].[viitattu 12.4.2006] Saatavissa: <http://www.devx.com/Intel/Article/30831>
- 8 Intel Software Insight. [sähköinen dokumentti].[viitattu 8.4.2006] Saatavissa: <http://intel.com/cd/software/opensource/asm-na/eng/235413.htm>
- 9 Superscalar. [www-sivu].[viitattu 5.4.2006] Saatavissa: <http://en.wikipedia.org/wiki/Superscalar>

- 10 Netburst. [www-sivu].[viitattu 8.4.2006] Saatavissa:
<http://en.wikipedia.org/wiki/Netburst>
- 11 Pentium M. [www-sivu].[viitattu 8.4.2006] Saatavissa:
http://en.wikipedia.org/wiki/Pentium_M
- 12 Binstock, Andrew: Multi-core Processor Architecture Explained. [www-sivu].[viitattu 6.4.2006] Saatavissa: <http://www.intel.com/cd/ids/developer/asmo-na/eng/211198.htm>
- 13 Multi-Core. [www-sivu].[viitattu 4.4.2006] Saatavissa:
<http://en.wikipedia.org/wiki/Multi-core>
- 14 Symmetric multiprocessing. [www-sivu].[4.4.2006] Saatavissa:
http://en.wikipedia.org/wiki/Symmetric_multiprocessing
- 15 Simultaneous multithreading. [www-sivu].[viitattu 5.4.2006] Saatavissa:
http://en.wikipedia.org/wiki/Simultaneous_multithreading
- 16 Hyper-threading. [www-sivu].[viitattu 5.4.2006] Saatavissa:
http://en.wikipedia.org/wiki/Simultaneous_multithreading
- 17 Chip-level multiprocessing. [www-sivu].[viitattu 4.4.2006] Saatavissa:
http://en.wikipedia.org/wiki/Chip-level_multiprocessing
- 18 Pentium. [www-sivu].[viitattu 4.4.2006] Saatavissa:
http://en.wikipedia.org/wiki/Chip-level_multiprocessing
- 19 Pentium 4. [www-sivu].[viitattu 5.4.2006] Saatavissa:
http://en.wikipedia.org/wiki/Pentium_4
- 20 Intel murskaa tietojenkäsittelyn riippakiviä. [www-sivu].[viitattu 7.4.2006]
Saatavissa: http://www.digitoday.fi/showpage.php?page_id=9&news_id=54180