

Simo Laakkonen

**PIIRILEVYN VALMISTETTAVUUDEN AUTOMATISOITU TARKIS-
TAMINEN**

PIIRILEVYN VALMISTETTAVUUDEN AUTOMATISOITU TARKIS- TAMINEN

Simo Laakkonen
Opinnäytetyö
Kevät 2021
Tietotekniikan tutkinto-ohjelma
Oulun ammattikorkeakoulu

TIIVISTELMÄ

Oulun ammattikorkeakoulu
Tietotekniikan tutkinto-ohjelma, laite- ja tuotesuunnittelu

Tekijä: Simo Laakkonen

Opinnäytetyön nimi suomeksi: Piirilevyn valmistettavuuden automatisoitu tarkistaminen

Opinnäytetyön nimi englanniksi: Automated manufacturability checks for printed circuit board

Työn ohjaajat: Timo Vainio, Matti Turska

Työn valmistumislukukausi ja -vuosi: Kevät 2021

Sivumäärä: 51

Opinnäytetyön aiheena oli piirilevyn valmistettavuuden automatisoitu tarkistaminen. Tavoitteena oli selvittää yrityksen käyttämässä Valor NPI -ohjelmassa käytössä olevan tarkistussääntöpaketin sekä siihen määritettyjen valmistettavuustarkistusten soveltuvuus yleisimpien piirilevyn valmistettavuudelle ongelmia aiheuttavien suunnitteluvirheiden löytämiseen. Työn toimeksiantajana toimi Nokia Oyj.

Aluksi työssä käsiteltiin tärkeimpiä piirilevyn valmistettavuuteen valmistusvaiheessa vaikuttavia tekijöitä sekä niiden huomioimista suunnitteluvaiheessa. Seuraavaksi käsiteltiin piirilevysuunnitelmien automatisoitua tarkistamista sekä esiteltiin lyhyesti tärkeimmät yrityksen layout-suunnittelijan käytettävissä olevat suunnitteluohjelmat, tarkistusohjelmat ja työkalut. Tämän jälkeen tarkasteltiin piirilevytehtaalta tulleesta EQ-raportista valittuja valmistettavuuteen vaikuttavia suunnitteluvirheitä sekä selvitettiin Valor NPI -ohjelman sisältämän tarkistussääntöpaketin ja siihen määritettyjen tarkistusten soveltuvuutta esitettyjen suunnitteluvirheiden löytämiseen automatisoituja tarkistuksia tekemällä.

Opinnäytetyön lopputuloksena todettiin, että Valor NPI -ohjelmalla suoritetuilla automatisoiduilla valmistettavuustarkistuksilla on mahdollista löytää osa EQ-raportista tarkasteltavaksi valituista ongelmakohtista. Lisäksi valmistettavuustarkistuksilla löytämättä jäänyt ongelmakohta yhdessä testattujen tarkistusten kanssa osoitti, että osa tarkistuksista vaatii vielä lisäselvitystä toimintalogiikaltaan. Tärkeäksi havainnoksi osoittautuivat myös erot ODB++-tiedostojen sisällön välillä, kun ne tuotettiin eri suunnitteluohjelmilla, sekä näiden erojen vaikutus suunnitteluvirheiden löytämiseen.

Asiasanat: piirilevysuunnittelu, piirilevy, valmistettavuus, laadunvarmistus, automatisointi

ABSTRACT

Oulu University of Applied Sciences
Degree Programme in Information Technology, Device and Product Design

Author: Simo Laakkonen

Title of thesis: Automated manufacturability checks for printed circuit board

Supervisors: Timo Vainio, Matti Turska

Term and year when the thesis was submitted: Spring 2021

Pages: 51

The subject of this thesis was automated manufacturability checks for printed circuit board. This thesis addresses the importance of manufacturability checks and explains why the found manufacturability issues can cause problems with the manufacturing process of the pcb. The work was commissioned by Nokia Oyj.

The objective of this thesis work was to research the capability of the manufacturability checks which are currently used in Valor NPI software to check the design for the most common design errors that are listed in the pcb manufacturer's EQ-report and which create issues for manufacturability.

First part of the thesis contains a short review of pcb manufacturing process and addresses the most common and the most important factors that affect pcb's manufacturability and which should also be taken into consideration when designing a pcb. Second part consists of describing the reasons for the use of automated manufacturability checks in pcb design also the designing software and tools used for the manufacturability checks are introduced. Third part consists of the example cases chosen from the manufacturers EQ-report and finding out whether it is possible to find the design errors presented in them with using the Valor NPI's current manufacturability checks.

As a result of this thesis it was shown that the manufacturability checks which are currently used in Valor NPI software can find some of the design errors presented in the EQ-report. It was also noted that some of the manufacturability checks that are currently used were not working correctly.

This thesis work made it possible to gain a good understanding about the state and working of the manufacturability checks currently in use. Additionally, the function of the manufacturability checks that were not working correctly needs to be further researched.

Keywords: pcb design, printed circuit board, manufacturability, quality check, automation

SISÄLLYS

TIIVISTELMÄ	3
ABSTRACT	4
SISÄLLYS	5
SANASTO	6
1 JOHDANTO	7
2 PIIRILEVYJEN VALMISTETTAVUUS	10
2.1 Piirilevyn rakenne ja valmistus	10
2.2 Eristevälit	13
2.3 Läpiviennit	14
2.4 Liitospinnat	16
2.5 Juotteenestopinnoite	19
2.6 Selitteet ja merkinnät	20
2.7 Stubit ja sliverit	21
3 PIIRILEVYN VALMISTETTAVUUDEN AUTOMATISOITU TARKISTAMINEN	24
3.1 Ohjelmallinen tarkistaminen	24
3.2 Xpedition Batch DRC	26
3.3 Valor NPI	27
3.4 Xpedition DFM	28
4 AUTOMATISOIDUT VALMISTETTAVUUSTARKISTUKSET	30
4.1 Ongelma: Läpiviennit	30
4.2 Ongelma: Merkinnät juotteenestopinnoitteessa	33
4.3 Ongelma: Pintakupariin muodostuvat kaistaleet	39
5 TULOKSET	44
6 YHTEENVETO	47
LÄHTEET	48

SANASTO

BGA	Ball Grid Array. Integroitu piiri, jonka pohjassa on pallomaiset juotoskontaktit.
EMC	Electromagnetic Compatibility. Sähkömagneettinen yhteensopivuus.
ENEPIG	Electroless Nickel Electroless Palladium Immersion Gold. Kemiallisesti pinnoitettu nikkeli-palladium-immersiokultapinnoite.
ENIG	Electroless Nickel Immersion Gold. Nikkeli-immersiokultapinnoite.
EQ	Engineering Questions. Valmistukseen liittyvät kysymykset.
DFM	Design For Manufacturability. Suunnittelu valmistettavuutta varten.
DRC	Design Rule Check. Suunnitteluvirheiden tarkistus.
HASL	Hot Air Solder Level. Kastotinpainnoite.
NPI	New Product Introduction. Uuden tuotteen käyttöönotto.
NPTH	Non-Plated Through Hole. Metalloimaton läpivientireikä.
OSP	Organic Solderability Preservative. Orgaaninen suojapainnoite.
PCB	Printed Circuit Board. Piirilevy.
POFV	Plated Over Filled Via. Peitetty läpivienti.
PTH	Plated Through Hole. Metalloitu läpivientireikä.
PWB	Printed Wire Board. Piirilevy.

1 JOHDANTO

Yksi oleellisesti nykyaikaisia elektronisia laitteita yhdistävä ja niiden toiminnan sekä usein myös valmistuksen mahdollistava tekijä on piirilevy. Piirilevyn pääasiallisena tehtävänä on yhdistää sillä olevat komponentit sähköisesti toisiinsa. Toimivan ja valmistettavissa olevan piirilevyn tuottaminen vaatii taustalleen hyvän ja sujuvan suunnitteluvaiheen.

Piirilevyn suunnittelu alkaa yleensä kehitettävälle tuotteelle asetetuista vaatimuksista. Tuotevaatimuksissa määritellään tuotteelle siltä halutut toiminnallisuudet, rakenne ja muut ominaisuudet. Määritettyjen tuotevaatimusten pohjalta luodaan piirikaavio, jossa määritetään piirilevylle tehtävät kytkennät sekä niissä käytettävät komponentit. Piirikaavion lisäksi suunnitellaan myös tuotteen vaatima mekaniikka, kuten esimerkiksi kotelo, johon valmis piirilevy asennetaan.

Valmiin piirikaavion ja mekaniikkasuunnitelman asettamien vaatimusten pohjalta pystytään aloittamaan piirilevyn layout-suunnitelman työstäminen. Piirilevyn layout-suunnitelmassa toteutetaan piirilevylle piirikaaviossa suunnitellut kytkennät mekaniikan rajaamalle alueelle, yleensä useita kerroksia käyttämällä. Tuotteen mekaniikan layout-suunnitelmalle asettamiin rajoituksiin kuuluu kotelosen asettaman kokorajoituksen lisäksi mm. piirilevylle tulevien ruuvien reikiä, väliseiniä, jäähdytyksen sekä eristevälien asettamien rajoitusten huomioiminen.

Piirilevyn layout-suunnittelun aikana, sekä sen jälkeen, piirilevysuunnitelmalle tehdään sähköiseen toimintaan sekä valmistettavuuteen liittyviä simuloituja sekä tarkistuksia. Suoritetuilla tarkistuksilla pyritään takaamaan valmistettavan piirilevyn sähköinen toimivuus ja valmistettavuus.

Valmiista ja tarkistetusta piirilevysuunnitelmasta luodaan tilaustiedostot valmistusta varten ja ne lähetetään piirilevyn valmistavalle piirilevytehtaalle. Lisäksi piirilevyn ladonnan suorittavalle tuotannolle toimitetaan ladontatiedostot sekä stensiili (ohut metallilevy, jonka läpi juotospasta annostellaan komponenttien liitospinnoille) komponenttien ladontaa varten.

Piirilevytehdas sopii tilaajan kanssa valmistuksessa käytettävistä materiaaleista ja tekee suunnitelmalle omat valmistettavuustarkistuksensa. Kokoaa löytämänsä valmistettavuudelle ongelmia aiheuttavat kohdat ja muut varmistusta vaativat asiat EQ-raporttiin (Engineering Questions), joka toimitetaan tilaajalle.

EQ-raportissa esitetyt ongelmakohdat ratkaistaan ja piirilevy-suunnitelmalle suoritetaan mahdolliset korjaustoimenpiteet sekä lähetetään vastaukset piirilevytehtaalle. Tämän jälkeen piirilevytehdas valmistaa piirilevyn prosessiensa mukaisesti ja toimittaa valmistetut piirilevyt niiden ladonnasta vastaavalle tuotannolle. Tuotantoon toimitetuille piirilevyille ladotaan lopuksi komponentit ja sen jälkeen lopputuloksena on valmis kalustettu piirilevy.

Tämän opinnäytetyön tarkoituksena on selvittää piirilevyn valmistettavuuden automatisoitua tarkistamista. Työssä käsitellään piirilevy-suunnitelmalle tarkistusohjelmalla tehtäviä automatisoituja valmistettavuustarkistuksia sekä selvitetään toimeksiantajalla käytössä olevan tarkistussääntöpakettin toimivuutta yleisimpien valmistettavuuteen vaikuttavien suunnitteluvirheiden löytämiseen. Työn tarkoituksena on myös tuoda esille tärkeimpiä piirilevyjen valmistettavuuteen vaikuttavia tekijöitä, jotka tulisi huomioida jo suunnitteluvaiheessa.

Työn aluksi käydään lyhyesti läpi piirilevyjen rakennetta sekä esitellään tyypillinen piirilevyn valmistusprosessi. Lisäksi käydään läpi tärkeimpiä piirilevyn valmistettavuuteen vaikuttavia tekijöitä.

Seuraavaksi työssä käsitellään piirilevy-suunnitelmien automatisoitua tarkistamista. Luvussa esitetään syitä automatisoitujen tarkistusohjelmien ja työkalujen käytölle piirilevy-suunnittelun sekä piirilevy-suunnitelmien valmistettavuuden näkökulmasta. Tämän jälkeen esitellään lyhyesti yrityksen tärkeimmät layout-suunnittelijan käytössä olevat suunnitteluohjelmat, tarkistusohjelmat ja tarkistustyökalut sekä esitellään lyhyesti niillä tehtäviä tarkistuksia.

Lopuksi käsitellään piirilevy-suunnitelmalle Valor NPI -ohjelmalla tehtäviä valmistettavuustarkistuksia sekä selvitetään, onko toimeksiantajalla tällä hetkellä käy-

tössä olevalla tarkistussääntöpakettilla ja siinä määritellyillä tarkistuksilla mahdollista löytää suunnitteluvirheitä, jotka oli tuotu esille piirilevytehtaan EQ-raportissa ja jotka voivat vaikuttaa valmistettavuuteen.

Opinnäytetyön toimeksiantajana toimi Nokia Oyj. Yritys on suomalainen maailmanlaajuisesti toimiva tietoliikennealan yhtiö, jonka pääliiketoimintoihin kuuluvat verkkoinfrastruktuuri, teknologiakehitys ja lisensointi.

2 PIIRILEVYJEN VALMISTETTAVUUS

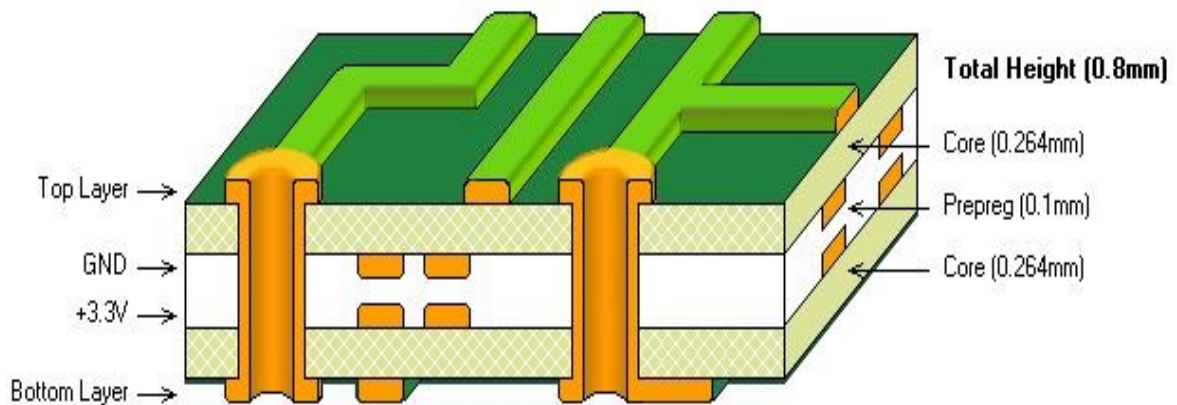
Toimivan ja valmistettavissa olevan piirilevysuunnitelman tekeminen vaatii suunnittelijalta suhteellisen laajaa ymmärrystä erilaisista piirilevyn valmistukseen liittyvistä valmistusprosesseista sekä niiden asettamista rajoitteista valmistukselle.

Tässä luvussa käydään läpi yleisimpiä ja tärkeimpiä piirilevyn valmistettavuuteen valmistusvaiheessa vaikuttavia tekijöitä, jotka tulee huomioida jo suunnitteluvaiheessa, kun piirilevyn layout-suunnitelmaa työstetään.

2.1 Piirilevyn rakenne ja valmistus

Piirilevyn tehtävänä on yhdistää sillä olevat komponentit sähköisesti toisiinsa sekä toimia mekaanisena tukena (1, s. 9).

Monikerrospiirilevyt rakentuvat johtamattomasta kiinnitysalustasta tai laminaatista (Core), laminaatin molemmille puolille tai vain toiselle puolelle tulevasta johtavasta alustasta eli kerroksesta (Layer) sekä johtavien alustojen väliin tulevasta eristeenä toimivasta vahvikkeesta (Pre-preg) (1, s. 9; 2; 3, s. 2). (Kuva 1.)



KUVA 1. 4-kerroksisen piirilevyn rakenne (4, linkit PCB Design → Layer Stack-up)

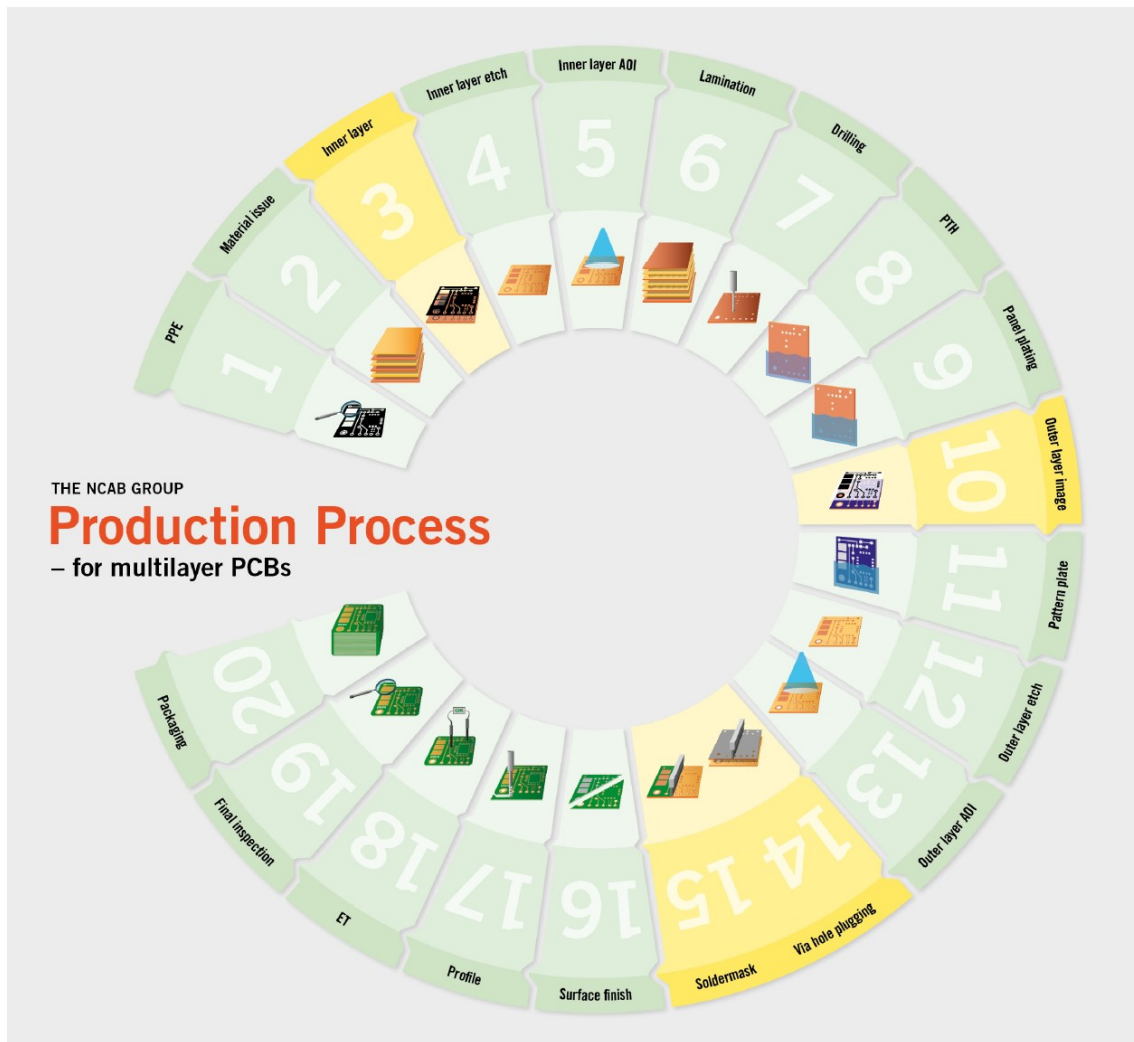
Johtamaton kiinnitysalusta tai laminaatti on tavallisesti valmistettu lasikuituvahvistetusta epoksihartsista. Johtavan alustan materiaalina taas käytetään yleensä

kuparia, johon johdinkuviot toteutetaan. Johtavien alustojen väliin eristeeksi tuleva vahvike on yleensä epoksi- tai syaniittihartsia. (1, s. 9; 3, s. 2–3.)

Lisäksi piirilevyn rakenteeseen kuuluvat myös erityyppiset, kerrokset toisiinsa yhdistävät, läpikuparoidut reiät eli läpiviennit. Valmiin piirilevyn rakenteeseen kuuluvaksi luetaan myös kiinnitysalustaan kiinnitetyt komponentit. (1, s. 9.)

Piirilevyn kerrosmäärittelyssä huomiota tulee kiinnittää kuparikerroksilla käytettävän kuparin paksuuteen sekä kuparikerrosten väliin tulevien eristemateriaalikerrosten paksuuteen. Kerrosjärjestyksen tulisi aina olla symmetrinen, jotta vältetään piirilevyn mahdolliselta vääntymiseltä valmistusprosessin aikana. (5, s. 22.)

Monikerrospiirilevyjen tuottaminen on monimutkainen ja monivaiheinen prosessi, sillä jokaisella piirilevyllä on ainutlaatuinen tehtävä tietyssä tuotteessa. Niin kutsuttua vakiopiirilevyä ei ole olemassakaan. (2.) Tämän vuoksi piirilevysuunnittelun aikana tulisi olla käsitys siitä, mitä ollaan suunnittelemassa ja kuinka suunnitteluvaiheessa tehdyt päätökset vaikuttavat piirilevyn valmistettavuuteen valmistusprosessissa (kuva 2).



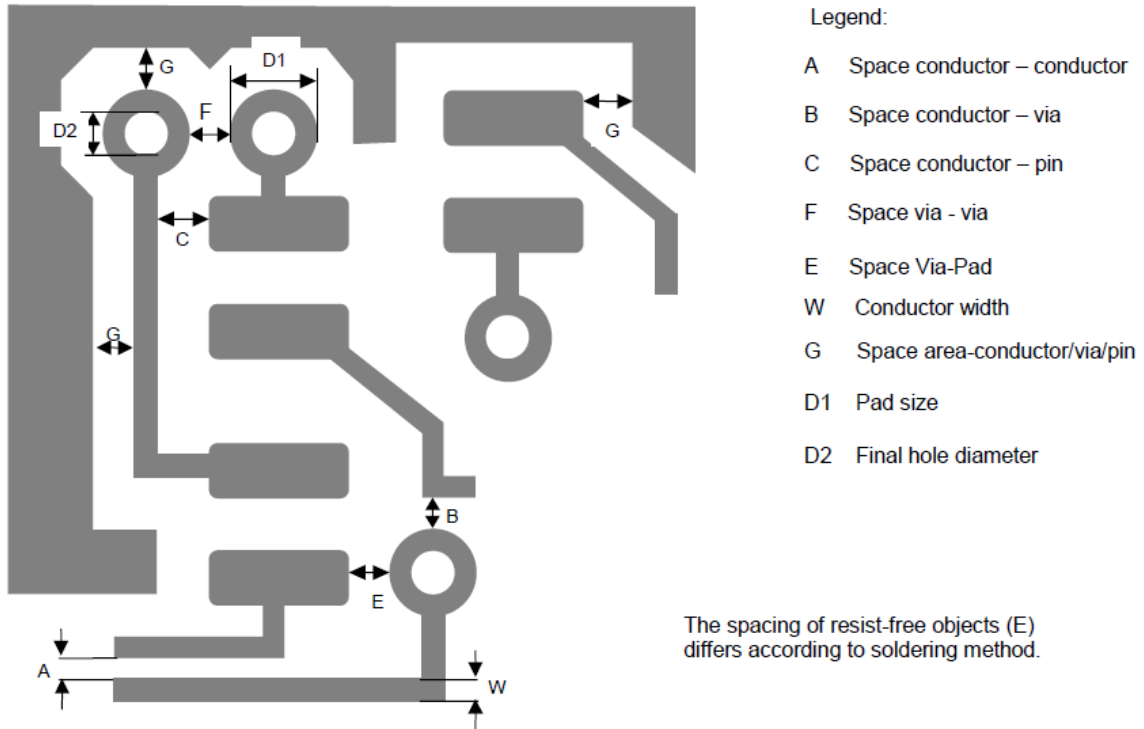
KUVA 2. Piirilevyn valmistusprosessi (6)

Kuvassa 2 esitelty tyypillinen piirilevyn valmistusprosessi koostuu tiivistettynä seuraavista vaiheista:

- 1–2. Tilaustiedostojen vastaanottaminen sekä valmistuksessa käytettävien materiaalien valinta.
- 3–5. Sisäkerrosten valmistus ja tarkistus.
- 6. Kerrosten ja eristevahvikkeen yhteen liittäminen prässäämällä.
- 7–9. Läpivientireikien poraus sekä läpikuparointi. Pintakerrosten kuparointi.
- 10–13. Pintakerrosten valmistus ja tarkistus.
- 14–15. Läpivientireikien täyttö ja juotteenestopinnoitteen laitto.
- 16. Liitospintojen pinnoitus valitulla pinnoitteella (esim. Enig, ENEPIG, HASL, OSP, Immersion Tin, Immersion Silver).
- 17–20. Jyrsintä piirilevyiksi sekä piirilevyjen testaus, tarkistus ja pakkaus. (2; 3, s. 3–12; 7.)

2.2 Eristevälit

Piirilevyn valmistettavuuden parantamiseksi piirilevysuunnitelmaa tehdessä pyritään noudattamaan eristeväleille, johdinleveyksille sekä läpivienneille määritettyjä minimiarvoja (5, s. 34) (kuva 3).



KUVA 3. Valmistettavuuteen vaikuttavat minimieristevälit ja johdinleveydet (5, s. 34)

Piirilevysuunnitelmissa käytettävien eristevälien, johdinleveyksien ja läpivientien minimiarvot määräytyvät pääasiassa piirilevyn valmistusprosessin kyvykkyyden mukaan. Piirilevyn kokoonpano, signaalien eheyteen liittyvät vaatimukset, mekaaninen laitteisto tai korkea jännite ja virta voivat myös vaikuttaa suunnitelmissa käytettäviin eristevälien, johdinleveyksien ja läpivientien minimiarvoihin. Lisäksi huomioitavaa on, että mitä pienemmät etäisyydet ja leveydet ovat käytössä, sitä monimutkaisempia valmistusprosesseja joudutaan käyttämään, mikä taas johtaa valmistuskustannusten nousuun. (5, s. 34.)

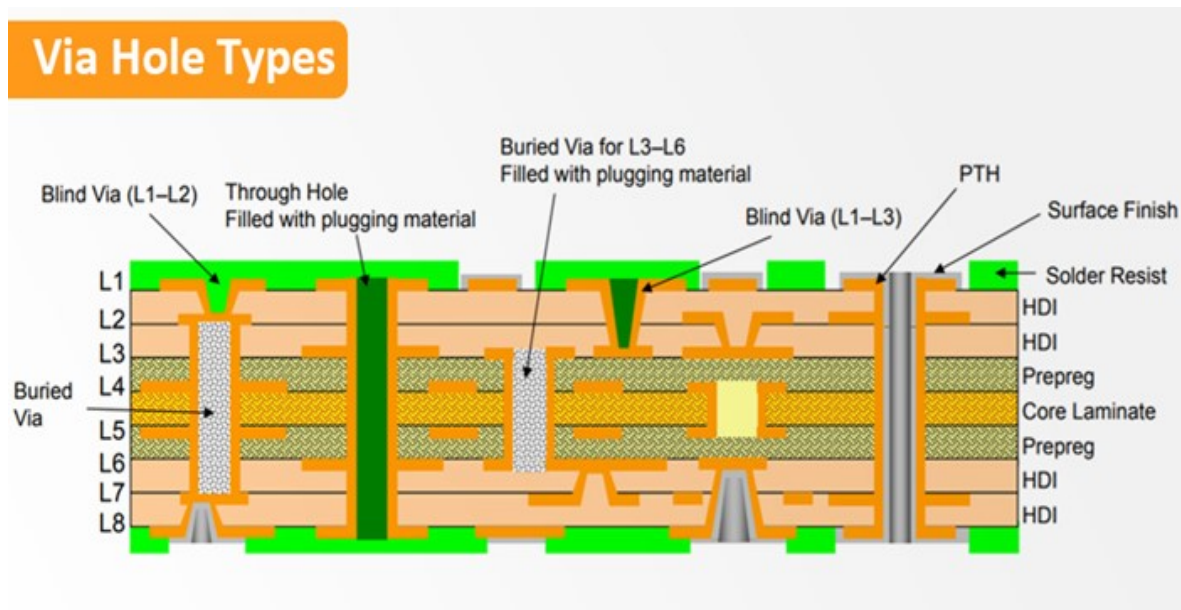
Oleellisesti minimiarvoihin vaikuttaa myös käytetyn kuparikerroksen paksuus sekä se, onko kyseessä sisä- vai ulkokerros (5, s. 35). Kuparikerrosten paksuu-

desta voidaan sanoa, että mitä paksumpi kuparikerros, sitä suuremmaksi kasvavat eristevälien minimietäisyydet sekä johdinten minimileveydet. Lopullisesti minimiarvot määräytyvät kuitenkin valmistuksessa käytettävien prosessien kyvykkyyden mukaan (5, s. 34).

Piirilevysuunnitelmissa eristeväleille määritettyjen minimiarvojen noudattaminen on tärkeää, koska pelkästään sillä voidaan jo välttää suuri osa syntyvistä valmistettavuuteen vaikuttavista suunnitteluvirheistä.

2.3 Läpiviennit

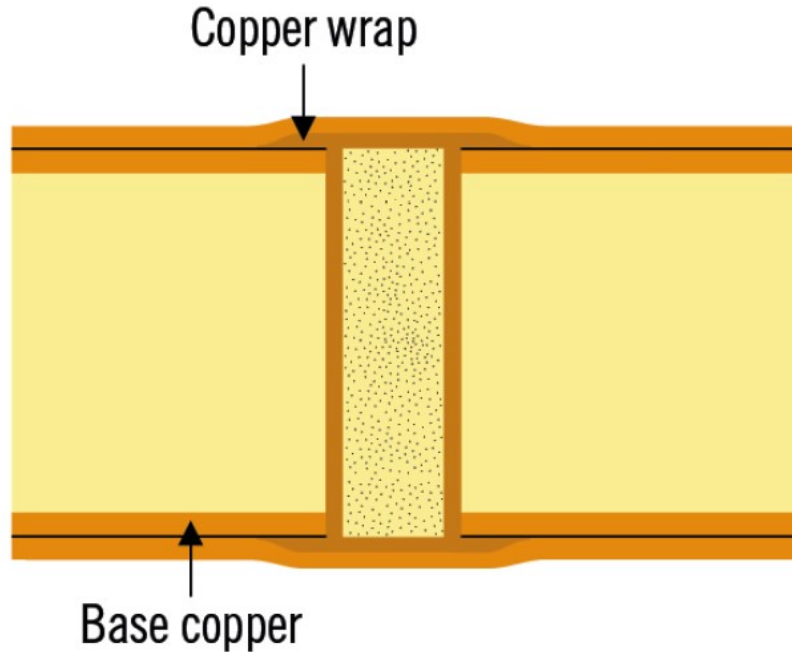
Läpiviennillä (Via) tarkoitetaan piirilevyllä sijaitsevaa reikää, jonka tarkoituksena on luoda yhteys piirilevyn eri kerrosten välille. Lisäksi läpivienneiksi luetaan kuitenkin myös metalloimattomat läpivientireiät (NPTH, Non-Plated Through Hole), jotka eivät yhdistä kuparikerroksia toisiinsa. Piirilevyllä käytettäviä läpivientityyppejä on useita erilaisia, kuten kuvasta 4 voidaan nähdä.



KUVA 4. Erilaisia piirilevyllä käytettäviä läpivientityyppejä (8, linkit PCB Manufacturing → Buried&Blind Via)

Kuvassa 4 kuvattujen läpivientityyppien lisäksi käytössä on myös POFV-läpivientityyppi (Plated Over Filled Via), josta käytetään myös nimitystä peitetty läpivienti.

Peitetty läpivienti on muuten samanlainen kuin kuvassa 4 esitetty täytetty läpivienti (Through Hole Filled with plugging material), mutta se on lisäksi metalloitu umpeen molemmista päistään (kuva 5). (9.)



KUVA 5. Poikkileikkauskuva molemmista päistä umpeen metalloidusta ja täytetystä peitetystä läpiviennistä (9)

Täyteaineena päältä metalloiduissa peitettyissä läpivienneissä käytetään, normaalien läpivientien kohdalla täyteenä käytettävästä juotteenestopinnoitemateriaalista poiketen, epoksihartsia. Epoksihartsia käyttämällä pystytään minimoimaan juotosprosessin aikaisia riskejä, kuten ilmakuplien muodostumista täyteaineeseen tai täyteaineen laajenemisen riskiä. (5, s. 41; 9.)

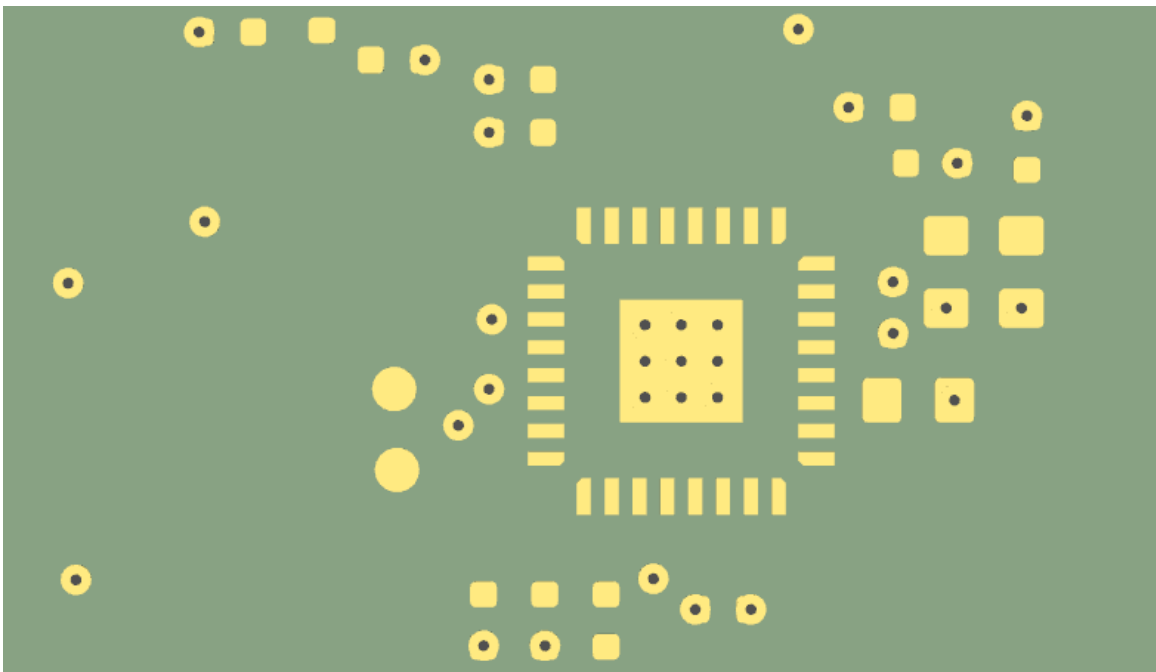
Valmistettavuuden kannalta huomiota tulee läpivientien kohdalla kiinnittää niiden sijaintiin levyllä sekä vähimmäisetäisyyksien noudattamiseen. Liian lähelle toisiinsa tai liitospintoja porattavat läpiviennit kauluksineen nostavat liian pienistä eristeväleistä aiheutuvaa oikosulkujen syntymisen riskiä juotosprosessin aikana. (5, s. 42.)

Peittämättömän läpiviennin ei tulisi myöskään sijaita liitospinnalla, sen reunalla tai liian lähellä paljasta liitospintaa. Liian lähelle liitospintaa sijoitettu peittämätön

läpivienti mahdollistaa ns. tinavarastilanteen (Solder thief) syntymisen. Kyseisessä tilanteessa juotosmetalli pakenee liitospinnalta läpivientireikään juotosprosessin aikana ja johtaa puutteellisen juotoksen tai juotossillan (Solder bridge) syntymiseen. Tinavarkaiden välttämiseksi tulee suunnittelun aikana noudattaa komponenteille ja läpivienneille asetettuja minimietäisyysvaatimuksia. Liitospinnoille sijoitettavissa läpivienneissä on käytettävä täytettyjä, molemmista päistään umpeen metalloituja, peitettyjä läpivientejä (POFV). (3, s. 29; 5, s. 41–44.)

2.4 Liitospinnat

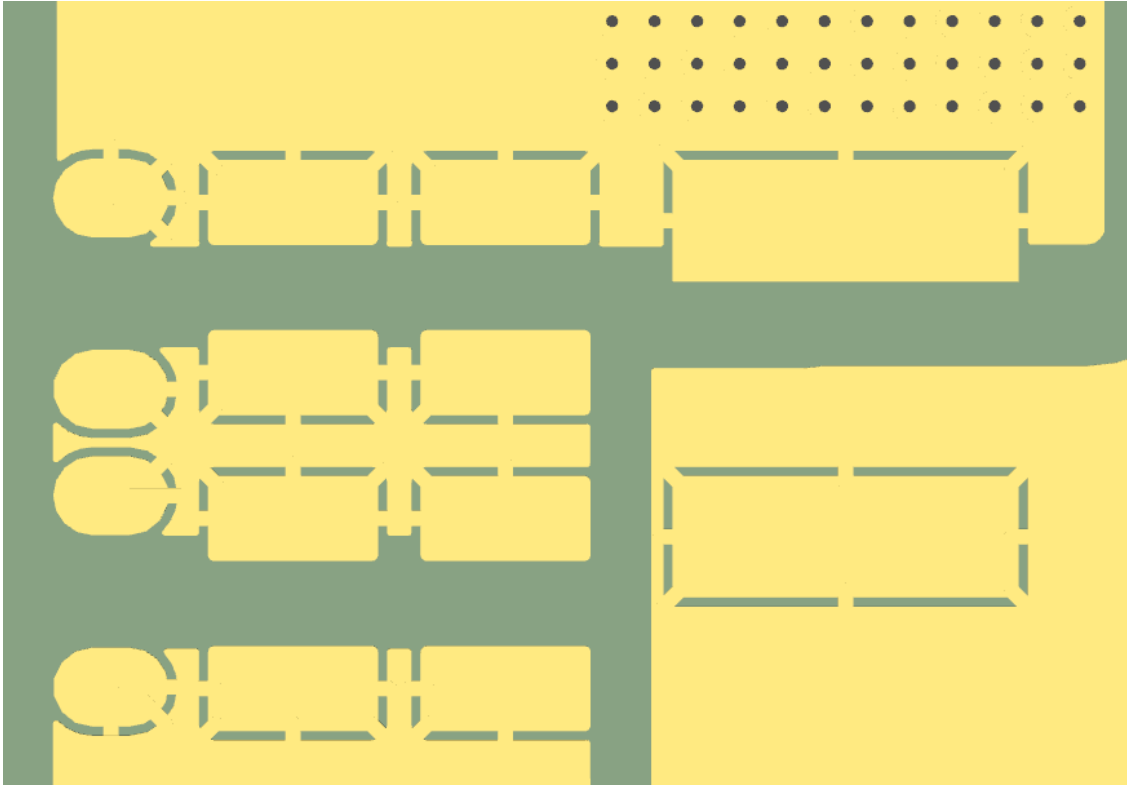
Liitos- tai kontaktipinnoilla eli padeilla tarkoitetaan piirilevyllä sijaitsevia paljaita metallipintoja eli käytännössä esimerkiksi immersiotinalla pinnoitettuja kuparipintoja, joihin komponentit juotetaan kiinni (10) (kuva 6).



KUVA 6. Kuva liitospinnoista piirilevyn pintakerroksella

Tietyissä tilanteissa komponenttien liitospinnoille suositellaan tehtäväksi lämpökevennyksiä (thermal relief, thermal isolation) (kuva 7). Lämpökevennyksillä pyritään yleisesti helpottamaan komponenttien juotettavuutta. (5, s. 48–49.)

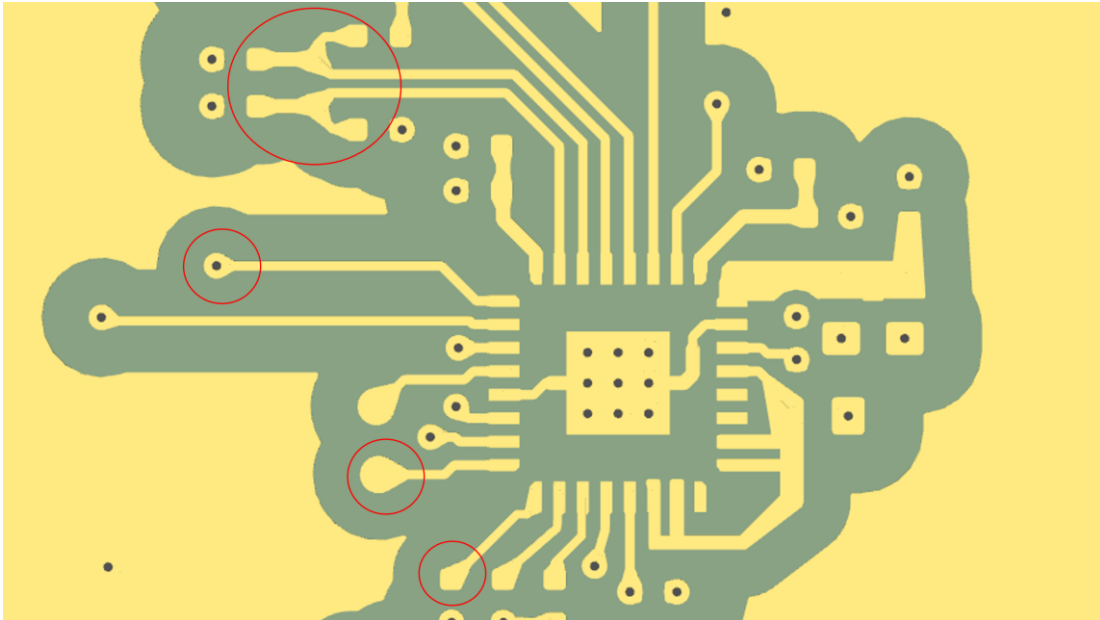
Tarkoituksena on rajoittaa liitospintoihin yhteydessä olevan kuparipinta-alan määrää ja luoda yhteydet kuparipinnan ja liitospintojen välille käyttämällä useita kapeampia johtimia, esimerkiksi kuvassa 9 esitetyllä tavalla (5, s. 48–49).



KUVA 7. Liitospinnoille tehdyt lämpökevennykset

Lämpökevennyksiä käytetään estämään hautakivi-ilmiön (Tombstoning) esiintymistä. Hautakivi-ilmiöllä tarkoitetaan juotosprosessin aikaista tilannetta, jossa juotettava komponentti nousee pystyyn toisen liitospinnan päälle. Hautakivi-ilmiö syntyy, kun liitospintoihin yhteydessä olevat kuparialat ovat komponentin päädissä erikokoiset ja niillä on erisuuruiset lämpömassat. Tästä voi seurata se, että juotosprosessissa tapahtuvan juotospastan juoksettumisen yhteydessä vaikuttavat voimat eivät ole liitospinnoilla yhtä suuret ja komponentti ei asetu tasaisesti liitospinnoille. (3, s. 27–28; 11, s. 16.) Lisäksi lämpökevennyksien käytöllä saadaan helpotettua juotettavuutta tilanteissa, joissa komponentteja tullaan vaihtamaan käsin ladonnan jälkeen.

Piirilevyn valmistettavuuteen vaikuttaa liitospintojen osalta myös kupariviisteiden eli teardroppien käyttö. Kupariviisteet ovat liitospintojen ja niihin liittyvien johdinten liitospintaan tai paksummasta ohuemmaksi muuttuvien johtimien muutoskohtiin tulevia ylimääräisiä kupariviisteitä (kuva 8). (12; 13.)



KUVA 8. Erilaisten liitospintojen ja johdinten välisiin liitospintaan tulevia ylimääräisiä kupariviisteitä

Kupariviisteitä käyttämällä pyritään parantamaan piirilevyn valmistettavuutta sekä piirilevyllä olevien johdinten ja liitospintojen välisten liitospintojen kestävyyttä. Lisäksi kupariviisteitä käyttämällä voidaan parantaa valmistettujen piirilevyjen saantoa, kun tuotantoprosessin aikaisten eri valmistusvaiheiden aikaisia riskejä saadaan pienennettyä. (5, s 48; 12.)

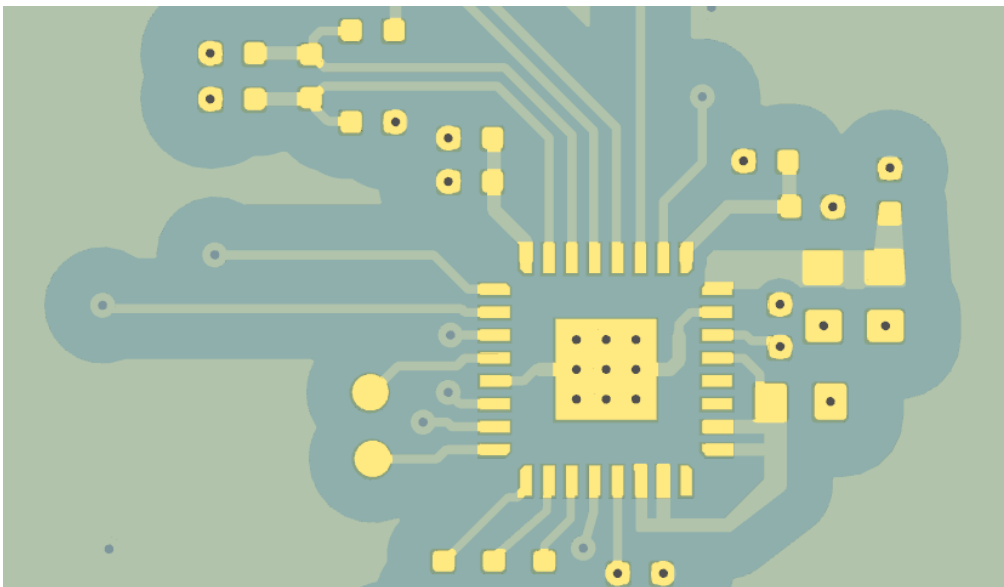
Esimerkiksi porauksen aikana mahdollisesti tapahtuva terän vaellus voi johtimen ja liitospinnan liitospintaan osuessaan katkaista yhteyden liitospinnan ja johtimen väliltä. Riski tämän tapahtumiselle on suurempi pienemmän kuparialan omaavan viisteettömän liitospinnan kohdalla kuin kupariviisteiden käytön tuoman lisäkuparialan omaavan liitospinnan kohdalla. Tämän lisäksi kupariviisteillä saadaan myös estettyä happoansojen syntymistä ja niistä mahdollisesti aiheutuvia haittoja, kuten johtimen poikki syöpymistä johtimen ja liitospinnan liitospinnalta. (12.)

2.5 Juotteenestopinnoite

Juotteenestopinnoitteella tai juotosmaskilla eli solder maskilla tarkoitetaan piirilevylle muille kuin juotettaville alueille laitettavaa kuumuutta kestävästä pinnoittemateriaalista, jolla estetään juotteen kerrostuminen näille valituille alueille juotosprosessin aikana (14, luvut 33.1–33.1.1).

Lisäksi juotteenestopinnoitteen tehtävänä on sekä estää tinasiltojen ja niistä mahdollisesti aiheutuvien oikosulkujen muodostuminen juotosprosessin aikana että suojata piirilevyn pintaa mm. likaantumiselta sekä hapettumiselta ja sen aiheuttamalta korroosiolta (14, luvut 33.1–33.1.2).

Valmistettavuuden kannalta huomiota tulee kiinnittää juotteenestopinnoitteen kohdistamiseen sekä siihen tuleviin avauksiin liitospintojen ja läpivientien kohdalle (kuva 9). Väärin kohdistettu juotteenestopinnoite tai huonosti mitoitettujen maskiavaukset voivat aiheuttaa ongelmia valmistusprosessin myöhemmissä vaiheissa sekä valmiin piirilevyn toiminnassa (15, s. 10–11; 16).



KUVA 9. Liitospintojen kohdalle juotteenestopinnoitteeseen tulevat avaukset

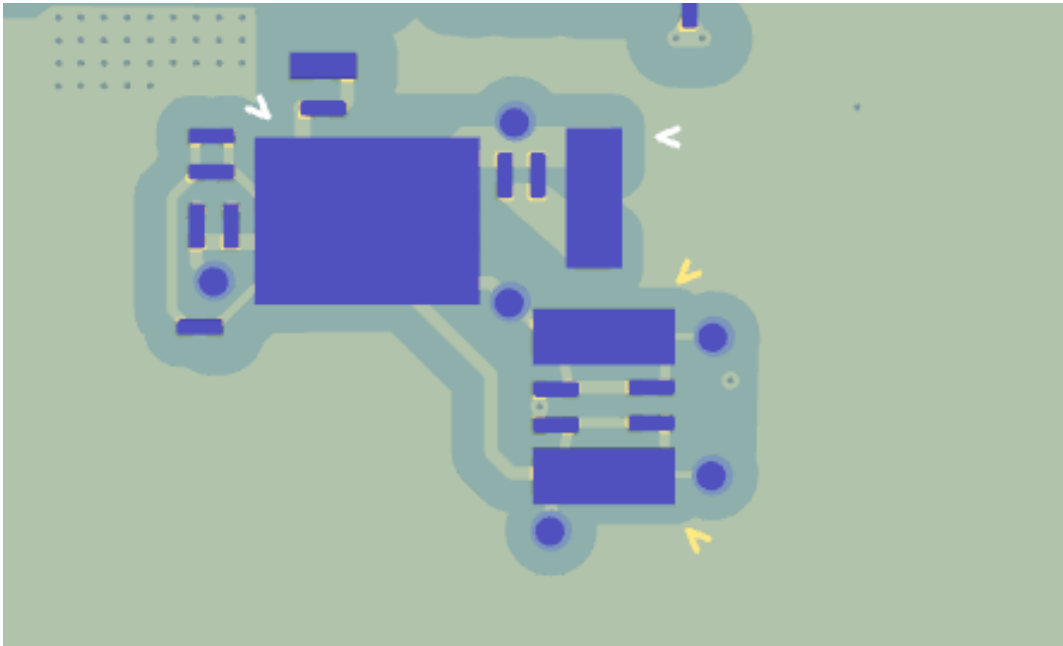
Liian isot avaukset juotteenestopinnoitteessa komponenttien liitospintojen kohdalla voivat suurentaa riskiä oikosulkujen syntymiseen. Esimerkiksi tilanne, jossa johdin kulkee pintakerroksella läheltä liitospintaa, jonka kohdalla juotteenestopinnoitteen avaus on liian suuri, voi paljastaa johtimen ja luoda mahdollisuuden

juotossillan syntymiseen liitospintojen tai liitospinnan ja viereisen johtimen välillä juotosprosessin aikana. Syntynyt juotossilta voi vaikuttaa valmiin piirilevyn toimintaan esimerkiksi aiheuttamalla oikosulun. (15, s. 11; 16.)

2.6 Selitteet ja merkinnät

Piirilevyille tehtävien selitteiden ja merkintöjen (Legends) tarkoituksena on välittää tietoa ja näin helpottaa piirilevyn kalustamista ja myöhempää käyttöä. Merkintöjä käytetään osanumeroiden ja komponenttien paikkojen, polaarisuuden sekä arvojen merkitsemiseen sekä muiden tunnistemerkintöjen, esimerkiksi yrityksen logon ja päivämäärämerkintöjen, tekoon. (5, s. 51; 14, luku 33.8.)

Merkinnöillä helpotetaan myös valmiin piirilevyn käyttöä, kun liittimet ja niissä käytettävät pinnit on selkeästi merkitty. Merkinnät voidaan toteuttaa etsaamalla kupariin, avauksina juotteenestopinnoitteeseen tai erillisenä prosessina kuten silkkipainona (Silkscreen) juotosmaskin päälle (kuva 10). (5, s. 51; 14, luku 33.8.)



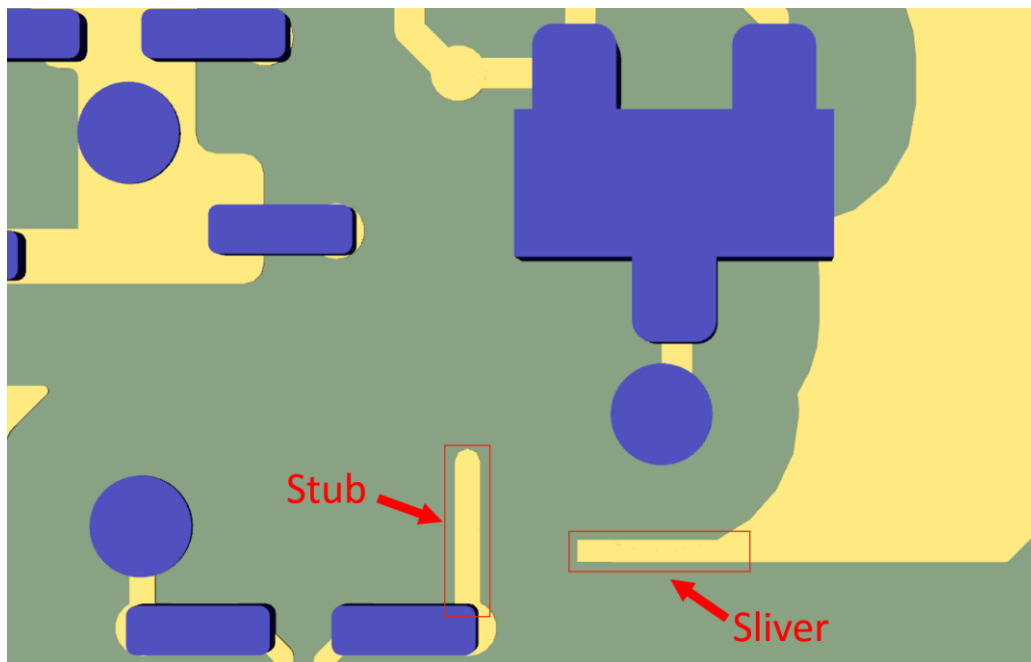
KUVA 10. Silkkipainona (valkoinen) ja juotteenestopinnoitteen avauksina (kelmainen) toteutettavat kulmamerkkit komponenteille

Piirilevyn valmistettavuuden näkökulmasta huomiota tulee kiinnittää merkintöjen toteutustapaan ja eri toteutustapojen asettamiin rajoituksiin merkintöjen sijoittamiselle piirilevyllä.

Esimerkiksi molempien, juotteenestopinnoitteeseen avauksina toteutettavien merkintöjen ja silkkipainolla tehtävien, merkintöjen kohdalla tulee varmistaa, että merkintöjä ei ole sijoitettu juotteenestopinnoitteen avauksiin tai niiden reunoille. Juotteenestopinnoitteen avauksien ja niiden reunojen kohdalle tulevat, avauksina toteutettavat merkinnät joko eivät näy, leikkautuvat tai saattavat johtaa juotossiltojen syntymiseen. Silkkipainona toteutettavat merkinnät taas voivat johtaa puutteellisten juotosten syntymiseen merkintöjen osuessa paljaiden liitospintojen päälle tai niiden reunoille. (5, s. 52; 16.)

2.7 Stubit ja sliverit

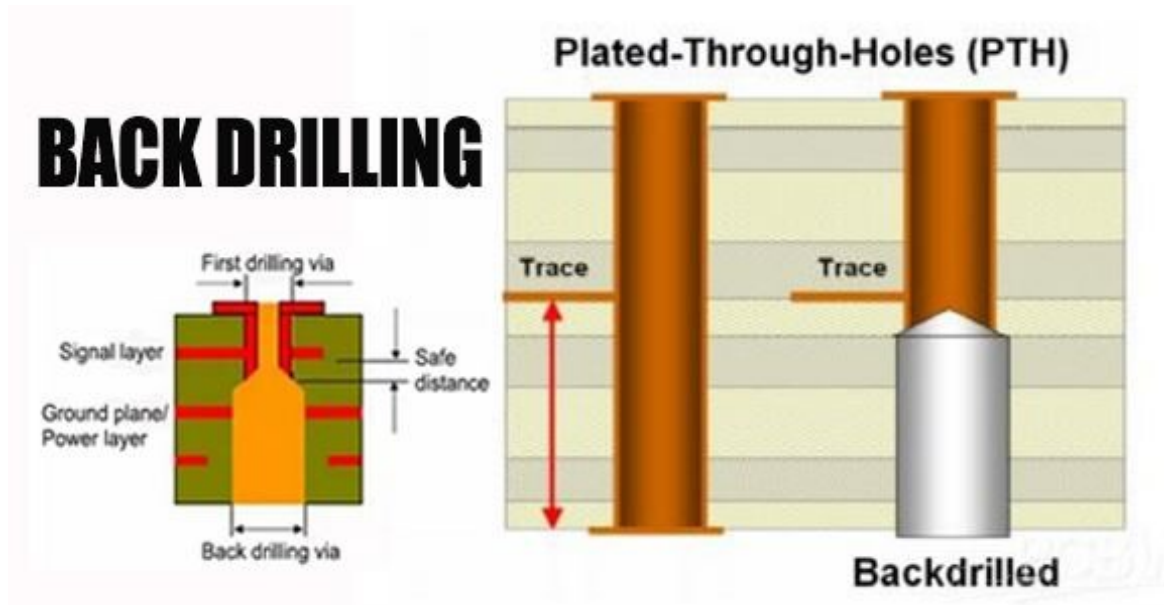
Stubeilla tarkoitetaan päättämättömiä johtimia, jotka ovat yhteydessä liitospintaan tai läpivientiin vain toisesta päästään ja näin muodostavat kuparikerrokselle turhan johdinpätkän (15, s. 7–8). Slivereillä taas tarkoitetaan johdinten, liitospintojen sekä kuparialueiden eristevälien väliin jääviä ohuita kupari- tai juotteenestopinnoitekaistaleita (16; 18). (Kuva 11.)



KUVA 11. Esimerkki piirilevyn pintakerrokselle muodostuneista stubista ja sliveristä

Lisäksi stubeihin luetaan myös metalloitujen läpivientireikien käyttämätön loppuosa, joka muodostuu, kun läpivientiin yhdistyvät johtimet käyttävät esimerkiksi

vain piirilevyn pintakerrosta ja yhtä sisäkerroksista läpiviennin mennessä koko piirilevyn läpi (16). (Kuva 12.)



KUVA 12. Läpivientiin muodostunut stubi ja sen poistamiseksi suoritettava porausprosessi (Back drilling) (19)

Stubien syntymistä pyritään tarkistamaan piirilevysuunnitelmista, sillä ne toimivat piirilevyllä antennin tavoin ja aiheuttavat turhaan EMC-häiriöitä (15, s. 7). Läpivienneissä olevat stubit taas vuorostaan aiheuttavat suurinopeuksisissa ja korkeataajuuksisissa signaaleissa signaalin vääristymistä ja vaikuttavat yleensä ei-halutulla tavalla siirtolinjan impedanssiin (9; 20, s. 132–135).

Läpivientistubien poistamisella saadaan parannettua valmiin piirilevyn toimintaa, mutta niiden poistaminen tuo valmistusprosessiin lisävaiheen ylimääräisen porauksen takia (Back drilling) sekä lisää näin valmistuksen kompleksisuutta ja nostaa osaltaan valmistuskustannuksia. Käytännössä läpivientistubien poistaminen poraamalla on kuitenkin kustannustehokkaampaa kuin niiden syntymisen estäminen erilaisia haudattuja (Buried) ja sokeita (Blind) läpivientejä valmistusprosessissa hyödyntämällä. (19.)

Valmistettavuuden näkökulmasta läpivientistubien tarkistamisella pystytään välttämään lisäksi turhien läpivientien porausta, kun samalla suunnitelmasta tarkistetaan turhaan laitettut läpiviennit, jotka eivät ole yhteydessä vähintään kahteen

eri kerrokseen. (16.) Lisäksi stubien tarkistuksella suunnitteluvaiheessa, ennen piirilevyn valmistusta, voidaan myöhemmin tilausvaiheessa säästää aikaa, kun suuri osa piirilevytehtaalta tulevista EQ-raportissa (Engineering Questions) olevista stubeihin liittyvistä kysymyksistä pystytään välttämään (15, s. 7).

Sliverit muodostuvat kuparialustaan ja juotteenestopinnoitteeseen yleensä puutteellisten eristevälisääntöjen sekä suunnitteluohjelmassa automaattisesti generoituvien kuparialueiden seurauksena. Slivereitä pyritään välttämään, sillä kuparialustalle muodostuneiden sliverien kohdalla on kohonnut riski niiden irtoamiselle laminaatista piirilevyn valmistusprosessissa suoritettavan etsauksen aikana. Laminaatista irronnut kuparikaistale voi laskeutua kuparialustalla kohtaan, jossa se voi myöhemmin aiheuttaa oikosulun yhdistämällä esimerkiksi väärät johtimet toisiinsa. (15, s. 10; 16; 18.) Juotteenestopinnoitteeseen muodostuvat sliverit voivat irrotessaan vuorostaan aiheuttaa ongelmia juotosprosessin aikana, jos ne ovat päässeet kulkeutumaan esimerkiksi liitospinnan päälle, ja johtaa näin puutteellisen juotoksen syntymiseen (18).

3 PIIRILEVYN VALMISTETTAVUUDEN AUTOMATISOITU TARKISTAMINEN

Nykyaikaisten, useita kerroksia sekä minimaalisia (alle 75 µm) johdinleveyksiä käyttävien piirilevysuunnitelmien luotettava tarkistaminen manuaalisesti suunnitteluvirheiden varalta on erittäin haastavaa, sillä nykyään piirilevysuunnitelmille voidaan tehdä yli 900 erilaista valmistettavuuteen liittyvää tarkistusta. (22.)

Pelkästään jo erilaisten valmistettavuuteen vaikuttavien erilaisten tarkistusten suuri lukumäärä antaa osviittaa siitä, kuinka paljon aikaa tarkistusten tekemiseen manuaalisesti menisi. Lisäksi tarkistusten tekoon käytettävissä oleva aika on yleensä rajallinen, kun seurataan tuotteelle asetettuja suunnittelu- ja valmistusajakatauluja. Tämä johtaa manuaalisesti suoritettavien tarkistuksien kanssa siihen, että niitä ei välttämättä ehditä tekemään luotettavasti.

3.1 Ohjelmallinen tarkistaminen

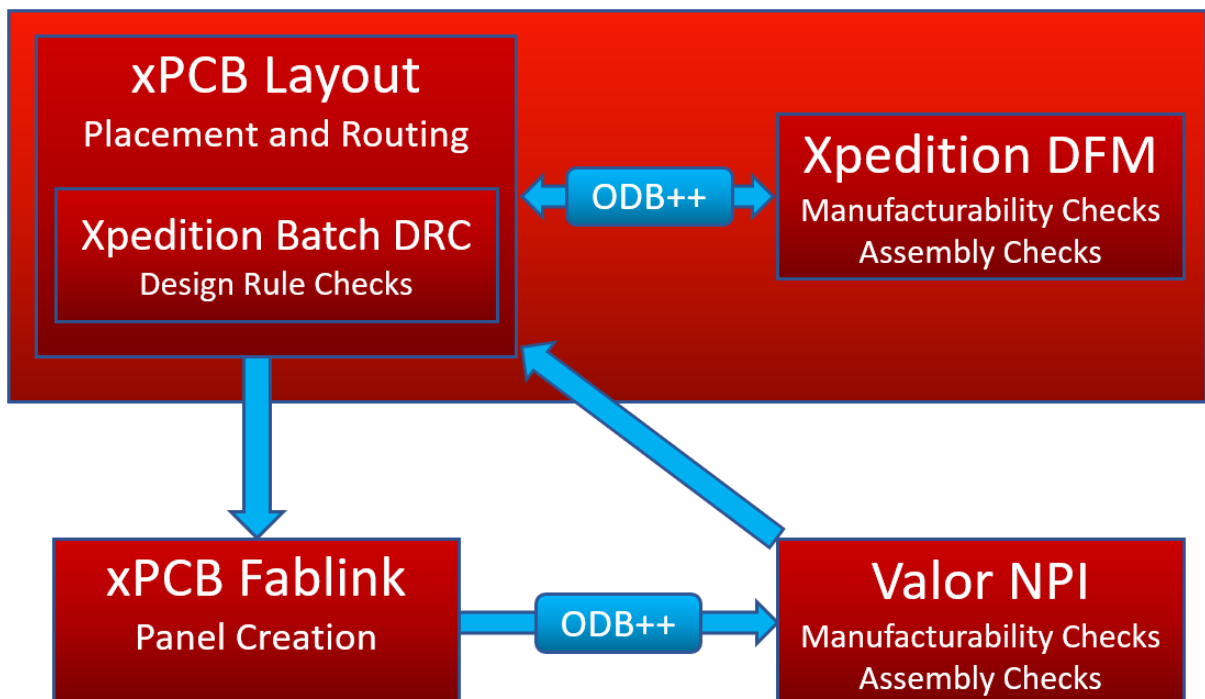
Piirilevysuunnitelmalle puutteellisesti tehdyt tarkistukset saattavat johtaa valmiiden piirilevyjen huonoon saantoon, jos piirilevysuunnitelmassa on esimerkiksi käytetty paljon valmistettavuutta hankaloittavia ratkaisuja. Lisäksi on myös mahdollisuus toimimattomiin piirilevyihin tai vähintäänkin suureen piirilevyn valmistettavuutta koskevien kysymysten määrään piirilevytehtaan taholta tilausvaiheessa. (15, s. 7; 22.) Nämä taas yleensä johtavat suoritettujen korjausten ja uusien valmistuskierrosten takia kasvaneisiin kuluihin ja aikataulun mahdolliseen venymiseen (22).

Tämän vuoksi piirilevyn suunnittelussa pyritäänkin hyödyntämään tarkistusohjelmia sekä työkaluja ja niihin määritettyjä automatisoituja tarkistuksia. Piirilevyn sähköisen toiminnan varmistamiseksi piirilevyn layout-suunnitteluvaiheessa pyritään noudattamaan piirilevysuunnitelmalle määritettyjä suunnittelusääntöjä sekä hyödyntämään niiden noudattamista valvovia, suunnittelusääntöjen tarkistamiseen kehitettyjä DRC-työkaluja.

Piirilevyn valmistettavuuden parantamiseksi ja valmistettavuuteen vaikuttavien tekijöiden tarkistusta varten piirilevysuunnitelmille suoritetaan automatisoituja

DFM- eli valmistettavuustarkistuksia. Valmistettavuuden tarkistamiseen kehitetyt ohjelmat ja työkalut tekevät tarkistukset piirilevysuunnitelmasta tuotetuille ODB++-tiedostoille. ODB++-tiedosto sisältää lähes kaiken tuotantoon, testaamiseen ja kokoonpanoon vaadittavan tiedon, lukuun ottamatta kerrosmäärittelyä (build-up) sekä erillisen speksilehden sisältämiä tietoja (23).

Kuvassa 13 on esitettyä tärkeimmät yrityksessä layout-suunnittelijan käytössä olevat suunnitteluohjelmat, tarkistusohjelmat sekä työkalut. Lisäksi kuvassa 13 on myös esitetty suunnittelun eteneminen sekä ohjelmien ja työkalujen väliset yhteydet eri suunnitteluvaiheissa.



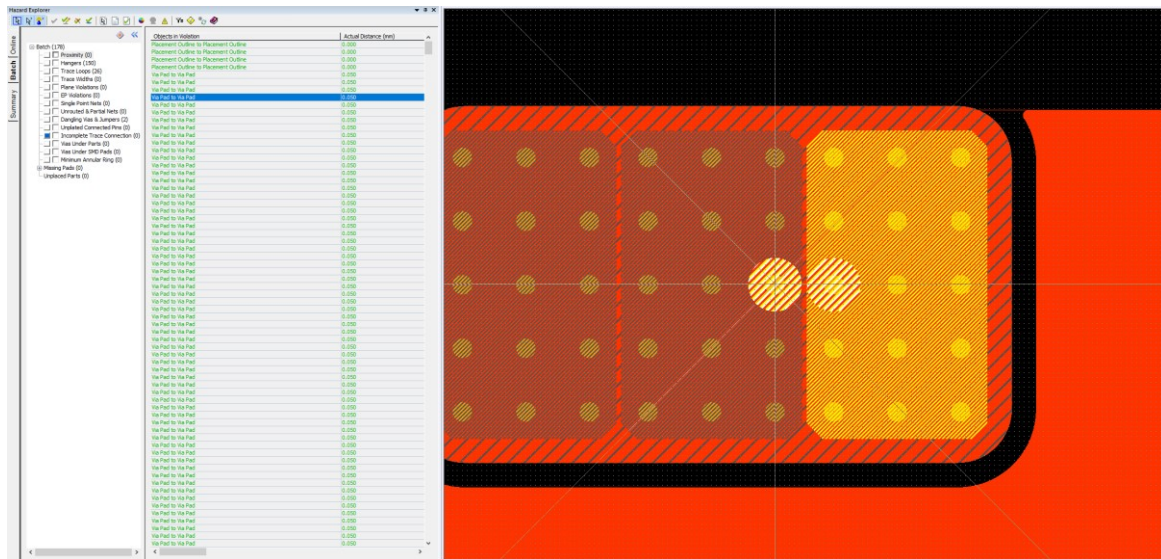
KUVA 13. Kaavio piirilevysuunnittelussa eri suunnitteluvaiheissa käytössä olevista suunnitteluohjelmista sekä niiden apuna käytettävistä tarkistusohjelmista ja työkaluista

Piirilevyn layout-suunnitelman tekoon käytetään Xpedition xPCB Layout -ohjelmaa. Layout-ohjelma sisältää Xpedition Batch DRC -ohjelman suunnittelusääntöjen tarkistamista varten sekä Xpedition DFM -laajennusosan, joka mahdollistaa Valor NPI -ohjelmalla suoritettavien valmistettavuustarkistuksien tekemisen layout-ohjelmassa. Layout-ohjelmalla luotu suunnitelma siirretään xPCB Fablink -ohjelmaan paneloinnin suorittamiseksi.

Panelointi tehdään komponenttiladonnan vuoksi ja siinä suunnitelmaan lisätään tuotannon vaatimat levyille tehtävät merkinnät, kuten suuntanuolet, kehysmerkit (Fiducial marks), panelointikannakset (perferoinnit) ja reiät käsittelyä varten (Tooling holes). Lisäksi paneloinnissa kortin ympärille lisätään kehys ladontalinjan kuljettimia varten. Lopullinen paneeli voi myös sisältää useamman piirilevyn valmistettavan piirilevyn ja käytössä olevan paneelin koosta riippuen. Valmiista paneelistä tuotetaan piirilevytehtaalle ja tuotannolle toimitettavat tilaustiedostot. Fablink-ohjelman tuottamalle ODB++-tiedostolle tulisi tehdä lopulliset valmistetavuustarkistukset Valor NPI -ohjelmalla ennen tilausta.

3.2 Xpedition Batch DRC

Xpedition Batch DRC on Mentor Graphicsin tarjoama työkalu piirilevysuunnitelman suunnitteluvirheiden tarkistukseen. Työkalu toimii sille valmiiksi määritellyn tarkistuslistan perusteella ja sen suorittamat tarkistukset on suunnattu piirilevysuunnitelman sähköisen toimivuuden tarkistamiseen (24). (Kuva 14.)



KUVA 14. Xpedition Batch DRC -työkalun virheentarkistusnäky

Suunnitteluvirheiden tarkistus toimii myös dynaamisesti layout-suunnitelman teon aikana ja sillä pyritään estämään suunnittelusääntöjen vastaiset johdinten, läpivientien ja komponenttien sijoittelut.

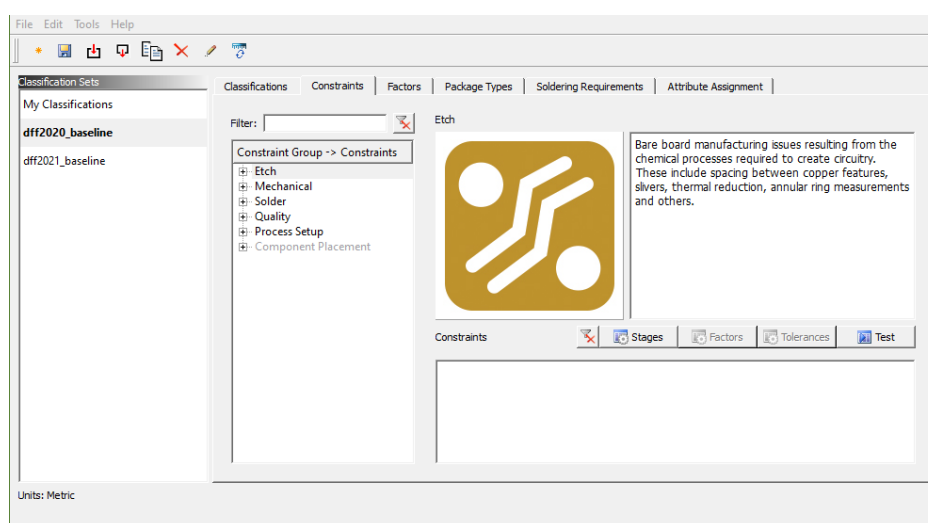
Batch DRC -työkalulla voidaan suorittaa seuraavat tarkistukset suunnitelmalle:

- Minimietäisyystarkistus, jolla tarkistetaan, että esimerkiksi suunnitelmaan asetetut komponentit noudattavat niille määriteltyjä minimietäisyyksiä ja minimieristevälejä eivätkä ole päällekkäin.
- Yhteystarkistus, jolla tarkistetaan, että piirilevy-suunnitelmassa yhteydet on kytketty piirikaaviossa määritellyn mukaisesti eikä suunnitelma sisällä oikosulkuja.
- Erityissäätötarkistus, jolla tarkistetaan, että suunnitelmassa noudatetaan sille asetettuja erityisiä valmistussääntöjä. (24.)

3.3 Valor NPI

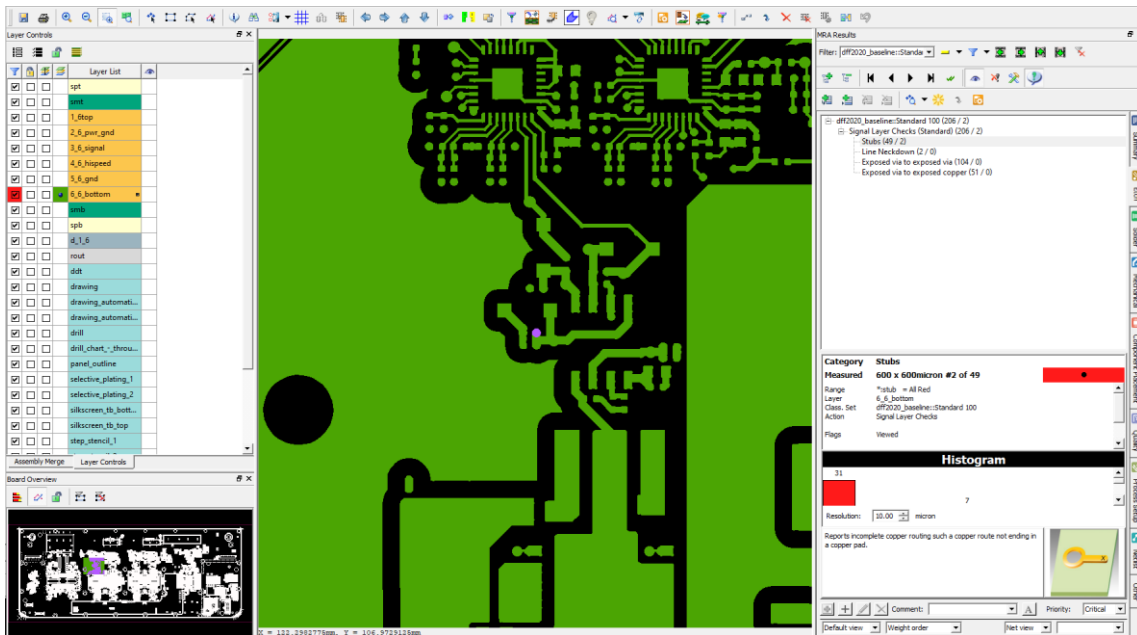
Valor NPI on Mentor Graphicsin tarjoama ohjelma DFM-analyyysien eli piirilevy-suunnitelmille tehtävien automatisoitujen valmistettavuustarkistusten tekoa varten. Työkalu on tarkoitettu parantamaan piirilevy-suunnitelmien valmistettavuutta sekä helpottamaan valmistettavuustarkistusten tekoa. (17; 21; 22.)

Ohjelma suorittaa valmistettavuustarkistukset suunnitteluohjelmasta tuotetulle ODB++-tiedostolle ohjelman tarkistussääntöpakettiin määriteltyjen tarkistettavien kohtien mukaan. Valmistettavuustarkistukset on tarkistussääntöpakettissa määritelty kuuteen eri pääryhmään. Pääryhmät koostuvat etsaukseen, mekaanisiin prosesseihin, juotettavuuteen, laatuun, ladontaan ja komponenttien paikoitukseen suunnatuista valmistettavuustarkistuksista. (Kuva 15.)



KUVA 15. DFM-analyyysissa käytettävä tarkistussääntöpaketti ja siitä löytyvät tarkistuskohdat pääryhmittäin (16)

Valmistettavuustarkistuksen suorittamisen jälkeen ohjelma ryhmittelee piirilevy-suunnitelmasta löytämänsä valmistettavuuteen vaikuttavat suunnitteluvirheet kuuden eri pääryhmän alle käyttöliittymäikkunan oikeaan reunaan, kuvan 16 mukaisesti. Pääryhmistä voidaan valita halutut tarkistustulokset tarkasteltavaksi ja tarkistuksen löytämiä ongelmakohtia voidaan käydä läpi yksi kerrallaan samalla, kun ohjelma näyttää niiden sijainnin piirilevyllä. Lisäksi käyttöliittymäikkunan oikeaan alareunaan on myös mahdollista saada näkymään kuva ja selite tarkasteltavalle ongelmakohdalle.



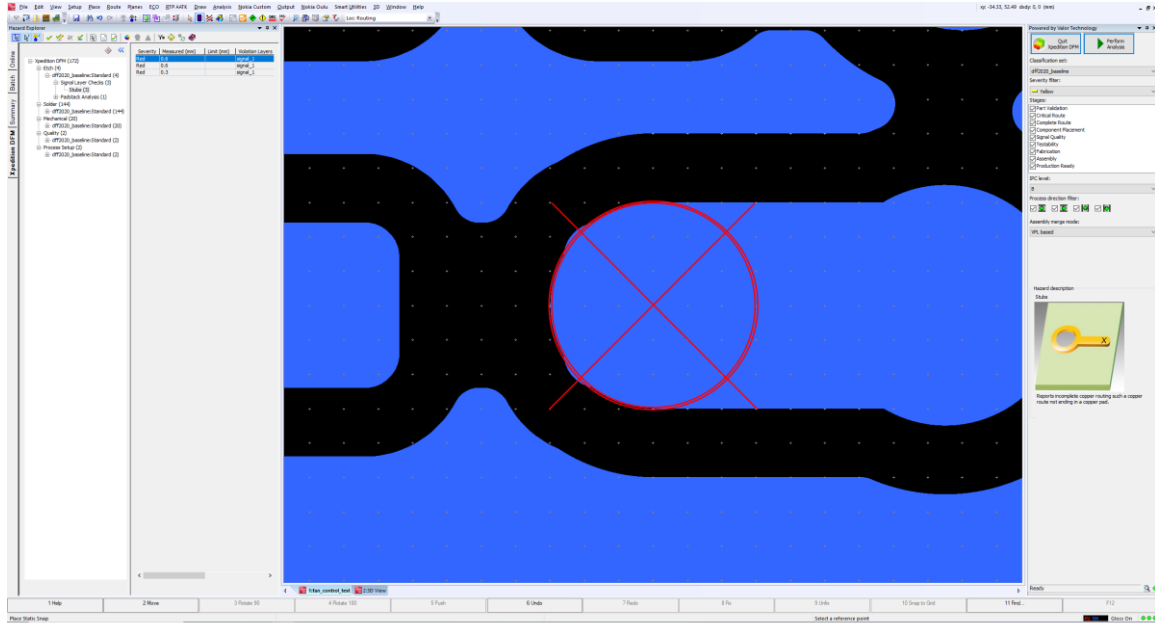
KUVA 16. Yleisnäkymä Valor NPI -ohjelman käyttöliittymästä (16)

3.4 Xpedition DFM

Xpedition DFM on Mentor Graphicsin tarjoama laajennusosa Xpedition Layout -ohjelmaan. Xpedition DFM -laajennusosa mahdollistaa Valor NPI -ohjelmalla suoritettavien valmistettavuustarkistusten tekemisen suoraan layout-ohjelmassa työstettävälle suunnitelmalle. (24.)

Laajennusosa suorittaa valmistettavuustarkistukset samalla tavalla layout-ohjelmasta tuotetulle ODB++-tiedostolle kuin Valor NPI -ohjelma. Valor NPI -ohjelmasta poiketen laajennusosa tuottaa automaattisesti ODB++-tiedoston layout-suunnitelmasta ja mahdollistaa tarkistuksen tulosten tarkastelun sekä virheiden korjaamisen samanaikaisesti layout-ohjelmassa.

Xpedition DFM -laajennusosan käyttöliittymästä voidaan valita valmistettavuus-tarkistuksiin käytettävä tarkistussääntöpaketti, suodatus löydetyille virheille niiden kriittisyyden mukaan, tiettyyn valmistusvaiheeseen liittyvät valmistettavuus-tarkistukset, juotosanalyysissa käytettävä IPC-luokitus sekä suodatus valmistus prosessissa käytetyn suunnan mukaan (16; 24). (Kuva 17.)



KUVA 17. Xpedition DFM -laajennusosan käyttöliittymä ja virheentarkastusnäky

Laajennusosa näyttää virheentarkistusnäkyä käytettäessä valitun tarkasteltavan virheen sijainnin suoraan piirilevyllä. Lisäksi käyttöliittymässä nähdään kuva ja siihen liittyvä selite valitulle tarkasteltavalle virheelle. (Kuva 17.)

4 AUTOMATISOIDUT VALMISTETTAVUUSTARKISTUKSET

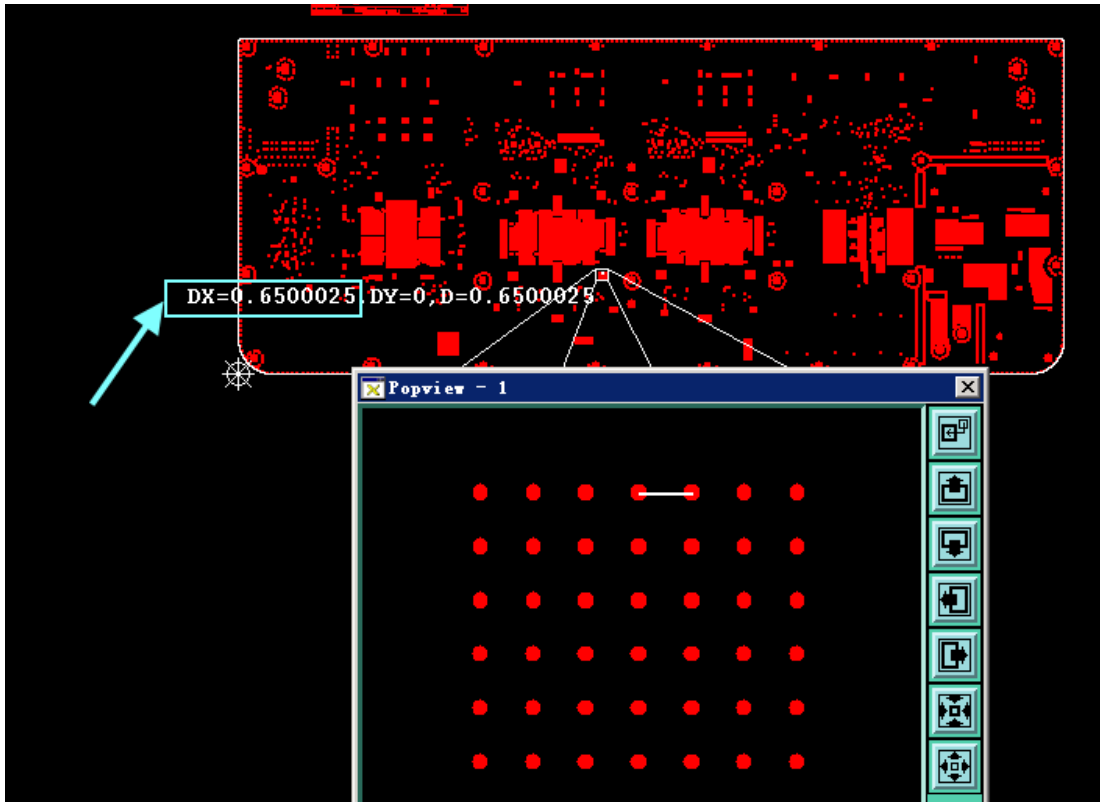
Tässä luvussa käsitellään piirilevysuunnitelmalle Valor NPI -ohjelmalla tehtäviä valmistettavuustarkistuksia. Tarkistuksia käsitellään piirilevytehtaalta tulleiden EQ-raporttien (Engineering Questions) ja yleisimpien niissä esille tuotujen piirilevyn valmistettavuuteen vaikuttavien ongelmakohtien pohjalta.

Tarkoituksena on esitellä tarkasteltavaksi valitut EQ:ssa esille tuodut valmistettavuuteen vaikuttavat ongelmakohtat, selittää, miksi kyseiset ongelmakohtat ovat ongelmallisia valmistettavuuden näkökulmasta, tarjota ratkaisut ongelmakohtille sekä selvittää, olisiko esitetyt ongelmakohtat voitu saada kiinni Valor NPI -ohjelmaa ja sillä tehtäviä tarkistuksia hyödyntämällä.

Valor NPI -ohjelmalla tehtävät valmistettavuustarkistukset tehdään piirilevytehtaalle toimitettuun ODB++-tiedostoon.

4.1 Ongelma: Läpiviennit

Ensimmäinen EQ:ssa esitetty valmistettavuuteen vaikuttava ongelmakohta koski piirilevylle porattavien läpivientireikien etäisyyksiä. Kuvassa 18 on esitettyinä piirilevytehtaan tarkistuksissaan huomaama kohta piirilevysuunnitelmasta, jossa läpiviennit ovat liian lähellä toisiaan. Tämä aiheuttaa kasvaneen riskin läpivientien murtumiselle piirilevyn valmistuksen aikana.



KUVA 18. Lämpivienneille porattavat reiät ovat liian lähellä toisiaan

Liian lähelle toisiaan porattavat läpivientireiät voivat aiheuttaa ongelmia porausvaiheessa. Ongelmat johtuvat porauksen kohdistamisesta sekä porauksen toleransseista. Piirilevylle porattavien läpivientireikien väliin jäävä alue voi porauksen toleranssien takia jäädä hyvin ohueksi ja altistua näin murtumiselle.

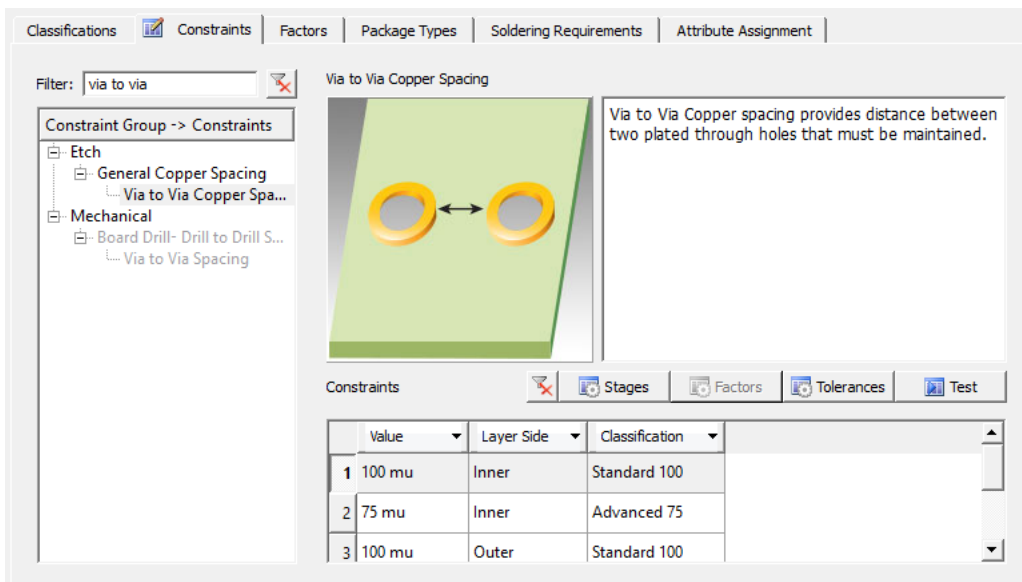
Lisäksi liian pienet etäisyydet läpivientireikien välillä ovat valmistettavuuden näkökulmasta ongelmallisia myös siksi, koska ne nostavat piirilevyn juotosprosessin aikaisesta lämpötilavaihtelusta läpiviennille aiheutuvaa murtumisen riskiä. Läpivientien murtuminen taas voi vaikuttaa läpiviennin kykyyn johtaa sähköä sekä lämpöä valmiissa piirilevyssä ja vaikuttaa näin piirilevyn toimivuuteen. Lisäksi liian pienet etäisyydet läpivientien välillä voivat johtaa myös juotossiltojen syntymiseen läpivientien välille juotosprosessissa, jos läpivientien kaulukset ovat liian lähellä toisiaan. (9; 16; 25.)

Piirilevy suunnitelmassa voidaan kuitenkin vaikuttaa läpivientien aiheuttamiin valmistettavuusongelmiin huolehtimalla siitä, että suunnittelusäännöissä etäisyyk-

sille ja eristeväleille määritettyjä minimiarvoja noudatetaan. Lisäksi suunnitelussa tulee ottaa huomioon piirilevytehtaan käyttämien valmistusprosessien kyvykyys. Piirilevytehtaan ilmoittama poraustarkkuus kahden vierekkäisen reiän väliseksi etäisyydeksi on valmiin reiän halkaisija + 500 µm toleranssit huomioiden (yli 1,4 mm paksulla levyllä). Tässä tapauksessa käytettyjen läpivientien halkaisija on 200 µm, joten mitattu etäisyys reiän keskeltä keskelle tulisi olla minimisään 700 µm.

Tämän pohjalta lähdettiin selvittämään, onko kuvassa 18 esitetty, piirilevysuunnitelman valmistettavuuteen vaikuttava läpivientien etäisyyksiä koskeva ongelma mahdollista havaita Valor NPI -ohjelmalla, käyttämällä tällä hetkellä käytössä olevaa tarkistussääntöpakettia siihen määritettyine valmistettavuustarkistuksineen.

Piirilevysuunnitelman piirilevytehtaalle toimitettuun tilaustiedostoon tehtyjen Valor-tarkistusten perusteella pystyttiin toteamaan, että kuvassa 18 esitetty valmistettavuuteen vaikuttava ongelma on mahdollista saada kiinni nykyisen tarkistussääntöpaketin tarkistuksilla. Tarkistussääntöpakettiin on määritetty kuvassa 19 näkyvä tarkistus, joka tarkistaa läpivientien etäisyyden toisiinsa kauluksen reunasta toisen kauluksen reunaan mittaamalla ja raportoi virheellisiksi etäisyydet, jotka ovat vähemmän kuin 100 µm.



KUVA 19. Valor NPI -ohjelman läpivientien etäisyyksille määritetty tarkistussääntö (16)

Valor-tarkistus siis löysi ja raportoi virheelliset läpivientietäisyydet oikein. Piirilevysuunnitelmasta löytyikin tarkistuksessa useita kohtia, missä läpiviennit oli asetettu kuvan 18 mukaisesti eli liian lähelle toisiaan. Näissä kohdissa Valor-tarkistus mittasi läpivientien etäisyydeksi toisistaan 50 µm. Tällöin piirilevytehtaan ilmoittaman poraustarkkuuden vaatima porattavien reikien välinen 700 µm minimietäisyys ei täyty, vaan etäisyys jää 650 µm:iin.

Käytössä olevien suunnittelusääntöjen sekä piirilevysuunnittelumanuaalin mukaan suositeltu läpivientien välinen minimietäisyys kauluksen reunasta kauluksen reunaan mitattuna on 100 µm pintakerroksilla ja 90 µm sisäkerroksilla. Poikkeustilanteissa, kuten esim. BGA-sovellusten kanssa, minimietäisyys on 75 µm. (5, s. 35.) Tämän perusteella voidaan todeta, että läpivientien sijoittelussa on suunnitteluvaiheessa rikottu asetettuja suunnittelusääntöjä ja kyseessä on puhtaasti suunnittelijan suunnitteluvaiheessa tekemä virhe.

Läpivientien asettaminen liian lähelle toisiaan vaatii siis suunnittelusääntöjen rikkomista tietoisesti jo piirilevysuunnitelman tekovaiheessa, sillä layout-ohjelman DRC-työkalu ei päällä ollessaan mahdollista läpivientien sijoittamista lähemmäksi kuin minimiarvoissa on määritetty. DRC-työkalun ollessa pois päältä ovat kaikki suunnittelusäännöt myös pois käytöstä. Tämä mahdollistaa johtimien, läpivientien sekä komponenttien sijoittamisen miten tahansa.

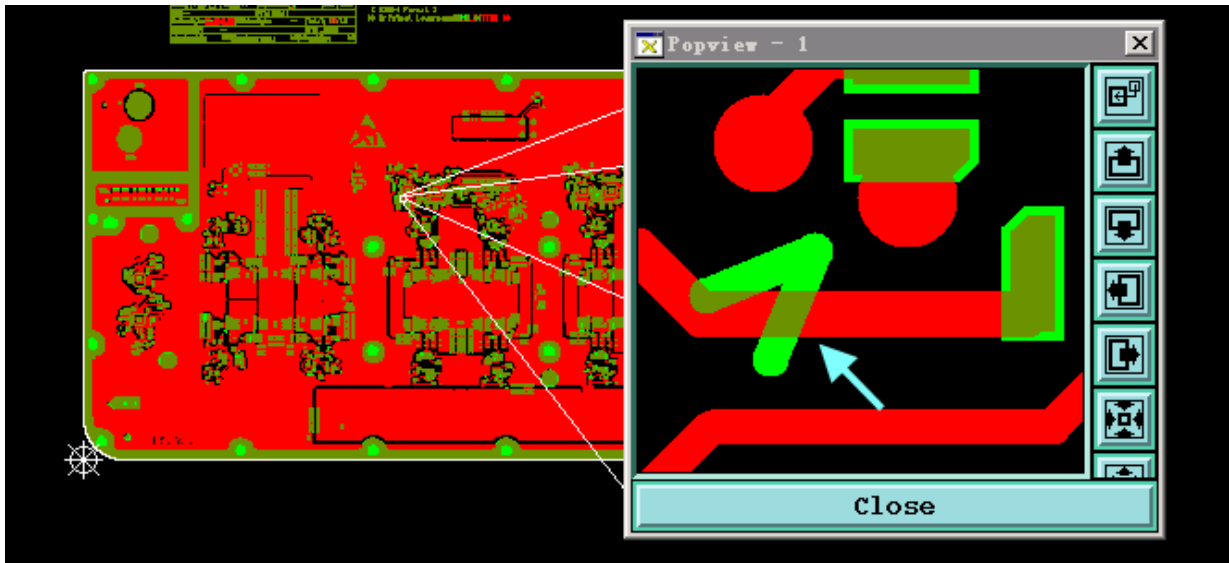
Kuvassa 18 esitetyn kaltaisten virheiden välttämiseksi suunnittelijan on oltava tietoinen suunnittelusäännöissä määritetyistä minimietäisyyksistä sekä noudatettava niitä. Lisäksi esitetty ongelma toimi esimerkkinä piirilevyille tehtävien valmistettavuustarkistusten tekemisen tärkeydestä ja kannattavuudesta.

4.2 Ongelma: Merkinnät juotteenestopinnoitteessa

Toinen EQ:sta tarkasteltavaksi valittu ongelma-kohta koski juotteenestopinnoitteeseen avauksina tehtäviä merkintöjä ja niistä aiheutuvia valmistettavuusongelmia.

Kuvassa 20 on esitettyinä piirilevytehtaan tarkistuksissaan piirilevysuunnitelmasta huomaama johtimen päälle juotteenestopinnoitteeseen avauksena tuleva merkintä. Valmistettavuuden kannalta johtimen päälle tuleva merkintä on tässä

tapauksessa ongelmallinen, sillä merkintä tehdään avauksena juotteenestopinnoitteeseen ja näin ollen se paljastaa alla olevan johtimen kuparin.

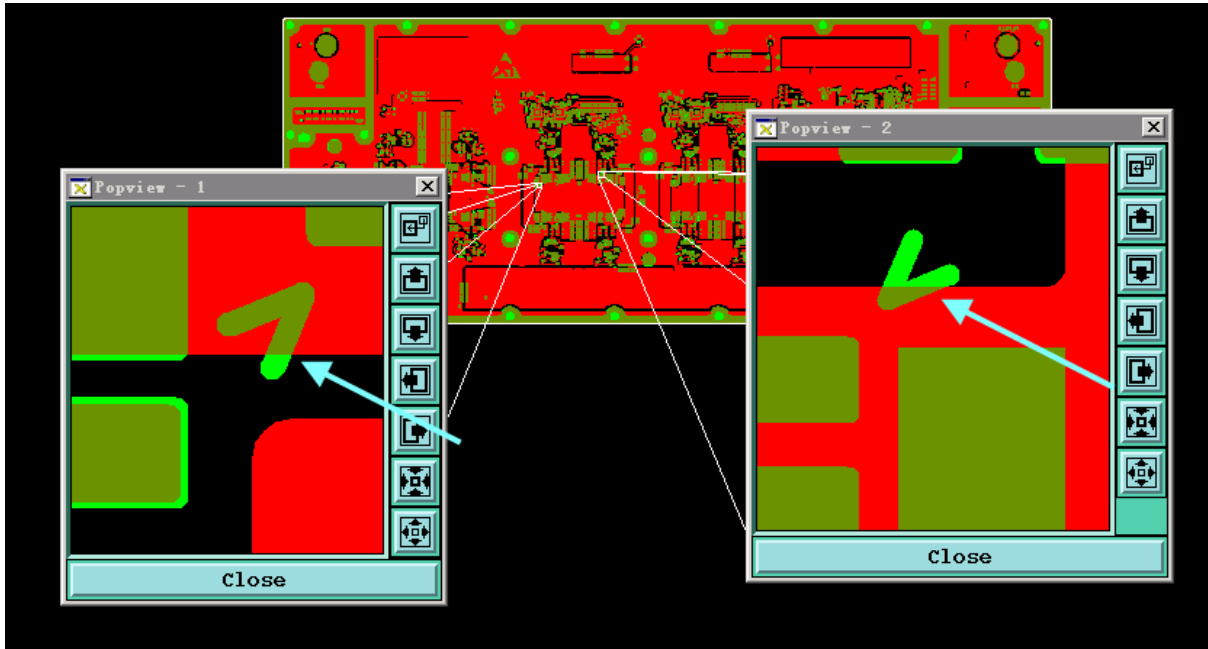


KUVA 20. Juotteenestopinnoitteeseen tuleva merkintä avaa juotteenestopinnoitteen johtimen päältä ja paljastaa johtimen kuparin

Johtimen kuparin paljastuminen liitospintojen vieressä nostaa tinasillan muodostumisen riskiä juotosprosessin aikana. Tinasilta taas voi toteutuessaan vaikuttaa valmiin piirilevyn toimintaan esimerkiksi aiheuttamalla oikosulun. Lisäksi paljaaksi jäänyt johtimen kupari on alttiina käyttöympäristön olosuhteista riippuen esimerkiksi hapettumisesta seuraavalle korroosiolle sekä sähkökemialliselle korroosiolle. Nämä taas tapahtuessaan vaikuttavat kuparin sähkönjohtavuuteen sekä mahdollistavat oikosulkujen syntymisen piirilevylle ja näin voivat vaikuttaa piirilevyn toiminnallisuuteen. Pahimmillaan edellä mainittujen tekijöiden vaikutuksesta lopputuloksena voi olla toimimaton piirilevy. (26; 27.)

Kuvassa 21 on esitettyä toisenlaiset piirilevytehtaan tarkistuksissaan suunnitelmasta huomaamat, juotteenestopinnoitteeseen tulevien avausmerkintöjen valmistettavuudelle aiheuttamat ongelmat. Kuvassa 21 näkyvissä kohdissa juotteenestopinnoitteeseen avauksina tulevat merkinnät ovat osaksi kuparin ja osaksi laminaatin päällä. Tämä nostaa juotteenestopinnoitteen repeytymisen ris-

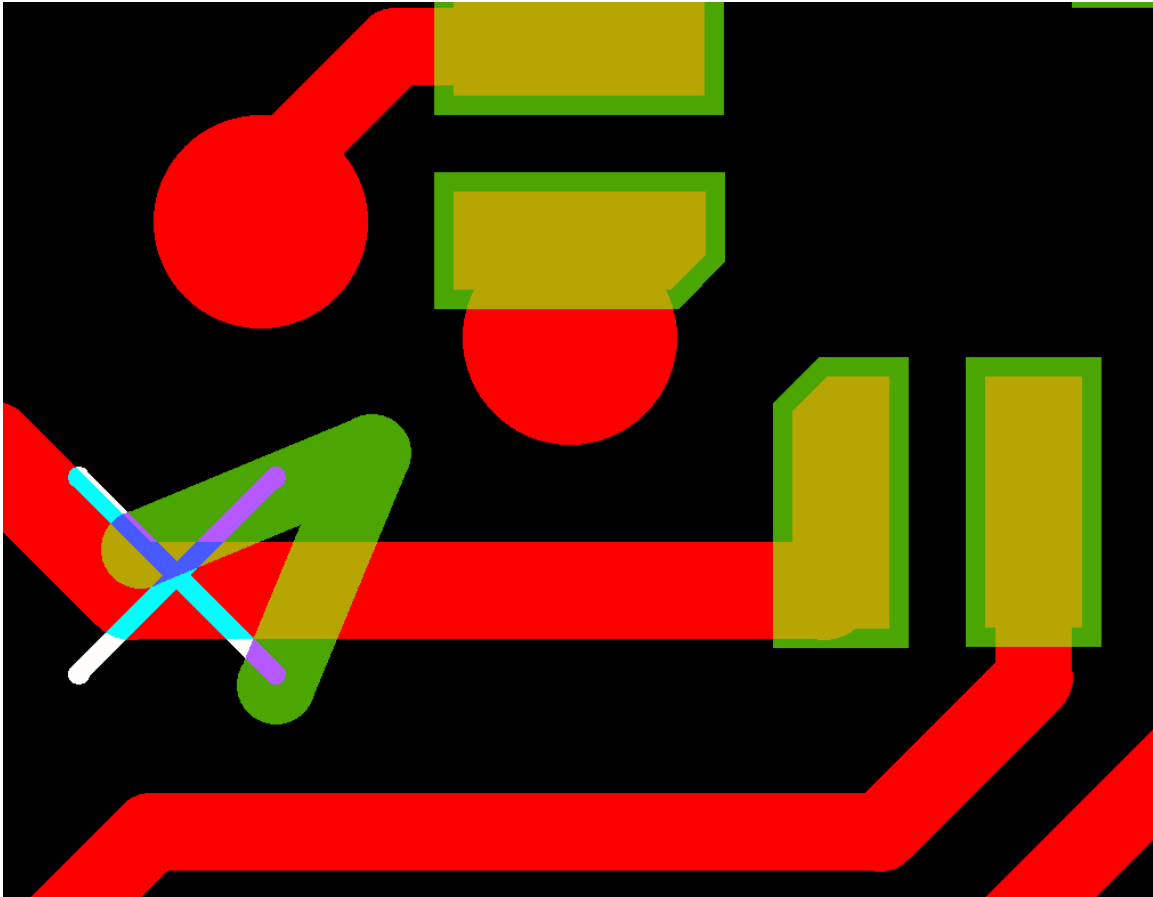
kiä avausten kohdalta. Juotteenestopinnoitteen mahdollisen repeytymisen aiheuttaa kuparipinnan ja laminaatin välinen korkeusero, joka vaikuttaa avauksen muodostumiseen juotteenestopinnoitteeseen rajapinnan kohdalla.



KUVA 21. Juotteenestopinnoitteeseen tulevat merkinnät leikkautuvat kuparipinnan ja laminaatin rajapinnassa

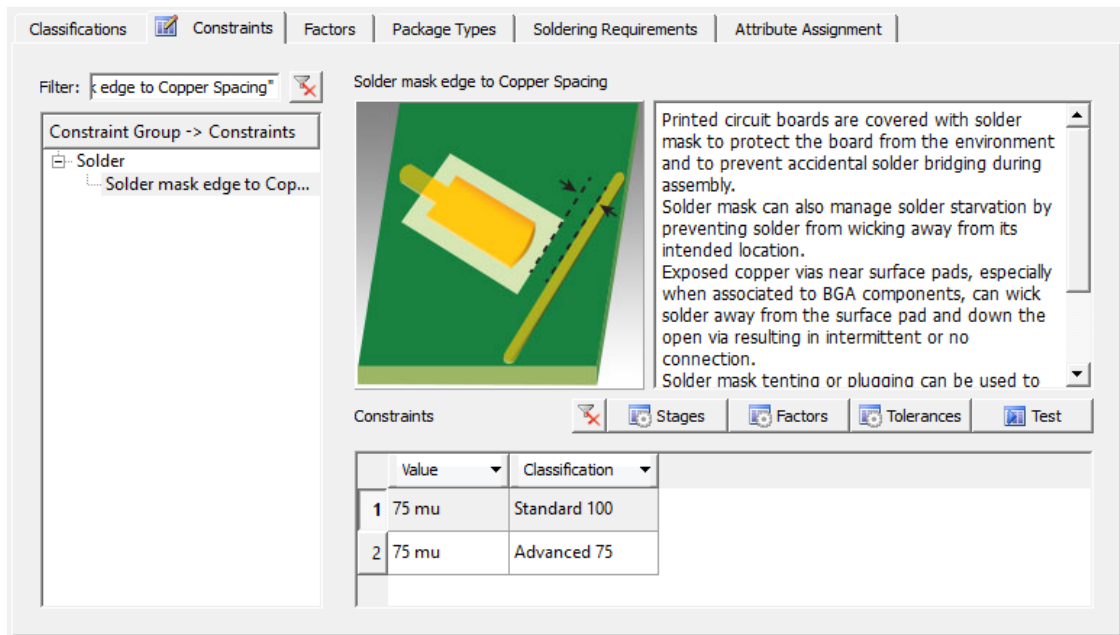
Selvitettävänä oli, onko kuvissa 20 ja 21 esitettyjen valmistettavuuteen vaikuttavien ongelmien havaitseminen mahdollista Valor NPI -ohjelmalla ja sen tarkistussääntöpakettiin määritetyillä valmistettavuustarkistuksilla ennen piirilevysuunnitelman tilaustiedostojen lähettämistä piirilevytehtaalle.

Suoritettujen valmistettavuustarkistusten perusteella voitiin todeta, että kuvissa 20 ja 21 esitetyt valmistettavuuteen vaikuttavat ongelmat saadaan kiinni tarkistussääntöpakettiin määritetyillä tarkistuksilla. Kuten kuvasta 22 voidaan nähdä, tarkistus raportoi johtimen paljastavan juotteenestopinnoitteeseen tulevan avausmerkinnän oikein eli virheeksi.



KUVA 22. Valor-tarkistuksen löytämä juotteenestopinnoitteen avausmerkintää koskeva virhe

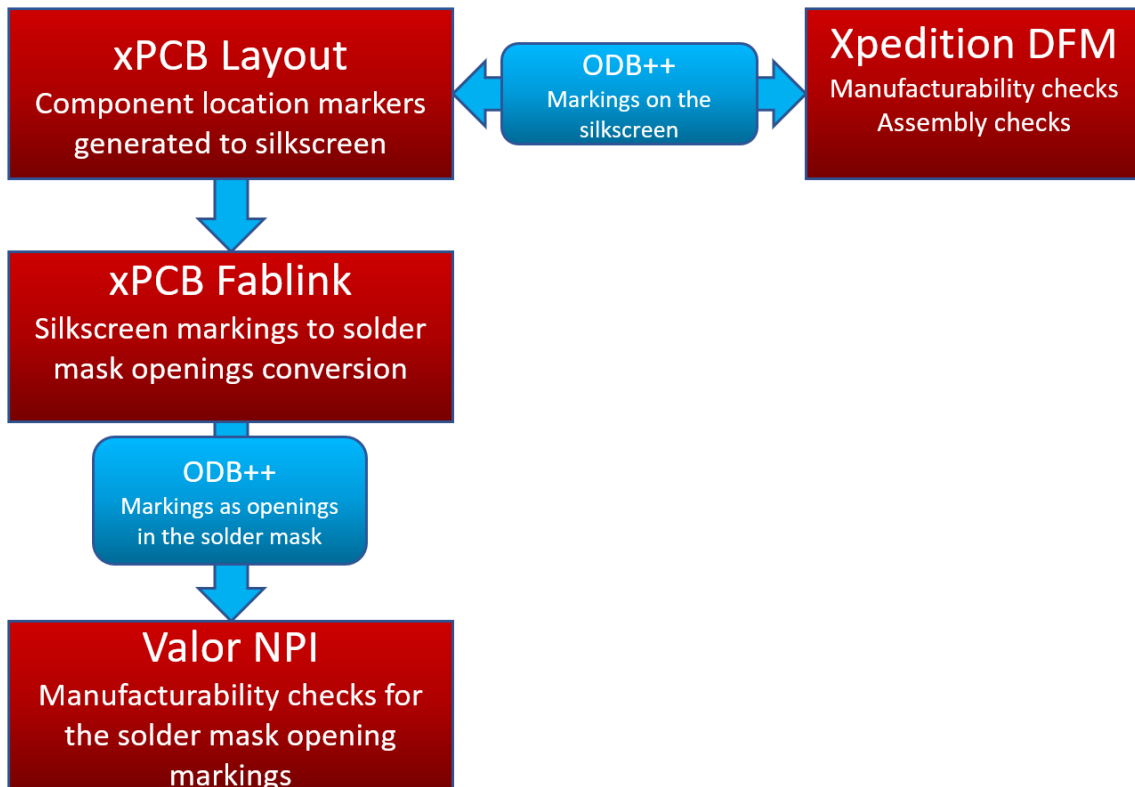
Kuvassa 23 on esitettyä Valor NPI -ohjelman tarkistuksissaan käyttämä tarkistus, joka löytää piirilevysuunnitelmaan virheellisesti asetetut juotteenestopinnoitteen avauksina tehtävät merkinnät. Tarkistus mittaa juotteenestopinnoitteen avauksen reunan etäisyyttä kuparijohtimen tai kuparipinnan reunaan ja raportoi virheiksi etäisyydet, jotka ovat alle 75 µm.



KUVA 23. Valor NPI -ohjelman juotteenestopinnoitteen avausmerkinnöille määritetty tarkistussääntö (16)

Valor-tarkistuksia suoritettaessa huomattiin lisäksi, että juotteenestopinnoitteen avauksille tehtävien valmistettavuustarkistuksien kohdalla on erityisen tärkeää, että tarkistukset tehdään tilaustiedostoa eli piirilevytehtaalle lähetettävää ODB++-tiedostoa käyttämällä. Valor-tarkistuksella ei nimittäin saada kiinni samoja virheitä, jos piirilevy-suunnitelmalle suoritettavat tarkistukset tehdään layout-ohjelmasta tuotetulle ODB++-tiedostolle. Tämä on ongelmallista, koska suunnitteluvaiheessa tarkistukset tehdään pääasiassa tätä layout-ohjelmasta tuotettua ODB++-tiedostoa käyttämällä.

Kuvassa 24 on havainnollistettu, miksi samoja virheitä ei saada kiinni layout-ohjelmalla luodusta ODB++-tiedostosta. Tämä johtuu siitä, että kyseisessä ODB++-tiedostossa osa merkinnöistä, esimerkiksi komponenttien kulmamerkit, on komponenttikirjastossa määritetty juotteenestopinnoitteen päälle tuleviksi silkkipaino-merkinnöiksi, juotteenestopinnoitteeseen tulevien avausmerkintöjen sijasta.



KUVA 24. Kaavio eri suunnitteluvaiheissa suoritettavista valmistettavuustarkistuksista ja suunnitteluohjelman vaikutuksesta ODB++-tiedoston sisältämään dataan

Valor-tarkistus käsittelee tällöin merkintöjä silkkipainomerkinä ja tarkistaa ne tarkistussääntöpakettiin määritettyjen silkkipainomerkinä tarkistuksien mukaan. Silkkipainomerkinäille määritetyt tarkistukset taas mittaavat pelkästään merkintöjen etäisyyttä juotteenestopinnoitteen avausten reunaan, liitospintojen reunaan sekä läpivientireikien ja muiden reikien reunaan. Tarkistukset eivät siis huomioi merkintöjen alla olevien kuparijohtimien tai kuparipintojen reunoja.

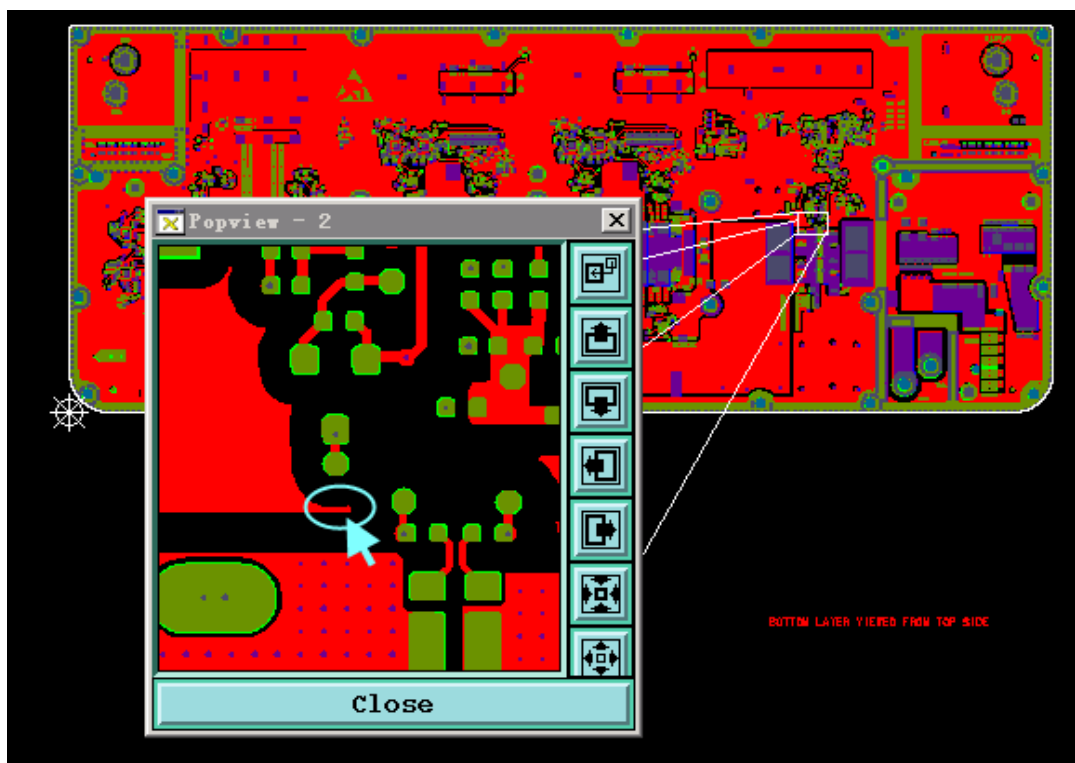
Silkkipainomerkinät muuttuvat juotteenestopinnoitteeseen tuleviksi avausmerkinnäksi piirilevysuunnitelmalle Fablink-ohjelmalla tehtävän paneloinnin seurauksena. Tästä syystä tarkistukset tulisikin tällä hetkellä tehdä Fablink-ohjelmalla tehdyille ODB++-tiedostolle, joka toimii myös yhtenä tilaustiedostoista, jotka piirilevytehtaalle lähetetään tilausvaiheessa. Näin toimimalla virheet saadaan kiinni, mutta niiden korjaaminen on työlästä ja vaatii useamman työvaiheen.

Kuvissa 21 ja 22 esitettyjen virheiden löytäminen aikaisemmin suunnitteluvaiheessa vaatisi layout-ohjelmalla tehtävän työstövaiheen aikaista mahdollisuutta muuttaa kaikki silkkipainomerkinnot avausmerkinnöiksi juotteenestopinnoitukseen. Vaihtoehtoisesti virheiden löytäminen voisi olla mahdollista Valor NPI -ohjelmaan määritetyillä uudenlaisilla silkkipainomerkinntä tarkistuksilla, jotka tarkistaisivat merkintöjen etäisyydet myös merkintöjen alle jäävien kuparijohdinten ja kuparipintojen reunoihin. Tältä osin asia vaatii kuitenkin vielä lisäselvitystä ja keskustelua ohjelman toimittajan kanssa.

4.3 Ongelma: Pintakupariin muodostuvat kaistaleet

Kolmas EQ:sta tarkasteltavaksi valittu kohta koski piirilevyn pintakerroksilla esiintyviä slivereitä.

Slivereillä tarkoitetaan johdinten, liitospintojen sekä kuparialueiden eristevälien väliin jääviä ohuita kupari- tai juotteenestopinnoitekaistaleita (16; 18). Kuvassa 25 on esitetty piirilevytehtaan tarkistuksissaan huomaama pintakupariin muodostuva kaistale, joka voi aiheuttaa ongelmia piirilevyn valmistuksessa.



KUVA 25. Pintakerroksen kuparille muodostunut sliveri

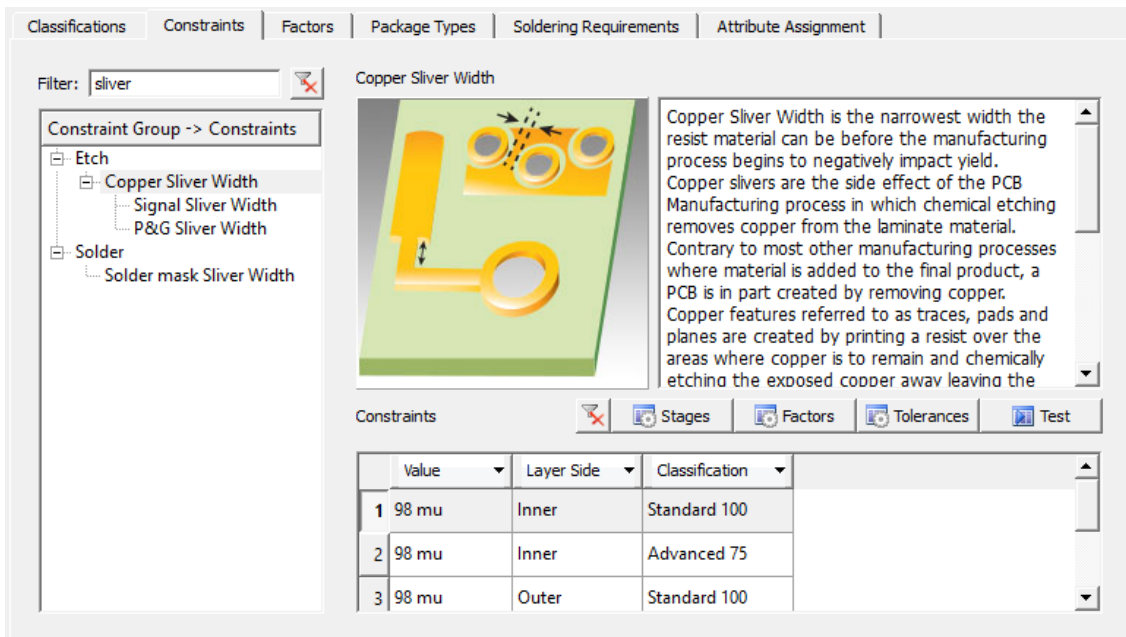
Piirilevyn valmistettavuuden kannalta sliverit ovat ongelmallisia, sillä etsauksen aikana etsattavan piirilevykerroksen ollessa kemiallisessa kylvyssä kuparislive-reillä on mahdollisuus etsaantua irti laminaatista. Irrotessaan sliveri voi kulkeutua ja laskeutua kylvyn aikana väärään paikkaan kuparikerroksella. Tällöin, toimiesaan johteena, kuparisliveri voi luoda vääriä yhteyksiä piirilevykerroksella yhdistämällä toisistaan erotetut johtimet sekä aiheuttaa oikosulkuja. (15, s. 10; 16; 18.) Lopputuloksena voi pelkästään tämän takia olla toimimaton piirilevy.

Slivereiden syntymiseen voidaan kuitenkin vaikuttaa jo suunnitteluvaiheessa kiinnittämällä huomiota komponenttien sekä johdinten sijoitteluun ja noudattamalla johdinleveyksille, eristeväleille sekä juotteenestopinnoitteen avauksille määritellyjä minimiarvoja. Edellä mainittujen lisäksi suunnitelmassa voidaan piirilevyn kuparikerroksille erikseen määrittää obstruceja eli esteitä tai estoalueita, joille ei haluta layout-ohjelman automaattisesti tekemää kuparitäyttöä. Esteiden ja estoalueiden käyttö onkin yksi tapa, jota käyttämällä voidaan estää sliverien muodostuminen ja korjata slivereiden aiheuttamia virheitä.

Selvitettävänä oli, onko kuvassa 25 esiintyvän sekä vastaavanlaisista slivereistä aiheutuvien suunnitteluvirheiden havaitseminen mahdollista Valor NPI -ohjelmalla nykyistä käytössä olevaa tarkistussääntöpakettia ja siihen määritettyjä tarkistuksia käyttämällä.

Piirilevysuunnitelmalle uudelleen tehtyjen Valor-tarkistusten perusteella huomattiin, että nykyiset käytössä olevat tarkistussääntöpakettit ja niissä määritetyt tarkistussäännöt eivät kykene löytämään kuvan 25 mukaisia slivereitä. Tämä johtuu käytössä olevista tarkistuksista. Käytössä olevan tarkistussääntöpakettiin määritetyt tarkistukset eivät siis tarkista suunnitelmaa kuvan 25 mukaisten sliverien taikka kuparialueen stubien varalta.

Tällä hetkellä käytössä olevilla tarkistussäännöillä pyritään tarkistamaan ja löytämään läpivientien sekä liittospintojen ja niihin yhteydessä olevien johdinten väliin muodostuvia slivereitä, kuten kuvasta 26 voidaan nähdä. Lisäksi kuvasta 28 nähdään, että nykyisellään tarkistus etsii ja raportoi virheiksi löytämänsä sliverit, jotka ovat leveydeltään joko 98 µm tai vähemmän.

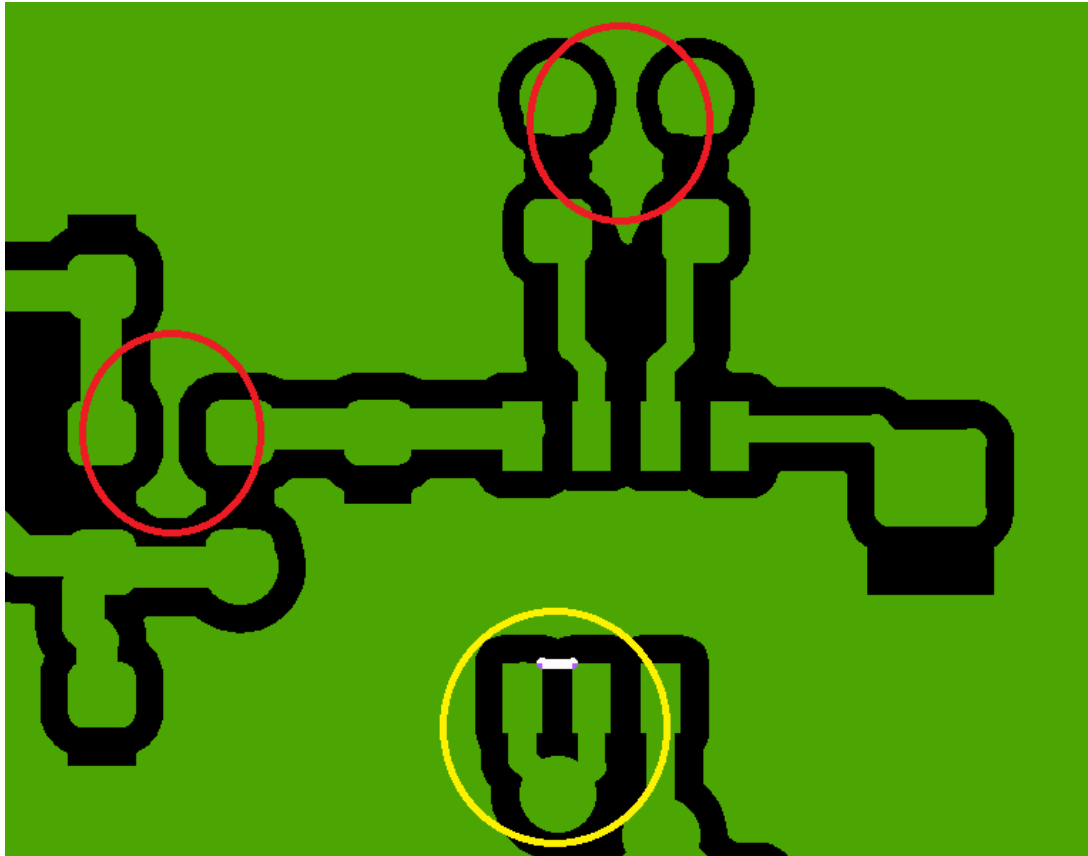


KUVA 26. Valor NPI -ohjelman kuparislivereitä koskeva tarkistussääntö (16)

Tämä 98 μm ja sitä kapeampien sliverien etsiminen voisi jo selittää sen, miksi piirilevytehtaalta tullessa EQ:ssa esille tuotuja kuvan 25 mukaisia slivereitä ei saada kiinni nykyisillä tarkistuksilla. Lisäksi etsittävien sliverien leveyttä mietittäessä on huomioitava, että piirilevytehtaan esittämä hyväksytty ehdotus ongelman ratkaisemiseksi oli kaikkien alle 250 μm olevien slivereiden ja stubien poistaminen suunnitelmasta.

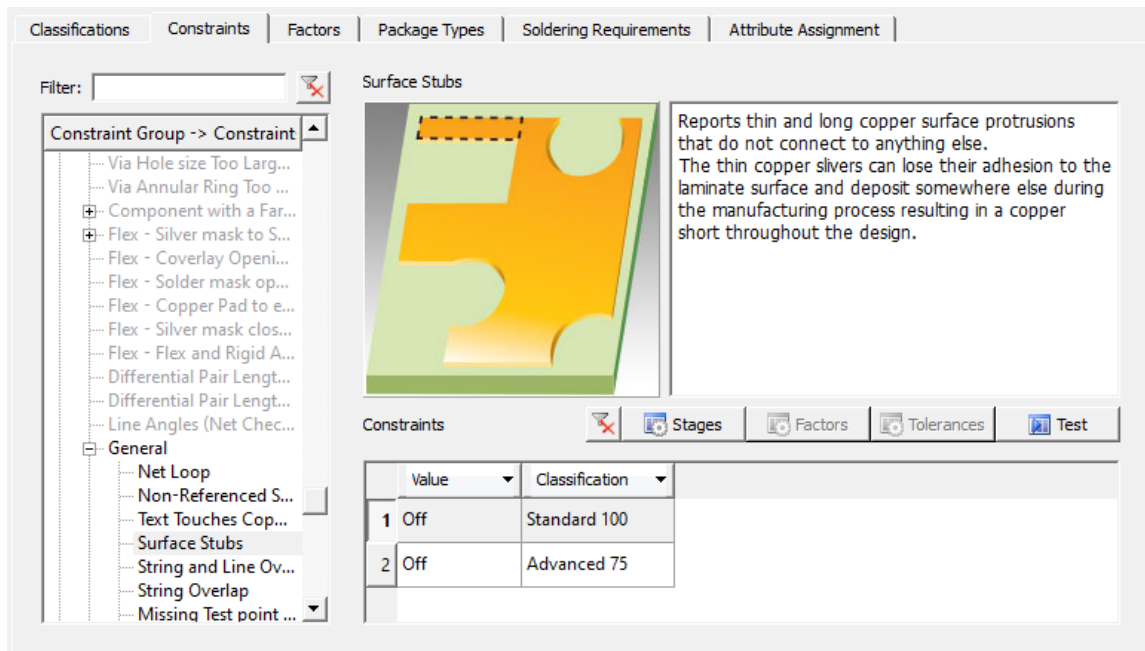
Edellä mainitun perusteella päädyttiinkin kokeilemaan, löytyisivätkö kyseiset sliverit Valor-tarkistuksella, jos tarkistus määritettäisiin etsimään slivereitä, jotka ovat leveydeltään 250 μm tai sen alle.

Määritettäessä Valor-tarkistus etsimään slivereitä suuremmilla raja-arvoilla huomattiin, että tarkistus ei toimi oikein tai ainakaan halutulla tavalla. Tarkistus ei mittaa kuparialueen sliverien leveyttä eikä kuvassa 26 esitettyä liitospinnan ja siihen yhteydessä olevan johtimen välistä etäisyyttä. Sen sijaan tarkistus mittaa kuvassa 27 näkyvän mukaisesti toisiinsa yhteydessä olevien liitospintojen etäisyyden toisistaan.



KUVA 27. Keltaisella ympyröity on Valor-tarkistuksen suorittama mittaus sliverien löytämiseksi ja punaisella ympyröidyt ovat slivereitä, jotka tarkistuksella haluttaisiin löytää, mutta tarkistus ei kykene niitä löytämään

Tarkistussääntöpaketissa oli kuitenkin listattuna tarkistus, jonka kuvauksensa mukaan pitäisi löytää kuparialueelle muodostuvat sliverit ja stubit (kuva 28). Kyseistä tarkistusta ei ole kuitenkaan otettu mukaan nykyisin käytössä olevaan tarkistussääntöpakettiin.



KUVA 28. Valor NPI -ohjelman kuparialueiden slivereitä ja stubeja koskeva tarkistussääntö (16)

Ottamalla kuvassa 28 näkyvä tarkistus käyttöön ja ajamalla Valor-tarkistus sen toiminnan testaamiseksi huomattiin, että myöskään tämä tarkistus ei kyennyt löytämään kuvissa 25 ja 27 esitettyjä slivereitä tai ylipäätään minkäänlaisia stubeja tai slivereitä. Tarkistuksen määrittelyssä etsittävien stubien ja slivereiden mittojen määrittämisen sijaan tarkistus voidaan asettaa joko päälle tai pois. Epäselväksi kuitenkin jää, minkä arvon perusteella tarkistuksen olisi tarkoitus löytää kuparialueen sliverit. Tarkistuksen toiminta vaatiikin vielä jatkoselvitystä, ja selvennystä asiaan tulisi kysyä Valor NPI -ohjelman toimittajalta.

5 TULOKSET

Piirilevysuunnitelmalle Valor NPI -ohjelmalla suoritettujen valmistettavuustarkistukset EQ-raportissa esitettyjen ongelmakohtien kiinni saamiseksi osoittivat, että osa esitetyistä ongelmakohtista on mahdollista saada kiinni nykyisen käytössä olevan Valor-tarkistussääntöpakettin tarkistuksia hyödyntämällä. Valmistettavuustarkistuksia suoritettaessa kävi kuitenkin selväksi, että kaikkia ongelmakohtia nykyisillä tarkistussääntöpakettin tarkistuksilla ei vielä onnistuta saamaan kiinni.

Ensimmäiselle EQ-raportissa esitetyle ongelmakohtalle suoritettujen valmistettavuustarkistusten perusteella päädyttiin lopputulokseen, että esitetty läpivientien liian pienien etäisyyksien valmistettavuudelle aiheuttama ongelma on mahdollista saada kiinni nykyisiä Valor-tarkistussääntöpakettiin määritettyjä tarkistuksia hyödyntämällä. Lisäksi todettiin, että virhettä ei olisi syntynyt, jos layout-ohjelman suunnittelusäännöissä läpivienneille määritettyjä minimietäisyyksiä olisi noudatettu.

Toiselle EQ-raportissa esitetyle ongelmalle suoritettujen tarkistuksien perusteella todettiin, että esitetyt juotteenestopinnoitteeseen tulevat merkinnät on mahdollista saada kiinni käyttämällä nykyisiä Valor-tarkistussääntöpakettissa määritettyjä tarkistuksia. Tarkistuksia tehdessä huomattiin kuitenkin, että virheiden kiinni saaminen edellyttää tarkistusten tekemistä Fablink-ohjelmasta tuotettuun ODB++-tiedostoon layout-ohjelmasta tuotetun ODB++-tiedoston sijasta. Esitettyjen juotteenestopinnoitteen merkintöihin liittyvien virheiden löytäminen layout-ohjelmasta tehdystä ODB++-tiedostosta olisi kuitenkin toivottavaa ja tältä osin asia vaatii vielä lisäselvitystä.

Kolmannelle EQ-raportissa esitetyle ongelmalle suoritettujen tarkistuksien perusteella todettiin, että esitetyn kaltaisten kuparikaistaleiden löytäminen Valor-tarkistuksilla ei vielä onnistu nykyisten tarkistussääntöpakettiin määritettyjen tarkistusten perusteella. Lisäselvitystä vaaditaankin tarkistusten toimintaperiaatteen selvittämiseksi, sillä epäselväksi jäi, onko vika siinä, miten slivereille suunnatut

tarkistukset on toteutettu, vai siinä, miten tarkistuksille asetetut arvot on määritetty.

Osa tarkistussääntöpaketissa olevista tarkistuksista vaatii lisäselvitystä valmistajan taholta toimivuutensa ja toimintalogiikkansa selvittämiseksi.

EQ-raportissa esitetyt ja tähän dokumenttiin tarkasteltavaksi valitut esimerkit valmistettavuuteen vaikuttavista ongelmakohdista piirilevysuunnitelmassa kattavat melko hyvin tällä hetkellä tarkistussääntöpakettiin määritellyt ja suunnitelmalle tehtävät valmistettavuustarkistukset. Ensimmäinen esimerkeistä, joka käsitteli läpivientien valmistettavuuteen liittyviä ongelmia, kattaa mekaanisiin prosesseihin lukeutuvat valmistettavuustarkistukset. Toisessa esimerkissä käsitellyt juotteenestopinnoitteeseen tulevien avausmerkintöjen valmistettavuudelle aiheuttamat ongelmat kattavat juotettavuuteen sekä laatuun liittyvät valmistettavuustarkistukset. Kolmannessa esimerkissä käsitellyt pintakupariin muodostuvien kaisaleiden valmistettavuudelle aiheuttamat ongelmat taas kattavat etsaukseen liittyvät piirilevysuunnitelmalle suoritettavat valmistettavuustarkistukset.

EQ-raportista tarkasteltavaksi valituille esimerkkitapauksille suoritettujen valmistettavuustarkistuksien ulkopuolelle jäivät kuitenkin piirilevysuunnitelman ladontaa sekä komponenttien paikoitusta koskevat valmistettavuustarkistukset. Näiden tarkistusten toimintaa ei siis testattu tämän työn aikana.

Lisäksi on huomioitava, että tällä hetkellä käytössä olevat tarkistussääntöpakettiin määritetyt valmistettavuustarkistukset kattavat etsaukseen, mekaanisiin prosesseihin, juotettavuuteen sekä laatuun liittyvät tarkistukset vain osittain. Tarkistussääntöpakettiin on kuitenkin valittavissa suuri määrä valmistettavuustarkistuksia. Tällä hetkellä suuri osa niistä on vielä jätetty sisällyttämättä tällä hetkellä käytössä olevaan tarkistussääntöpakettiin. Toisaalta myöskään tällä hetkellä käytössä olevista tarkistuksista kaikki eivät toimi halutulla tavalla ja osa suunnitteluvirheistä jää löytämättä.

Tämän vuoksi tilannetta ei todennäköisesti saada parannettua pelkästään suuremmalla käytössä olevien tarkistusten määrällä, sillä niistä jokaisen toiminta pi-

täisi pystyä myös todentamaan. Lisäksi tarkistusten toimintaan vaikuttaminen niiden käyttämiä raja-arvoja sekä niihin liittyviä toleransseja säätämällä on rajallista sekä vaatii ymmärryksen tarkistusten toimintalogiikasta.

Tarkistuksien toimintaan voidaan kyllä vaikuttaa jossakin määrin. Esimerkiksi suunnittelussa käytettävät eristevälien, johdinleveyksien sekä läpivientien minimiarvot on määritelty yrityksen PWB Design Manual -dokumentissa. Tarkistuksen virheen löytämiseen käyttämää raja-arvoa ja sen toleranssia voidaan esimerkiksi säätää. Arvon säätäminen riippuu kuitenkin myös käytettävästä tarkistuksesta, sillä kaikkien tarkistusten kohdalle ei ole määritetty selkeää säädettävää raja-arvoa toleransseineen, jonka perusteella tarkistus etsii virhettä, vaan osa tarkistuksista toimii pelkästään päälle/pois-periaatteella. Lisäksi tarkistusten käyttämät raja-arvot sekä niihin liittyvät toleranssit täytyy säätää manuaalisesti erikseen jokaisen tarkistuksen kohdalla. Tämä taas vie tarkistusten suuresta lukumäärästä johtuen paljon aikaa, kun huomioidaan vielä jokaisen tarkistuksen toiminnan testaamiseen sekä testauksessa mahdollisesti esille nousseiden virheiden korjaamiseen käytettävä aika.

6 YHTEENVETO

Tässä opinnäytetyössä kuvattiin piirilevyn valmistettavuuden automatisoitua tarkistamista piirilevysuunnitelmalle tehtyjen valmistettavuustarkistusten näkökulmasta. Työssä käsiteltiin lyhyesti myös piirilevyn valmistusta sekä yleisimpiä piirilevyn valmistettavuuteen vaikuttavia tekijöitä, joihin voidaan vaikuttaa jo suunnitteluvaiheessa. Lisäksi työssä esiteltiin tärkeimmät yrityksessä layout-suunnittelijan käytössä olevat ohjelmat sekä työkalut piirilevysuunnitelmalle suoritettavien tarkistusten tekoa varten. Piirilevysuunnitelmalle suoritetuilla automatisoiduilla valmistettavuustarkistuksilla selvitettiin toimeksiantajan tällä hetkellä käytössä olevan tarkistussääntöpakettin sisältämien tarkistusten soveltuvuutta yleisimpien, EQ-raporteissa esitettyjen, valmistettavuuteen vaikuttavien suunnitteluvirheiden löytämiseksi.

EQ-raportista tähän työhön tarkasteltavaksi valitut ongelmakohdat ja niissä esiintyvät virheet kattoivat nykyisessä tarkistussääntöpakettissa niiden löytämiseen määritetyt tarkistukset ja antoivat hyvän kuvan nykyisten valmistettavuustarkistusten toiminnasta, käytöstä sekä niissä esiintyvistä puutteista.

Tämän opinnäytetyön tekeminen tarjosi hyvän mahdollisuuden oman osaamiseni kasvattamiseen layout-suunnittelijana. Opin työn aikana paljon uusia piirilevysuunnitteluun liittyviä asioita aina piirilevyjen valmistuksesta lähtien. Pääsin myös tutustumaan paremmin käytössä oleviin suunnittelu- ja tarkistusohjelmiin sekä niiden käyttöön. Työn tekeminen paransi myös kokonaiskäsitystäni piirilevysuunnitteluun kuuluvista työvaiheista sekä prosesseista ja paransi valmiuksiani toimia layout-suunnittelijan tehtävissä.

Eryteisesti piirilevyn valmistukseen kuuluvien vaiheiden selvittäminen yhdessä valmistettavuuteen vaikuttaviin tekijöihin perehtymisen kanssa oli hyvin mielenkiintoista ja opettavaista. Pelkästään näihin perehtymällä ymmärsin paljon aikaisempaa paremmin EQ-raporteissa esitetyt piirilevyn valmistukseen vaikuttavat ongelmakohdat ja erityisesti sen, miksi ne voivat aiheuttaa ongelmia valmistukselle.

LÄHTEET

1. Kulomäki, S. 2016. Piirilevyjen koostumuksesta ja kierrätyksestä. Pro gradu - tutkielma. Jyväskylä: Jyväskylän yliopisto, epäorgaanisen ja analyttisen kemian osasto. Saatavissa: <https://jyx.jyu.fi/bitstream/handle/123456789/52443/1/URN:NBN:fi:ju-201612195158.pdf>. Hakupäivä 24.2.2021.
2. Monikerrospiirilevyjen tuotantoprosessi. 2021. NCAB Group. Saatavissa: <https://www.ncabgroup.com/fi/piirilevyjen-tuotantoprosessi/>. Hakupäivä 19.2.2021.
3. Pehkonen, J. 2015. Piirilevyjen valmistettavuuden parantaminen. Insinööri työ. Helsinki: Metropolia Ammattikorkeakoulu, sähkötekniikan koulutusohjelma. Saatavissa: https://www.theseus.fi/bitstream/handle/10024/99916/Pehkonen_Jani.pdf?sequence=1. Hakupäivä 21.2.2021.
4. PCB Design Layer Stack-up. 2015. mbedded.ninja. Saatavissa: <https://blog.mbedded.ninja/pcb-design/layer-stackup/>. Hakupäivä: 12.2.2021.
5. PWB Design Manual 6.0. 2018. Nokia. Sisäinen dokumentti.
6. PCB Design Guidelines 1.0. 2018. NCAB Group. Saatavissa: <https://www.ncabgroup.com/pcb-design-guidelines/> (vaatii rekisteröitymisen tai tietojen syöttämisen latauslinkkiä varten). Hakupäivä 17.1.2021.
7. Pinnoitteet. 2021. NCAB Group. Saatavissa: <https://www.ncabgroup.com/fi/pinnoitteet/>. Hakupäivä 2.3.2021.
8. Blind And Buried Vias. 2021. Fuchuangke Technology. Saatavissa: <https://pcbboardassembly.com/>. Hakupäivä 25.1.2021.
9. FAQ about printed circuit boards. 2021. NCAB Group. Saatavissa: <https://www.ncabgroup.com/faq-about-printed-circuit-boards/>. Hakupäivä 21.1.2021.

10. PCB Pad Design Guidelines That Follow DFM Best Practices. 2019. VSE. Saatavissa: <https://www.vse.com/blog/2019/11/19/pcb-pad-design-guidelines-that-follow-dfm-best-practices/>. Hakupäivä 1.2.2021.
11. SMT Troubleshooting Guide. 2017. Alpha. Saatavissa: <https://alphaassembly.com/Products/Alpha-Troubleshooting-Guides>. Hakupäivä 1.2.2021.
12. Bankapur, D. 2021. PCB 101: Include Teardrops in Your Designs to Save You Tears Later. Cadence. Saatavissa: <https://resources.pcb.cadence.com/blog/pcb101-include-teardrops-in-your-designs-to-save-your-tears-later>. Hakupäivä 25.1.2021.
13. Wahby, M. 2014. Component placement tips and strategies. EDN. Saatavissa: <https://www.edn.com/component-placement-tips-and-strategies/>. Hakupäivä 20.2.2021.
14. Coombs, C. F. Jr. 2008. Printed Circuits Handbook. New York: McGraw-Hill Companies.
15. The 13 most common PCB design mistakes – and how to avoid them. 2021. NCAB Group. Saatavissa: <https://www.ncabgroup.com/pcb-design-mistakes/> (vaatii rekisteröitymisen tai tietojen syöttämisen latauslinkkiä varten). Hakupäivä 17.1.2021.
16. Valor NPI. 11.1. 2020. Constraint-kuvaukset Analysis Definition Managerissa. Mentor Graphics.
17. Steps for ensuring PCB assembly success with Valor NPI. 2019. Mentor Graphics. Saatavissa: <https://www.mentor.com/pcb-manufacturing-assembly/resources/overview/steps-for-ensuring-pcb-assembly-success-with-valor-npi-91fd79c3-f404-4119-a0d5-b17ef1447f3d> (vaatii rekisteröitymisen tai tietojen syöttämisen latauslinkkiä varten). Hakupäivä 1.2.2021.
18. DFM. 2021. Precision Circuits & Assemblies LLC. Saatavissa: <https://precisioncircuitassemblies.com/dfm>. Hakupäivä 20.2.2021.

19. Back Drilling --- A special craftsmanship of control depth drilling. 2021. PCBWay. Saatavissa: https://www.pcbway.com/blog/technology/Back_Drilling_A_special_craftsmanship_of_control_depth_drilling.html. Hakupäivä 24.2.2021.
20. Chang Fei, Y. – Muammar, M. – Azremi, A. – Mohd Khairuddin, M. 2019. Techniques of impedance matching for minimal PCB channel loss at 40 GBPS signal transmission. Circuit World vol. 45, nro 3. S. 132–140. Saatavissa: <https://doi.org/10.1108/CW-01-2019-0004>. Hakupäivä 31.1.2021.
21. McGoff, P. – Webb, K. 2018. An Intelligent DFM Approach to PCB Manufacturing. Mentor Graphics. Saatavissa: <https://www.mentor.com/pcb-manufacturing-assembly/resources/overview/an-intelligent-dfm-approach-to-pcb-manufacturing-cf77f6cb-d873-45d7-b6c6-df509ede6448> (vaatii rekisteröitymisen tai tietojen syöttämisen latauslinkkiä varten). Hakupäivä 1.2.2021.
22. Valor NPI Optimizing New Product Introductions. 2019. Mentor Graphics. Saatavissa: https://s3.amazonaws.com/s3.mentor.com/public_documents/datasheet/pcb/npi-concurrent.pdf. Hakupäivä 1.2.2021.
23. Piirilevyjen tuotantodata uudessa muodossa. 2014. ETN. Saatavissa: <https://etn.fi/index.php/about/13-news/1600-piirilevyjen-tuotantodata-uudessa-muodossa>. Hakupäivä 16.2.2021.
24. Xpedition Layout. VX.2.7. 2020. Help-tiedostot. Mentor Graphics.
25. Printed Circuit Board (PCB) Failure Analysis. 2014. PCBWay. Saatavissa: https://www.pcbway.com/blog/Engineering_Technical/Printed_Circuit_Board_PCB_Failure_Analysis.html. Hakupäivä 24.2.2021.
26. PCB Trace Corrosion: Why It Happens and How to Prevent It. 2018. Altium. Saatavissa: <https://resources.altium.com/p/pcb-trace-corrosion-why-it-happens-and-how-prevent-it>. Hakupäivä 16.2.2021.

27. PCB Corrosion: Causes & How to Prevent It. 2020. Candor. Saatavissa: <https://www.candorind.com/pcb-corrosion/#:~:text=Atmospheric%20corrosion%20is%20the%20most,happens%20mainly%20with%20copper%20components.> Hakupäivä 16.2.2021.