

Timo Sirkkala

**IC-PIIREIHIN SULAUTETTU INSTRUMENTOINTI JA SOVELTAMINEN  
SULAUTETUISSA JÄRJESTELMISSÄ**

Insinöörityö  
Kajaanin ammattikorkeakoulu  
Tietotekniikan koulutusohjelma  
Kevät 2010



**Kajaanin  
ammattikorkeakoulu**

## OPINNÄYTETYÖ TIIVISTELMÄ

Koulutusala Insinöörikoulutus AMK	Koulutusohjelma Tietotekniikan koulutusohjelma
Tekijä(t) Timo Sirkkala	
Työn nimi IC-piireihin sulautettu instrumentointi ja soveltaminen sulautetuissa järjestelmissä	
Vaihtoehtoiset ammattiopinnot	Ohjaaja(t) Asko Kinnunen Toimeksiantaja Kajannin Ammattikorkeakoulu
Aika Kevät 2010	Sivumäärä ja liitteet 30
<p>Tämä opinnäytetyö käsittelee sulautettujen järjestelmien instrumentointityökaluja ja niiden käyttämistä IC-piireissä. Sulautetut järjestelmät kasvattaa räjähdysmäisesti osuuttaan nykYTEknologiassa ja niiden ominaisuuksien hyödyntämiseksi on erittäin tärkeää osata käyttää niiden testausominaisuuksia, tai vähintään tietää niiden olemassa olo.</p> <p>Työ alkaa kertomalla kuinka sulautetuista järjestelmistä on tullut niin keskeinen osa nykypäivää, ja mikä on sulautettu järjestelmä. Kun tiedetään mikä on ajanut teknologian kohti sulautettuja järjestelmiä, voidaan paremmin ymmärtää miksi testaus on niin tärkeää. Alun jälkeen lukijan tulisi olla selvillä miksi käyttää sulautettua instrumentointia niiden testaamiseen.</p> <p>Työssä käydään useita työkaluvalmistajia läpi pintapuolisesti ja sen jälkeen jokin tuote otetaan tarkempaan käsitteelyyn. Kaikkia työkaluvalmistajia ja niiden tuotteita ei ole voitu ottaa mukaan, koska niitä on yksinkertaisesti liian paljon, mutta keskeisimpiä on otettu ja työssä on valittu kokonaisuuden mukaan sopivia työkaluja. Työkalut muodostavat kattavan työalustan, jota voisi käyttää testaus tarkoituksessa.</p> <p>Tavoitteena on tarjota dokumentti, josta selviää usean työkaluvalmistajan tarjoamat tuotteet ja niiden etuja. Työn on tarkoitus antaa kokonaiskuva siitä millaisia sulautettujen järjestelmien testausmenetelmiä on tarjolla.</p> <p>Työssä päädyttiin tulokseen, että sulautettuihin järjestelmiin tarjotaan erilaisia testausmenetelmiä ja niiden instrumentointi on todella kattavaa. Instrumentointi mahdollistaa useita ennen mahdottomalta tuntuneiden testauksen suorittamisen piiritasolla. Fyysisesti työssä ei päästy tutustumaan eri instrumentointilaitteisiin vaan jouduttiin luottamaan valmistajan antamiin tietoihin.</p>	
Kieli	Suomi
Asiasanat	Sulautettu instrumentointi, IC-piiri testaus
Säilytyspaikka	<input checked="" type="checkbox"/> Verkkokirjasto Theseus <input checked="" type="checkbox"/> Kajaanin ammattikorkeakoulun kirjasto

School Kajaani Polytechnic	Degree Programme Electronics' testing degree programme
Author(s) Timo Sirkkala	
Title Embedded instrumentation in IC-circuits and applying them in to a embedded systems	
Optional Professional Studies	Instructor(s) Asko Kinnunen
	Commissioned by Kajaani Polytechnic
Date Spring 2010	Total Number of Pages and Appendices 30
<p>This thesis is about embedded systems, instrumentation tools and use of them in IC-circuits. Embedded systems have increased their share in the technology business and taking advantage of their capabilities. Knowing these features are really important or at least their future existence.</p> <p>The thesis begins by telling how embedded systems have become fundamental to today, and what is meant by embedded system. When you know what has driven the technology towards embedded systems, you start to understand why the testing is so important. After the beginning reader should be aware of why to use embedded instrumentation for testing them.</p> <p>In this work we will go through several instrumentation tool manufacturers briefly and one of their product little bit more intense. All tool manufacturers and their products couldn't be included because there are simply too many of them, but the key is taken and the work unit has been selected according to the appropriate tools. Tools form a platform that could be used for testing purposes.</p> <p>Target of this thesis is to provide a document that shows multiple instrumentation tools and their benefits for testing. Work is intended to provide overall picture of what kind of instrumentation tools are available for testing embedded systems, as well how and why they fit for training use.</p> <p>Work's conclusion is that embedded system offer different kind of testing methods and the instrumentation is truly comprehensive. Instrumentation allows multiple solutions to problems that seemed impossible before on circuit level. The work didn't offer hand on to embedded instrumentation, and there for I had to rely on information that was provided from the manufacturer. The disadvantage of this was the amount of the commercial speech that manufacturer add to get more sale.</p>	
Language of Thesis	Finnish
Keywords	Embedded Instrumentation, IC testing
Deposited at	<input checked="" type="checkbox"/> Electronic library Theseus <input checked="" type="checkbox"/> Library of Kajaani University of Applied Sciences

## ALKUSANAT

Kiitos vaimolle sinnikkäästä painostamisesta ja ymmärtämisestä.

## SISÄLLYS

1 JOHDANTO	2
2 SULAUTETTU INSTRUMENTOINTI	3
2.1 Mitä ovat sulautetut instrumentit?	4
2.2 Syitä sulautettuun instrumentointiin	5
2.3 Kuinka käyttää sulautettua instrumentointia	6
2.4 Milloin ja missä käytetään sulautettua instrumentointia?	7
3 SULAUTETTUJEN JÄRJESTELMIEN INSTRUMENTOINTI TYÖKALUT	8
3.1 ASSET ScanWorks ympäristö	8
3.2 Intel IBIST	12
3.3 Synopsys DesignWare immateriaalioikeus kirjasto	13
3.4 Xilinxin ChipScope Pro	14
3.5 Alteran Stratix II GX	18
3.6 Vitesse Semiconductorin VScope	19
3.7 Maximin MAX16065/MAX16066	21
3.8 Ridgetop	22
3.8.1 Mekaaniset virheet	23
3.8.2 Sijainnin vaikutus rasiuksessa FPGA I/O porteissa	25
3.8.3 Miksi SJ BIST tarvitaan	25
3.8.4 SJ BIST yksinkertaisuudessaan	26
3.8.5 Yhteenveto SJ BIST:stä	28
4 YHTEENVETO	30
LÄHTEET	31

## LYHENTEET JA TERMIT

Lyhenne/Termi	Selite
ATE	Automatic Test Equipment
BER	Bit Error Rate
Chip-to-Chip	Piirin sisäisiä ja hyvin lyhyitä ulkoisia yhteyksiä
CPU	Central Processing Unit
EDA	Electronic Design Automation
Eldo	Spice simulaatio, jonka kehittäjänä toimii Mentor
FPGA	Field-Programmable Gate Array
FSB	Front Side Bus
HALT	Highly Accelerated Life Tests
I/O	Input / Output
IBIST	Interconnect Built-In Self Test
IP	Intellectual Property – Immateriaalioikeus
JTAG	Joint Test Action Group, joka sai myöhemmin standardin IEEE 1149.1 Standard Test Access Port and Boundary-Scan Architecture
PCB	Printed Circuit Board - Piirilevy
QPI	Quick Path Interface
RAM	Read Access Memory
SATA	Serial ATA-väylä
SerDes	Serialize/De-serialize

SPICE	Simulation Program with Integrated Circuit Emphasis
TAP	Test Access Port
USB	Universal Serial Bus
XDP	eXtended Debug Port

## 1 JOHDANTO

Viallisen elektronisen tuotteen havaitseminen ja vian korjaaminen mahdollisimman aikaisessa tuotantovaiheessa on tärkeää. Mahdollisimman laadukkaan tuotteen valmistus on toteutettava niin, että tuotteen koko elinkaaren aikana tuote on mahdollista testata mahdollisimman perusteellisesti ja samalla yksinkertaisesti. Tämän mahdollistamiseksi on tuotteen suunnittelijan otettava huomioon tuotteen testattavuus sekä suunnitella tuotteelle mahdollisimman edullinen, mutta kattava testausprosessi.

Testaaminen on mahdollista toteuttaa tuotteen kannalta passiivisesti ja aktiivisesti. Passiivinen testaus ei vaadi tuotteessa kaikkia komponentteja, vaan testaus voidaan suorittaa ennen kuin tuote on edes valmis. Optinen tarkastus ja neulapeti-mittaukset ovat hyvin tyypillisiä passiivisia testausmenetelmiä. Näillä saadaan tarkistettua, ovatko kytkennät onnistuneita ja onko oikeat komponentit ladottu piirilevyille, mutta komponenttien varma toiminnallinen testaus ei passiivisella testauksella onnistu täysin. Passiivinen testaus suoritetaan yleensä jo tuotteen elinkaaren ensimmäisinä hetkinä.

Aktiivinen testaus on nostanut voimakkaasti päätään teknologian siirtyessä yhä enemmän integroituihin piireihin ja niihin sulautettuihin järjestelmiin. Aktiivinen testaus vaatii, että tuote on toimivassa kunnossa, jotta sen piirit saavat sähköä toimiakseen testausproseduureissa. Aktiivisen testauksen positiivisia puolia on testaustarkkuus ja sen antama mahdollisuus testata täysin valmista tuotetta. Teknologian kehitys painottuu yhä enemmän aktiiviseen testaamiseen.

Tämä dokumentti käy läpi eri valmistajien piirejä/työkaluja aktiiviseen testaustarkoitukseen, jotta saadaan yksinkertaisempi kokonaiskuva eri työkalujen antamista mahdollisuuksista.



## 2 SULAUTETTU INSTRUMENTOINTI

Kuten sulautetuista järjestelmistä ASSET:n verkkosivuilla kerrotaan, teknologian kehityksen tarpeet ovat ajaneet sulautettuja järjestelmiä kehittämään yhä monimutkaisemmiksi ja niiden testaaminen on lähes mahdotonta ilman sulautettuja instrumentointijärjestelmiä. Järjestelmien nopeus ja monimuotoisuus on kasvanut voimakkaasti ja jatkaa yhä kasvuaan. Chip-to-chip dataliikenneväylissä on ylitetty yhden gigabitin per sekunti-nopeus (Gb/s) ja nykyään liikutaan viidestä kahdeksaan gigabittiä sekunnissa -nopeuksissa. Lisäksi piireissä on satoja miljoonia ja miljardeja dataliikenneportteja, jotka kasvattavat vielä huimasti laitteiden monimuotoisuutta. Tämä on johtanut moniytimisiin ja useiden piirien laitteisiin, joiden monimutkainen laitepakkaus ja muut teknologiat vaikeuttavat varmennus- ja testausprosessia. Kehittäjien, valmistajien ja tuotanto-organisaatioiden onneksi sulautettu instrumentointi on paljon kustannustehokkaampi, kyvykkäämpi ja valmiimpi vastaamaan nykypäivän tietotekniikan vaatimuksiin se yhdistyessä kommunikaatiotekniikan kanssa, kun verrataan niitä aiempiin testausmenetelmiin. Sulautettu instrumentointi mahdollistaa sellaisia varmennus- ja testaus työkaluja, joita sulauttamaton järjestelmä ei vaan voi suorittaa. [1.]

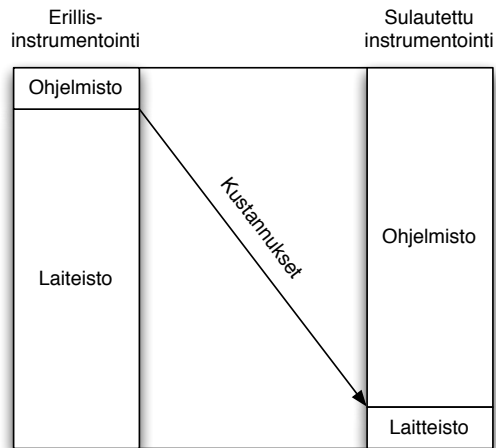
Sulautettu järjestelmä kuin kannettava tietokone. Kannettavaan on liitetty toisiinsa useat erilliset laitteet yhdeksi toimivaksi kokonaisuudeksi, pöytä tietokoneessa näiden ollessa erillään. Näyttö ja hallintalaitteet kuten hiiri ja näppäimistö on liitetty yhdeksi keskusyksikön päälle. Näin ollaan kasattu toimiva ja helposti siirrettävä tietokone yksikkö. Ne on niin sanotusti sulautettu keskenään. Sama operaatio on alkanut tapahtua piirilevy-tasolla, jolloin muistin hallinta ja I/O kontrollerit, sekä moni muu piirin osa-alue on siirtynyt pii-sirun sisälle. Näin ollen ongelmia tulee kun testataan väylien toimivuuksia pii-sirun sisällä. Onneksi näiden testaamiseksi on kehittynyt sulautettujen järjestelmien instrumentointityökalut. Näiden väylien sijainti on piirin sisällä, jolloin niiden testaamiseen tarvitaan käyttää piirin omia liitäntöjä. Tämä vähentää kustannuksia, kun ei tarvita kalliita testaus laitteita vaan voidaan hankkia edullisia liitäntä laatikoita sulautettujen järjestelmien instrumentoinnin hallitsemiseen.

## 2.1 Mitä ovat sulautetut instrumentit?

Sulautettuja instrumentteja on monenlaisia. Se minkälaisia instrumentteja piirille sulautetaan, riippuu monista asioista. Kuten millaisia sovelluksia tarvitaan, paljonko resursseja on antaa järjestelmästä ja miten nerokkaita ideoita piirin suunnittelutiimi keksii.

Sulautettu instrumentointia on ollut jo pitkään ja se käsittää erilaisia mittalaitteita, joita on sijoitettu piirin sisälle. Yhden piirin sisällä on mittalaitteita sijoitettu muutamasta tusinasta aina satoihin. Näihin mittalaitteisiin pääsee yleensä käsiksi käyttäen piirin JTAG TAP-liitäntää. Nämä instrumentointilaitteet korvaavat useita ulkoisia mittalaitteita ja mahdollistavat mittalaitteiden käytön mittapisteisiin, joihin ei fyysisesti pääse käsiksi. Al Crouch ASSET InterTech yrityksestä on kirjoittanut, että Intel IBIST on malli esimerkki sulautetusta instrumentaatiosta. Näitä Intelin tarjoamia instrumentaatio välineitä hyödyntämällä voidaan varmentaa myös nopeita sarjaväyliä kuten PCIe-väyliä, joita fyysisillä antureilla ja ulkoisilla instrumenteilla ei voida mitata. Sulautettu instrumentointi mahdollistaa myös testaamisen kun piiri fyysisiltä ominaisuuksiltaan estää tavanomaisen testaamisen. Esimerkiksi piirissä on useita ytimiä tai kyseessä on usean kerroksen piiri. [2.]

Kustannusten kannalta tarkkailtaessa sulautettuja ja erillisinstrumentoituja testivälineitä on havaittavissa ero, kuten kuvassa 1 näkyy. Erillisinstrumentoiduissa välineissä laitekustannukset tulee suuriksi ja ohjelmistoa ei niinkään ole verrattuna sulautettuihin instrumentointeihin, joissa suurempaa osuutta kokonaisuudesta hallitsee ohjelmisto. Tästä asiasta on myös kirjoittanut Frost & Sullivan dokumentissaan, jossa se käsittelee laitteiston ja ohjelmiston suhdetta sulautetuissa järjestelmissä. [3.]



Kuva 1. Erillisinstrumentoinnin ero sulautettuun kustannuksissa

IEEE ryhmä on kehittämässä Internal JTAG (IJTAG) standardia (P1687). Kun he ovat ratifioineet tämän standardin, spesifioi se tavat ohjelmointiin, käyttöön ja tiedonkeruuseen sulautetusta instrumentoinnista.

## 2.2 Syitä sulautettuun instrumentointiin

Elektroniikan alkutaipaleelta lähtien suunnittelijat ja valmistajat ovat turvautuneet ulkoisiin, erillisiin välineisiin, kuten oskilloskooppiin ja logiikka-analysaattoreihin. Nämä ulkoiset laitteet luottavat poikkeuksetta fyysisiin antureihin, mitkä havaitsevat mitä tapahtuu järjestelmän piirillä tai piirilevyllä ja niiden väylillä ja siksi suoriutuvat kunnioitettavan hyvin tehtävästään. Monimutkaisuus ja suorituskyky niin väylien, piirien ja koko järjestelmän osalta kasvoi räjähdysmäisesti, samalla kun komponenttien tiheys ja määrä sekä puolijohdekomponentti-integraatio lisääntyi. Tästä päädyttiin tilanteeseen, ettei yksinkertaisesti voitu enää käyttää antureita helposti, vaan piti kehittää jotain muuta. Vielä lisäksi uudet moniydinpiirit ja useiden piirien yhdistämisteknologia, kuten System-in-Package (SiP), Package-on-Package (PoP) sekä muut vaikeuttavat piiritason testausmenetelmiä.

Muutamia asioita, miksi sulautettujen järjestelmien instrumentointi on kehittynyt:

- Oskilloskoopin mittapään asettaminen testialustalle korkeanopeuksisella sarjaväylällä kuten PCI Express (PCIe) aiheuttaa kapasitanssimuutoksia väylällä. Tästä johtuen

testaaja ei pysty erottamaan, onko kyseessä oleva tieto testitulosta vai virheellistä tietoa.

- Ulkoisten laitteiden yhteensopivuuden varmistaminen korkeanopeussarjaliikenneväylille on hankalaa ja kuluttaa paljon aikaa, usein kuukausia. Tämä viekin helposti suuren osan tuotteen aikataulutuksesta.
- Sulautettujen järjestelmien instrumentointi mahdollistaa laitteiston testauksen, jopa tavoilla mikä tavallisesti ei olisi mahdollista. Esimerkiksi Intel IBIST- työkalun hyödyntämisen rasiustestiin korkeanopeus I/O-väylälle, ohi käyttöjärjestelmän.
- Tavallisesti mittaustekniikka mittaa yhtä tai muutamaa linjaa yhtä aikaa. Sulautettuna instrumenttina, kuten IBIST, se voi mitata kaikkia linjoja yhtä aikaa rinnakkain. Tämä lisää kuormitusta linjoille ja täten antaa paremman ja kattavamman testituloksen. Se myös nopeuttaa huomattavasti tuotteen varmentamista.
- Sulautettujen instrumenttien, kuten Intel® IBIST, etuna on mahdollisuus ajaa testit rinnakkain kaikilla väylillä ja porteilla ilman käyttöjärjestelmää. Toisin kuin käyttöjärjestelmätestaustekniikat, joita usein käytetään suurnopeussarjaväylien testaamiseen, vaativat käyttöjärjestelmäresursseja ajoonsa.

Näiden takia suunnittelu/testaus-insinöörit ovat kääntyneet sulautettujen laitteidenpuoleen, koska he tarvitsevat ratkaisuja, joita vain sulautettujen järjestelmien instrumentointi voi tarjota.

### 2.3 Kuinka käyttää sulautettua instrumentointia

Esimerkiksi ASSET ScanWorks käynnistyessään automaattisesti suorittaa kytkennät ja analysoi instrumentit, jotka on sulautettu piiritalolle, käyttäen piirilevyllä ja järjestelmässä olevaa JTAG (boundary scan tai IEEE 1149.1)–porttia piirillä sekä JTAG-infrastruktuuria. ScanWorks on johtava instrumentointityökalu jolla pääsee kiinni JTAG resursseihin ja suorittamaan testit. Tulevaisuuden versiot ScanWorks alustasta tulee mahdollistamaan parhaan mahdollisen liitännän ohjelmistolle, sirutekniikalle ja/tai sulautetulle instrumenteille, jotka on ohjelmassa mukana. Lisäksi ASSET MicroMaster CPU emulointi järjestelmässä voidaan myös hyödyntää virhekorjaus porttia, joka löytyy useasta prosessorista.

## 2.4 Milloin ja missä käytetään sulautettua instrumentointia?

Sulautettua instrumentointia voidaan käyttää koko laitteen eliniän aikana. Jo laitteen suunnitteluvaiheessa on varmennuksen kannalta tärkeää saada käyttöönsä sulautetun instrumentoinnin tarjoamat edut. Ilman niitä suunnittelu tiimi ei voi tarkistaa signaalin sopivuutta suurnopeus väyliin. Piirilevyn, kokoonpanon tai järjestelmän mennessä, tuotantoon sulautettua instrumentointia tullaan käyttämään nopeissa testeissä diagnosoimaan virheitä. Viimein kun tuote on loppuasiakkaalla, voidaan sulautettuun instrumentointiin ottaa yhteyttä, joko paikallisesti tai etäyhteydellä testaamaan suorituskykyongelmia tai vianmäärittämistä varten.

### 3 SULAUTETTUJEN JÄRJESTELMIEN INSTRUMENTOINTI TYÖKALUT

ASSET:n Glenn Whoppman kertoo dokumentissaan sulautettujen järjestelmien työkaluvalmistajista ja miten nämä jakautuvat eri instrumentoinneissa. Työkaluvalmistajia on useita ja ne erikoistuvat osittain eri osa-alueille. Näiden valmistajien yhteistyönä saadaan toimivia testausalustoja, jos vain valmistajat pysyvät tietyissä standardeissa. Tässä luvussa käydään läpi valmistajat, joiden työkalut muodostavat testaustyökalukokonaisuuden. Tämä listaus ei ole täysin kattava, koska valmistajia ja instrumentaatiotyökaluja on monia. Tarjolla olisi vielä useita yrityksiä, joilla on kattavia sulautettujenjärjestelmien testaamistyökaluja. Esimerkiksi Texas Instruments, National Instruments, Actel ja IBM. Listaus kuitenkin antaa kokonaiskuvan testausympäristöstä ja mihin kaikkeen siinä on varauduttava saadakseen luotettavan lopputuloksen. [4.]

#### 3.1 ASSET ScanWorks ympäristö

ASSET on ollut 90-luvun puolivälistä lähtien urauurtava boundary scan (IEEE 1149.1 JTAG)-testausta kehittävä yritys. Sen kehitys suuntana on kehittää aktiivitestausta sulautettuihin järjestelmiin käyttäen piirillä olevaa JTAG-testausliitäntää. ASSET on ottanut johtavan aseman kehittäessään työkaluja, jotka automatisoi, yhdistää ja analysoi käyttäen sulautettuja instrumentointia. ScanWorks on yhä ainoa työkalu Intelin IBIST liitäntään, jonka Intel on liittänyt sen seuraavan sukupolven prosessoripiireihin ja palvelin alustoihinsa.

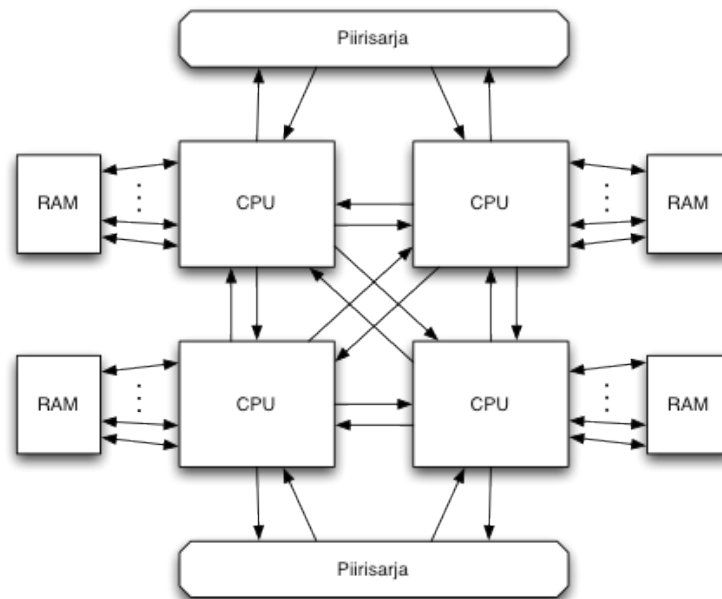
ScanWorks laitteisto mahdollistaa yksinkertaisen liitäntä ratkaisun niin ohjelmisto kuin laitteistolla. Tästä on kuvaus ASSET InterTechin tekemässä dokumentissa ASSET:n verkkosivulla. ScanWorks automatisoi, luo yhteydet ja analysoi sulautetun instrumentoinnin laitteiston. [4.]

ScanWorks ympäristö sopii erinomaisesti koulutukseen ja tuotekehitykseen sekä yksilöllisiin testausprojekteihin. Työkalussa on mukana mm.

- Testiproseduurien luonti ja tarkistustyökalu (PG&C)

Pattern Generation and Checking (PG&C) on perustana bittivirhetiheys (Bit Error Rate) ja Ikkunointi-testityökaluille. PG&C antaa tehokkaan työkalun niin testikaavion

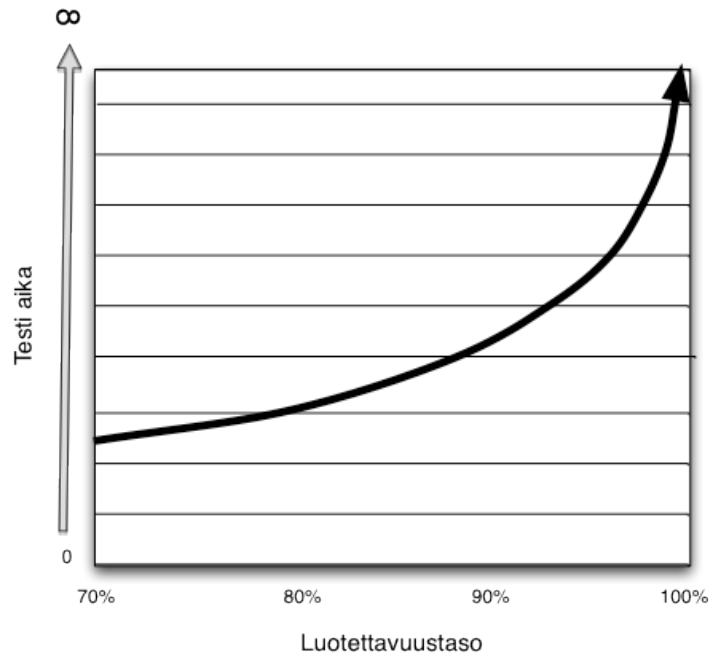
luontiin kuin sen tarkastamiseen. Käyttäjä voi helposti määrittellä testikuviot, bittimäärät sekä linkit ja linjat, jotka on käytössä yksinkertaisten valikoiden kautta. Yksittäinen linja voidaan testata tai ScanWorks voi kohdistaa testit kaikkiin QPI (Quick Path Interface, kuva 2.) linkkeihin samanaikaisesti. Tämä antaa nopeasti ja helposti testituloksen, joka määrittää väylän liitettävyyden ja eheyden.



Kuva 2. Quick Path Interface:n linkkirakenne

- Bit Error Rate (BER) – Testaus

BER testausta käytetään, jos haluamme saada vankemman analyysin. Tämä testi suoritetaan suurella määrällä dataa ja samalla tarkkailemalla bittimääriä ja -virheitä. Kuten PG&C-testissä BER-testi voidaan suorittaa yhdelle linjalle tai kaikille yhtä aikaa. Täten saadaan nopeutettua testiä ja saadaan samalla myös hyödyllistä kuormitustestausta. Käyttäjä voi antaa spesifikaatiot BER-testiin, jonka jälkeen ScanWorks suorittaa perusteellisen testisarjan ja tämän mukaan määrittää luotettavuustason, joka vastaa spesifikaatiota (kuva 3). Lisäksi ScanWorks ennustaa arvioita siitä, kauanko testin ajoaika kestää ja kuinka luotettava testin tulos on, jo ennen kun varsinaista testiajtoa on edes suoritettu.



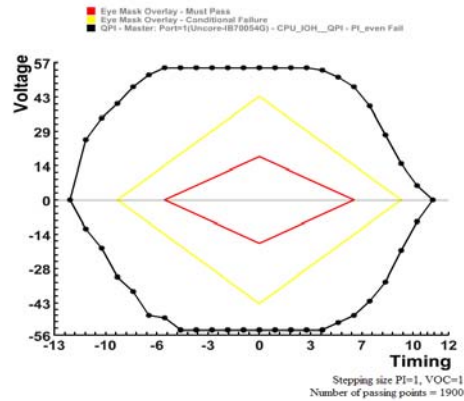
Kuva 3. Testin luotettavuus ajan suhteen

- Ikkunointi-työkalu

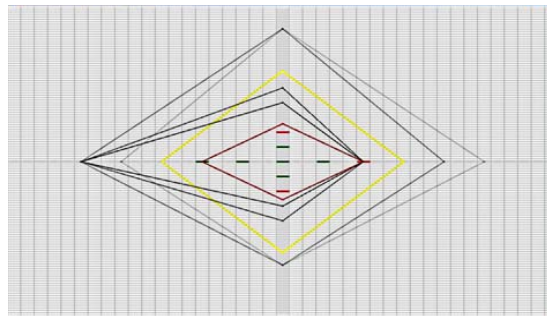
Tarkempia testituloksia halutessa ScanWorks tarjoaa helppokäyttöistä ikkunointityökalua. Tällä saadaan generoitua teksti ja graafisia raportteja jokaisesta suurnopeuskanavasta.

ScanWorks voi suorittaa testialustalla testin, jolla saadaan tulokseksi avoin silmäkuvi-analyysin (kuva 4.) tai suorittaa nopeamman ristimarginaali testin (kuva 5). Ristimarginaali-testi antaa käyttäjälle silmän korkeuden ja leveyden, vieden paljon vähemmän aikaa kun avoin silmäkuvioanalyysi. Työkalu havaitsee vastaanottimen suorituskykymarginaalin, kun jännite ja ajoitusraja-arvot ovat ilmoitetut. ScanWorks käyttäytymään syötetään ”start”-, ”stop”- ja ”increment”-arvot jännitteelle sekä ajalle, jonka jälkeen työkalu automaattisesti muodostaa helposti luettavan silmäkuvi-on. Tulokset annetaan niin teksti-, html-, csv- ja binääri-muodossa. ASSET:n omalla ”Result Viewer”-ohjelmalla käyttäjä voi vaikuttaa mitä tietoja testistä näytetään ja mitkä mittaus tulokset otetaan huomioon. Tästä ohjelmasta testituloksen voi viedä helposti joko kuva- tai PDF-tiedostoksi.





Kuva 4. Silmäkuvio Analyysi [5]



Kuva 5. Ristimarginaali testi [5]

Lisäksi ScanWorks-ikkunointityökalu mahdollistaa helposti suoritettavan väylän eheyden tarkistuksen. Käytettäessä ScanWorks PG&C:tä ja BER-rajausominaisuuksia saadaan tehokas ja taloudellinen työkalujärjestelmä QPI-linkkien (kuva 2.) tarkistukseen.

ScanWorks mahdollistaa tavalliseen testaustekniikkaan verrattuna seuraavia ominaisuuksia:

- Pienempiä testauskustannuksia

Ei useita erillisiä ja kalliita testauslaitteita. Ikkunointi-työkalulla on helppo rajata virhemarginaalit sopiviksi ja täten vähentää turhia testejä, joka vähentää työtunteja.

- Nopeampia testausaikoja

Voidaan määrittää tarkemmin mitä testataan. Testataan vaan tarpeelliset.

- Tuotteen markkinoille saaminen on nopeampaa

Tuotteelle ei tarvitse tehdä pitkiä testejä, joten se saadaan nopeammin markkinoille. Testien rinnakkain ajo mahdollistaa nopeamman testin.

- Voidaan ajaa raskaampia testausrutiineja

Testeillä voidaan kuormittaa laitteita taajuudella, jolla saadaan laitteelle todellisuutta vastaava kuormitus jo testiajoilla.

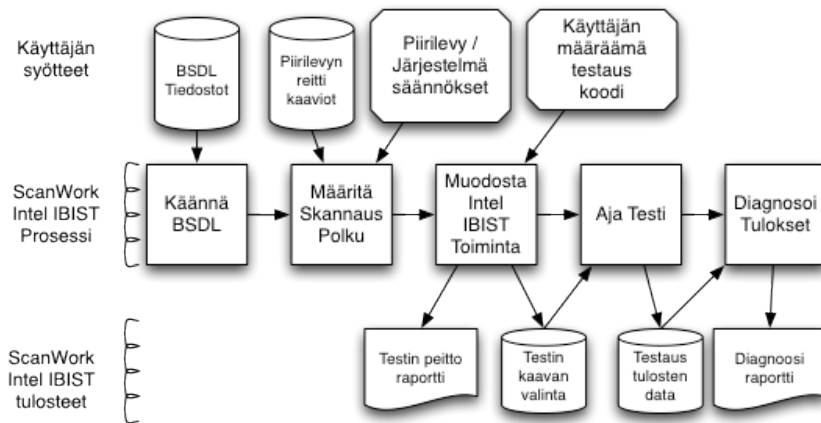
- Väylien yhtäaikaista kuormittamista

Tämän ansiosta tuotteen testausnopeus on huomattavasti suurempi.

### 3.2 Intel IBIST

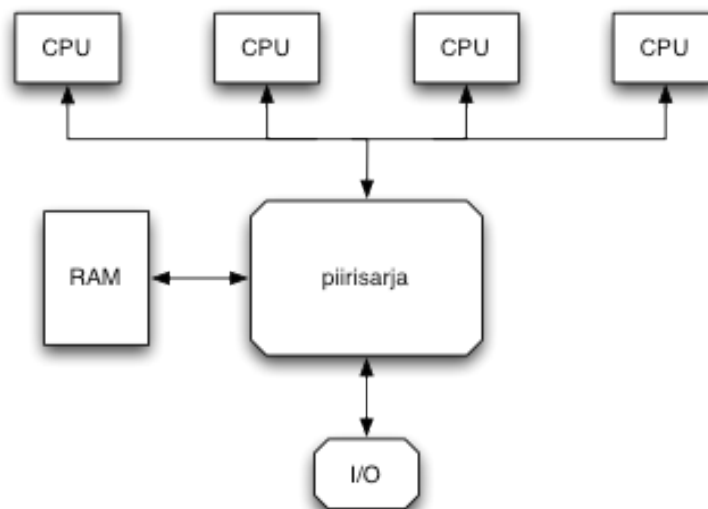
Intel aloitti puolijohde-tuotantonsa vuonna 1968 ja on ollut siitä lähtien johtava mikroprosessori-valmistaja maailmassa. Nykyään yrityksen tuotevalikoima on kasvanut huomasti niin prosessori- kuin koko puolijohde-tuotannossa. Yrityksen kehitys keskittyy asiakkaiden testausalustan varmentamiseen. Intel on kehittänyt yhdessä ASSET:n kanssa Intel IBIST (interconnect Built-In Self Test) järjestelmää ScanWorks® testausympäristöön.

Intel IBIST on seuraavan sukupolven sulautettujen järjestelmien testaustekniikka, jota yritys asentaa tuotevalikoimansa huippupiireihin ja piirisarjoihin. Kuten tästä kerrotaan QPI dokumentissa, joka on saatavilla Intelin verkkosivuilta, ASSET ScanWorks alusta on ensimmäinen ja yhä ainoa kolmannen osapuolen avoin työkalu-alusta, joka tukee Intel IBIST-tekniikkaa. Tämän avulla saavutetaan helposti nopeampaa testaustekniikkaa. Kuvassa 6 käydään läpi ScanWorks Intel IBIST testaukseen liittyvä tietovuokaavio. [6]



Kuva 6. Intel IBIST tietovuokaavio

Intel IBIST hyödyntää Intelin kehittämää QPI (Quick Path Interface, kuva 2.) liittymää, joka korvaa vanhan ja hitaamman jaetun FSB:n (Front Side Bus, kuva 7.) nykyisissä järjestelmissä. Intel on sulauttanut Intel IBIST:n piireihinsä ja piirisarjoihin kuten Nehalem. Näin se mahdollistaa työkalujen tehokkaamman käytön sulautetuissa järjestelmissä.



Kuva 7. Jaettu FSB, yhteinen Front Side Bus arkkitehtuuri

### 3.3 Synopsys DesignWare immateriaalioikeus kirjasto

Yritys keskittyy piirin suunnitteluvaiheeseen lisensointiin ja tuotteiden kehityksen saattamiseksi yhteensopivaksi muiden automaattisen testauslaitteistoiden ATE (Automatic Test Equipment) kanssa. DesignWare® immateriaalioikeus-kirjasto sisältää sulautettujen järjes-

telmien laitteistokeskeisiä asetuksia ja niiden lisenssi- sekä käyttöoikeustietoja. Jotkut moduulit kirjastossa pureutuvat Verilog, System Verilog, OpenVera ja VHDL testialustoihin. Ne moduulit generoivat väyläliikennettä ja vastaavat sieltä tuleviin kutsuihin sekä tarkastavat niiden protokollavirheitä, luodessaan kattavuusraportteja niistä. Nämä raportit voidaan tämän jälkeen yhdistää piirisuunnitteluvaiheeseen. Kirjaston sisältää digitaali- ja analogimuuntimien, testikuviotarkastus- ja -luontityökalujen, jännite- ja vaihekontrollereiden, rajavertailijoiden sekä muiden sulautettujenpiirien instrumenttien sisäisiä asetuksia, lisenssi- ja käyttöoikeustietoja.

Synopsysin kehittämä DesignWare-kirjasto käsittää immateriaalioikeuden suunnitteluun ja verifiointiin useassa tietoväyläkomponentissa sekä sulautettuihin AMBA-väyliin ja mikrokontrollereihin. Lisäksi kirjasto antaa laajan tietosalkun I/O-väylien (PCI Express, USB, SATA, Star IP...) verifiointiin ja kehityskirjastoiden immateriaalioikeusstandardeista. DesignWare kirjastoa käyttää/kehittää yli 25 000 suunnittelijaa mikä varmistaa sen, että tuote on helppokäyttöinen ja korkealaatuinen. Yksi lisenssi antaa kaikille suunnittelijoille pääsyn kaikkiin varmennus- ja synteesi-immateriaalioikeuskirjastoihin. [7.]

### 3.4 Xilinxin ChipScope Pro

Yrityksen ChipScope Pro mahdollistaa logiikka- ja väylä-analysointien sekä virtuaali-I/O ytimien käytön suoraan FPGA:lla, näin mahdollistaen testausproseduurit missä tahansa väylällä ja solmukohdissa. Näihin luetaan myös mukaan laite- ja ohjelmaprosessorit. Signaalit vastaanotetaan joko käyttöjärjestelmässä tai lähellä sitä, tästä johtuen saadaan tehokkuutta kun käytetään tehokkaita ohjelmointi rajapintoja, ja vapautetaan pinnejä suunnittelussa. Kaapatut signaalit analysoidaan mukana tulevalla ChipScope Pro Logic Analyzerillä. [9.]

ChipScope Pro keskustelee Agilent testausalustan kanssa, käyttäen siihen yhteistä ATC2 ohjelmisto ydintä. Tämä ydin synkronoi ChipScope pro työkalun Agilentin FPGA Dynamic Probe scope option. Agilentin ja Xilinxin yhteistyö mahdollistaa tehokkaamman muistin seurannan, suuremmat kellonopeudet, enemmän liipaisuoptioita sekä käyttäen vähemmän liityntä pinnejä kuin normaalisti FPGA-piiriltä vaadittaisiin. [9.]

ChipScope Pro Serial I/O Toolkit työkalupaketti tarjoaa helpon ja nopean interaktiivisen asennuspaketin ja virheenkorjaus mahdollisuudet suur-nopeus I/O-kanaville FPGA ko-

koonpanoissa. Se mahdollistaa BER mittaukset useista kanavista ja vastaanottamien parametrien muuntamisen reaaliajassa, keskeyttämättä I/O-väylien keskustelua muun järjestelmän kanssa.

ChipScope Pron sisältävät ytimet/työkalut

- ICON (Integrated Controller) – integroitu laiteohjain
- ILA (Integrated Logic Analyzer) – Integroitu logiikka-analysaattori
- IBA/OPB (Integrated Bus Analyzer for On-Chip Peripheral Bus) - Integroitu väylä-analysaattori, piirin lisälaite väylille
- IBA/PLB (Integrated Bus Analyzer for Processor Local Bus) – Integroitu väylä-analysaattori, prosessorin paikalliselle väylälle
- VIO (Virtual Input/Output Core) – Virtuaali sisään-/ulostulo
- ATC2 (Agilent Trace Core 2) – Agilent laitteiston kanssa toimiva ydin
- IBERT (Integrated Bit Error Ratio Test) – Bittivirhesuhde-testi ydin

ChipScope Pron ominaisuuksia:

- Analysoi mitä FPGA-signaalia tahansa, myös sulautettujen prosessorien väyliä
- Matala-profiilisten ohjelmoitavien ytimien lisääminen kesken suunnitelman nauhoituksen tai synteessin jälkeen
- Kaikki ChipScope Pro ytimet ovat saatavista Xilinx CORE Generator järjestelmän alta
- Valikot, jotka on lisätty Virtex-5 System Monitor konsoliin, auttavat helpommin pääsemään käsiksi piirin lämpötila-, jänniteantureihin ja ulkoisiin muihin mittapisteisiin
- Antureiden mittapisteiden vaihtaminen toistamatta synteesiä

- Virheenkorjaaminen etäyhteyttä käyttämällä, joko lähiverkon tai Internetin yli, ”debug remote”-toiminnolla

ChipScope Pro Serial I/O Toolkit:in ominaisuudet:

- Nopea ja helppo interaktiivinen asennus ja vianetsintä FPGA sarja I/O-kanaville
- BER mittaukset usealle kanavalle, suur-nopeus sarjavastanottimen parametrien säätäminen samalla kun sarja I/O-kanavat on muun järjestelmän käytössä
- Sisäänrakennettu testikuviogenerointi ja -vastaanotto kaikkien standardien sarja I/O-datapakettien kanssa
- Tarvitsee vain JTAG - liitännän laitteelta jota käytetään, ei erillisiä pinnejä suur-nopeus sarjaliikenteen vianetsintään tai asetusten määrittämiseen

Taulukko 1. ChipScope Pro virheenetsintä ja -korjauksen ominaisuudet ja hyödyt [9.]

Ominaisuus	Hyöty
Datakanavia 4096 valittavana	Tarpeeksi laaja dataväylä tehokkaaseen toimimiseen.
Näyte puskuri koko valittavissa 256:sta aina 131072 näytteeseen.	Suuri näytteiden määrä lisää tarkkuutta ja epäsäännöllisten näytteiden tallennusta.
16 erillistä liipaisin porttia, jokaisen leveys voi vaihdella 1-256 kanavan välillä. Täten mahdollistaen maksimissaan 4096 liipaisu kanavaa	Useat erilliset liipaisinportit lisäävät joustavuutta tapahtumien tunnistamisessa ja vähentävät tarvittavaa näyte tallennuskapasiteettia.
16 erillistä vertailuyksikköä liipaisuporttia kohden. Kokonaismäärässä 16 erillistä vertailutehtävää jokaista liipaisutehtävää kohden	Useat vertailutehtävät liipaisu porttia kohden lisää joustavuutta tapahtuman tunnistamiseen, ottaen huomioon tärkeät resurssit.
Data ja liipaisu operaatiot on synkronisoitu kellopulssiin, joka voi olla jopa 500MHz	Saavutetaan suur-nopeus liipaisuoperaatiot ja data tallennukset.
Liipaisu tapaukset voivat sisältää joko Booleaan laskutoimituksia tai liipaisusarjoja kuudellatoista vertailu funktiolla	Voidaan yhdistää 16 liipaisinporttia käyttäen Booleaan laskentaa tai 16-tasoisien liipaisusekvenssein
Tallennetun tiedon varmennus hyödyntää jopa 16:sta vertailu funktion Boolean laskentaa	Pystyy yhdistämään 16:sta liipaisuportin vertailufunktiota käyttämällä Boolean kaavoja määrittämään mitkä näytteet tallennetaan muistiin.
Liipaisuun ja tallennukseen edellyttävät asetukset on muutettavissa ilman että se vaikuttaa käyttölogiikkaan	Ei tarvitse askel tai pysäytys toteutusta logiikka analyysijä varten.
Helppokäyttöinen graafinen käyttöliittymä	Ohjaa käyttäjää valitsemaan oikeat asetukset testausta varten.
15 riippumatonta ILA, IBA/OPB, IBA/PLB, VIO tai ATC2 ydintä laitetta kohden.	Pystytään jakamaan osiin testaus suunnitelma jolla saavutetaan parempi tarkkuus testistä.
Ohjelmisto on ladattavissa Xilinxin Internet-sivustolta	Työkalut on helposti saatavilla ChipScope Suitessa

### 3.5 Alteran Stratix II GX

Altera on keskittynyt auttamaan piirilevy suunnittelijoita varhaisessa vaiheessa prosessia. Yritys on kehittänyt esikorostavaa ja tasaavaa linkkiarvioijaa PELE (Pre-emphasis and Equalization Link Estimator) EDA (Electronic design automation)-työkaluvalmistajille, kuten Mentor, jotta suunnittelijat voisivat yhdistää PELE:n ja liittää sen signaalieheyttämiskortteihin jotka on varustettu Altera Stratix® II GX FPGA piirillä. Stratix II GX lähetin/vastaanottimessa on ohjelmoitavat esikorostava ja tasaava piirisarja, joka kompensoi linjahävikkiä ja mahdollistaa tiedonsiirron jopa 6,375 Gt/s. Jotta saadaan yksittäinen linja toimimaan halutusti, pitää se optimoida asetuksia määrittämällä, koska jokainen linja on erilainen. Optimaalisten asetusten löytämiseksi voidaan ajaa, joko SPICE (Simulation Program with Integrated Circuit Emphasis) simulaatio tai käyttää Alteran signaalin eheyden tarkistus työkalua, mutta tämä on erittäin aikaa vievää. Asetusten lukumäärästä johtuen, jo pelkästään yksi simulaation kierrosaika on tunteja. [10.]

Järjestelmäsignaalien tasaamiseksi tarvittavien parhaiden asetusten löytäminen tarvitsee useita toistoja selkeän testikuvion löytämiseksi. Alteran PELE teknologian avulla voidaan poistaa viikkoja tavallisesta simulaatiotyöstä ja parantaa huomattavasti simulaation tarkkuutta. Se käyttää koetinkivenä yksinomaan Alteran lähetys-/vastaanottimelle kehitettyjä asetusmalleja sekä käyttäjän antamia ajojännite-asetuksia ja hajonta parametreja (S-parameters, Scattering parameters). Hajonta parametrin on otettu, joko piirilevyn piirroksista tai testipenkki mittauksista lasketuilla esikorostus- ja tasausarvoilla. [10.]

Kun nämä arvot on saatu laskemalla oikeilla algoritmeilla, tämä PELE:n antama informaatio muokataan käyttäen EDA (Electronic design automation) työkalua, kuten Mentor Graphics' Stratix II GX Design Kit for HyperLynx. EDA työkalu tekee PELE-tiedoista tiedoston jota voidaan suoraan käyttää SPICE tai Mentorin kehittämässä Eldo simulaatiossa.

Tämä analoginen simulaatio varmentaa sen, että kanavaoperaatiot on korreloitu todelliseen piirin toimintakykyyn. Simulaatio vaikuttaa testiajon silmukoiden lukumäärään, jotta voidaan laskea optimoidut esikorostus ja -tasaus arvot oikein todelliselle laitteelle.

Laitteen hajontaparametrit saadaan:

- Suoraan piirilevyn piirroksista käyttäen EDA työkaluja



- Piirilevystä käyttäen TDR (time domain reflectometry) ja TDT (time domain transmissivity) mittauksia, nämä mittaustulokset jälki käsitellään käyttäen IConnect ohjelmistoa Tektronixilta
- Piirilevystä käyttäen Vector Network Analyzer työkalua

PELE ja EDA työkalua voidaan käyttää siis niin uusiin piirilevy suunnitelma simulointeihin kuin ennustamaan olemassa olevan jatko ja parannus mahdollisuuksia.

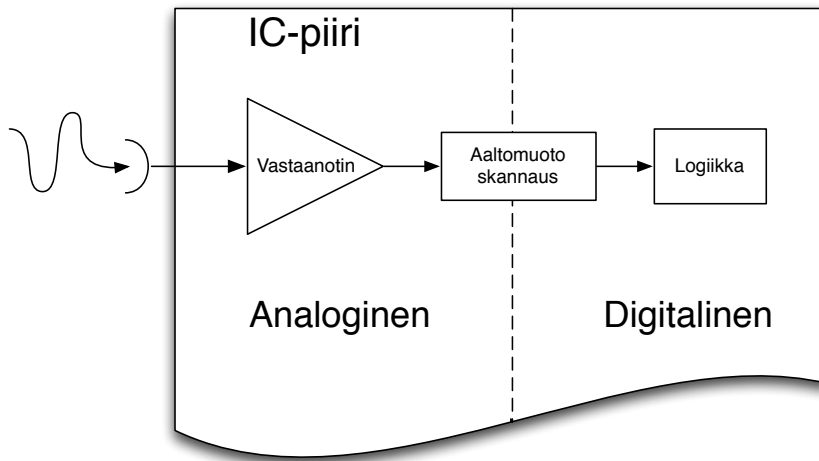
### 3.6 Vitesse Semiconductorin VScope

Vitesse Semiconductor on signaalin cheytyksen varmentamiseen keskittynyt yritys. Tietoliikennepiirien valmistaja on kehittänyt kaksois-kanavalähestymistavan, nimeltä VScope, saadakseen silmädiagrammin tai jonkin muun kaavion, joka osoittaa suur-nopeus vastaanottimien suorituskykyä. Primaarikanava on asetettu keskelle silmädiagrammia, kun taas sekundaarikkanava kerää vaiheen ja amplitudin tiedon täyttämään diagrammia. Saaduista tiedoista lasketaan BER-tiedon.

Sarjadatamäärät on kasvanut muutaman vuoden aikana voimakkaasti. Osittain johtuen hyödyistä jonka integroitu ekvalisaattori teknologialle on antanut. Nykysukupolven tiedon hajonta voi aiheuttaa ongelmatilanteen tavallisella oskilloskoopilla kun tehokkaasti taajuuskorjattu data on täysin puhdasta virheistä, saattaa silmädiagrammi olla täysin suljettu. Taajuuskorjaimen ollessa sulautettu vastaanottimien IC-piirille sen ulostulo ei ole enää saatavilla analogisienarvojen havainnointiin ja niiden suorituskyvyn selvittämiseen. [11.]

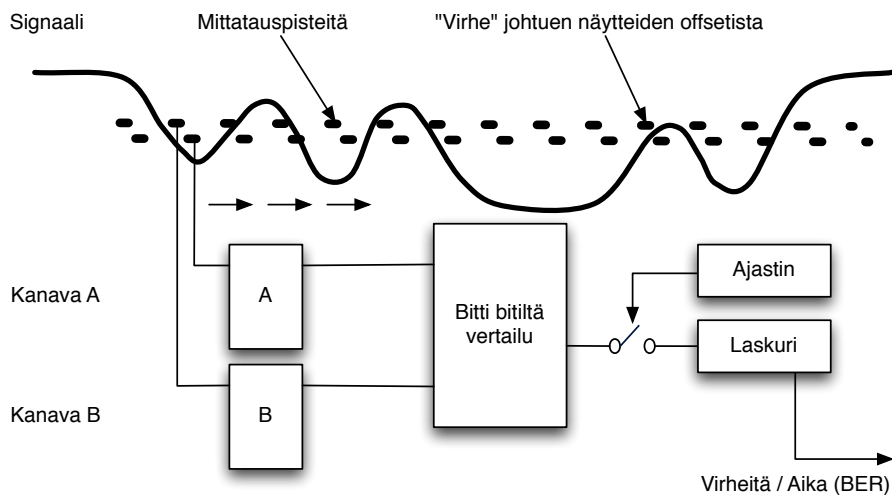
VScope on Vitessen patentoitu ratkaisu kyseiseen ongelmaan. Se tarjoaa järjestelmä suunnittelijalle suoran yhteyden signaalin arvoihin sarjaväylälle, näin mahdollistaen aaltokuviot jotka on generoitu käyttäen tavallisia laboratorio laitteita.

Sisällyttäminen alkaa paikantamisella funktion signaalin muutoksia analogisesta digitaaliselle puolelle. Se on paikka missä kummatkin niin analoginen data (hetkellinen jännite) ja säätö informaatio ovat saatavilla, kuten kuvassa 8 selviää.



Kuva 8. VScope skannauskohta piirillä.

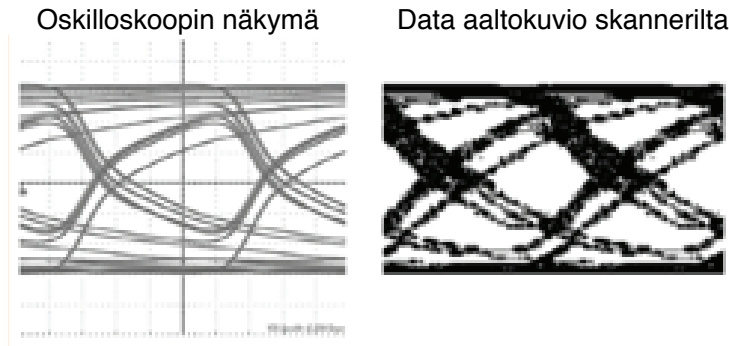
Laitteen arkkitehtuuri perustuu kahden-kanavan näyteistys lähestymistapaan. Kanavat voi asettaa suoraan päädatapolun vastaanottimelle. Peruseriaate pohjautuu kahden näytteen ottamiseen sisään tulevasta datavirrasta, jossa kummassakin näytteessä on aika- ja jännitearvot saatavilla, sekä mittaushetki jännitteelle ja bittivaiheen datasiignaalissa. Kummastakin kanavasta mitattuja tuloksia voidaan vertailla bitti bitiltä ja keräytyvät vertailuarvot aikajaksolta antaa vastaavan tuloksen kun BER testit.



Kuva 9. Näytteiden siirtymä aiheuttaa virheen.

Tulokset, jotka saadaan porttilaskureista heijastuvat kuhunkin näyteistys-kanavaan. Kun siirtymä kunkin näytteenotto paikkojen välillä kasvaa, tullaan pisteeseen jossa jotkin osat signaalista aiheuttavat ristiriidan kahden kanavan välillä (kuva 9). Kun siirtymä on kanavien välillä kasvanut vielä lisää, kasvattaa se myös kanavien välisien ristiriitatapausten määrää.

Kun mittaustuloksia prosessoidaan pitemmälle saadaan niistä silmäkaavio, joka muistuttaa hyvin paljon oskilloskoopin aaltokuviota kuten kuvassa 10 näkyy.



Kuva 10. testi signaalin vertailua

Kaksikanavainen arkkitehtuuri varmistaa tarkan korrelaation kerätystä tiedosta ja todellisen BER suorituskyvyn välillä. Tämä on mahdollista, koska aina käytetään yhtä kanavaa viemään dataa sillä aikaa kun toinen kanava skannailee virheitä. Kunnes skannaava kanava on päättänyt sen optimaalisin kohdan se voi vaihtaa tehtävänsä ja aloittaa tiedon keräämisen ja optimoida järjestelmää. Kahden kanavan välinen vaihto voidaan suorittaa ilman sen vaikuttamista tiedon eheyteen, jolloin skannaus silmäkuviota varten voidaan suorittaa suorana tietovirtana tai tarvittaessa.

Aaltokuvion sulautettu lukuteknologia mahdollistaa useita vaihtoehtoja suunnittelussa, arvioinnissa, tuotannossa ja käytettäessä suorituskyvykkäitä kommunikaatio välineitä. Järjestelmä kehittäjät saavat suoraan toiminta marginaalit heidän suunnitelmiinsa.

### 3.7 Maximin MAX16065/MAX16066

Maxim:n kiinnostuksen kohde on sulautettujen laitteiden järjestelmä-tason virranhallinnanvalvonta. Virranhallinta-piiri tältä yritykseltä sisältää työkaluja, jotta laitteet voi valvoa järjestystä, seurata ja rajata useita järjestelmäjäännitteitä, säätää jännitteet ennalta määrättyihin rajoihin ja tallentaa virheelliset tiedot tuleviin analyyseihin.

MAX16065/MAX16066 on ohjelmoitavia järjestelmän virran-/jännitteenhallintapiiri useisiin erilaisiin elektronisiin laitteisiin. MAX16065 voi tarkkailla yhtä aikaa 12 jännitettä, kun MAX16066 tarkkailee 8 jännitettä. Kumpikin laite voi tarkkailla yhtä virta-arvoa käyttäen tehtävään omistettua sähkövirran haistavaa vahvistinta. Laitteen asetustiedot, jotka sisältää jännite raja-arvoja, käynnistysjärjestykset ja ajoitus tiedot, tallennetaan vakaalle pitkäkestoiselle flash-muistille. Virhetilanteessa kaikki virheestä havainnot kuten virheliput ja kanavien jännitteet voidaan automaattisesti tallentaen myöskin pitkäkestoiselle flash-muistille. Täältä muistista saadaan luettua myöhemmin mitkä arvot olivat väärät ja mikä on voinut aiheuttaa virheen. [12.]

Sisäinen 1% tarkkuudella toimiva 10-bittinen analogi/digitaali-muunnin mittaa jokaista syöttölinjaa ja vertailee yhteen ylijännite-arvoon, yhteen alijännite-arvoon ja yhteen esiraja-arvoon jonka voi määrittää yli-/alijännitteksi. Jokaisesta raja-arvon rikkomisesta voi tehdä erillisen virheilmoituksen soveltuen jokaiseen virheympäristöön. Piirien pitkäkestoinen virhemuisti mahdollistaa virheen keruun myös sammuttamisvaiheessa. Virhe ilmoitukset tallennetaan sisäiselle flash-muistille ja automaattisesti laitetaan kirjoitussuojaus suojaamaan vahingolliselta poistamiselta. [12.]

Onnistuneen käynnistysajon jälkeen piiri siirtyy tarkkailemaan raja-arvoja, jotka sille on määrätty. Jokaisen mittauskierroksen(50 $\mu$ s, maksimi) jälkeen, sisäinen logiikka vertailee saatuja mitta-arvoja ennalta määrättyihin raja-arvoihin. Mikäli mittaustulos rikkoo raja-arvon, voidaan laite ohjelmoida antamaan virheen tai virhesarjan. Lisäksi voidaan käskä järjestelmän sammua ja aloittaa virheenkeruun pitkäkestoisella muistilla olevaan yksikköön, joka kirjaa kaikki tapahtumat ja kirjoitussuojaa tiedon.

Piireissä on kummatikin SMBus ja JTAG rajapinnat jonka avulla pääsee käsiksi rekistereihin, virhelokeihin sekä muuhun flash-muistiin. Rajapintojen yhtäaikainen käyttö ei ole mahdollista ja käynnistysajan aikana, joka kestää noin 150 $\mu$ s, sarjaliikenne on myös pois käytöstä.

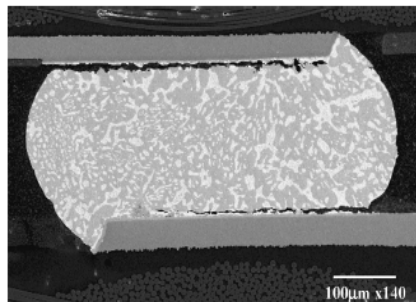
### 3.8 Ridgetop

Ridgetop on kehittänyt menetelmää, jolla havaitaan viallinen juotos BGA liitoksessa, käyttäen sulautettujen järjestelmien instrumentteja. Solder-joint built-in-self-test (SJ BIST) on kehitetty havaitsemaan korkea resistanssiset ja epäsäännölliset virheet käytönaikana FPGA piirien

juotoksissa. Kyseinen menetelmä on helppo implementoida järjestelmään ja tarvitsee vain lisäksi yhden pienen kondensaattorin, joka on ulkoisesti liitetty valittuihin testi pinneihin tai jokaiseen kahden pinnan ryhmään.[13.]

### 3.8.1 Mekaaniset virheet

Juotoksen vioittuminen termomekaanisen ja tärähdysrasituksen alla on kumulatiivista. Vahinko alkaa muodostua pienistä halkeamista ja lopulta päättyy juotosten pettämisiin täten aiheuttaen FPGA piiriin käytönaikaisia virheitä. Kuvassa 11 näkyy selvästi kuinka termomekaaninen rasitus vaurioittaa juotoksen laatua. Rasitus voi johtua muutoksista ympäristö- sekä käyttölämpötiloissa ja näiden lämpölaajenemisienkertoimien eroista. Rasite on voinut myös tapahtua tuotteeseen kuljetuksessa tai normaalissa käytössä vaativassa ympäristössä. Vaikka yksi tai useampi juotospallo on vahingoittunut, ei tämä aiheuta välitöntä virhetulvaa piirille. Toiset juotospallot BGA piirillä pitävät tämän viallisen pallo paikoillaan puristaen tätä piiriä vasten ja täten liitos ei välttämättä katkea.

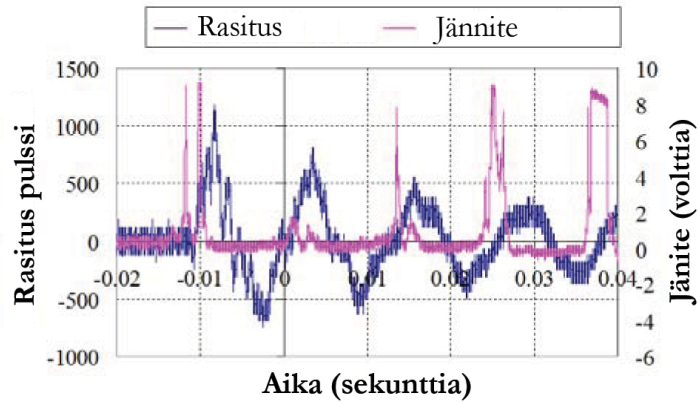


Kuva 11. Halkeaman kasvaminen juotospallossa [13]

Kuitenkin mekaaninen värinä ja iskut saattavat aiheuttaa halkeamien hetkellistä avautumista ja synnyttää vaikeasti havaittavia suuria –  $100\Omega$ ,  $300\Omega$ ,  $500\Omega$  jopa  $1000\Omega$  arvoisia resistansseja joiden kesto on nanosekunnin sadasosa tai alle,  $1\mu s$  luokkaa. Tästä syystä niiden havaitseminen on erittäin hankalaa.

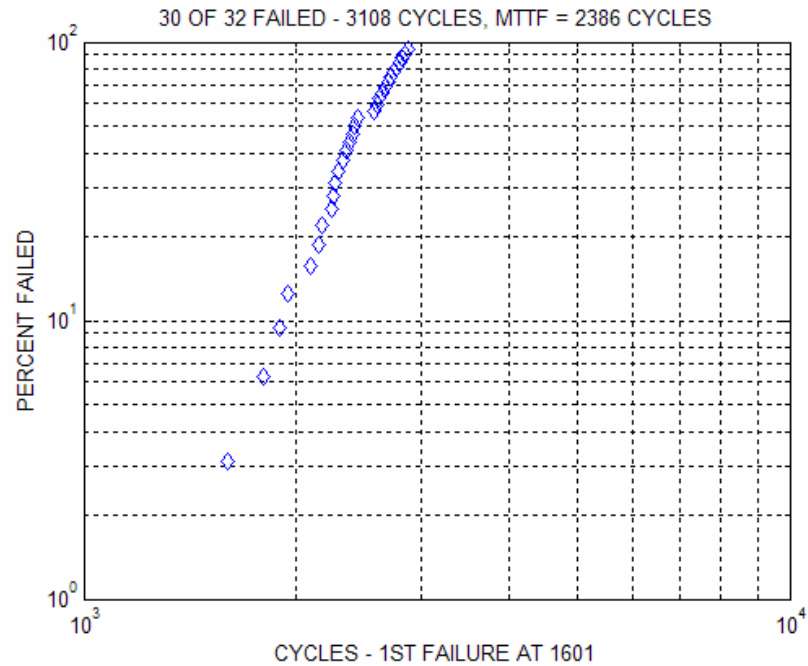
Nämä ajoittaiset viat lisääntyvät todistetusti, kun kirjataan BGA-piiriin käytönaikaisia virheitä, usean suuren resistanssin ollessa havaittuna. Vaikka kymmenen prosenttia juotoksista olisi viallisia, ei välttämättä ole havaittavissa käytönaikaisia virheitä. Voi olla, että jopa kokonainen juotosverkosto on viallinen eikä sekään aiheuta virhettä. Virhe saattaa olla maa- tai virtaliit-

timessä tai virhe tapahtuu silloin kun verkkoa ei käytetä. Myös voi olla tapaus, että vastuksen lisääntyminen on niin lyhyt aikainen, ettei aiheuta signaali virhettä. Kuvassa 12 näkyy kuinka rasitus lisää vaadittavaa jännitettä BGA piirillä, josta havaitaan että piirin resistanssi on kasvanut.



Kuva 12. Rasituspulssien vaikutus järjestelmän resistiivisyyteen

Kuvassa 13 on HALT-testituloksia laitteella XILINX FG1156. Testin 30 pakettia antoi virheen 32:sta kun syklejä oli 3108 kappaletta. Jokainen sykli toisti lämpötilamuutosta -55:stä aina 125:n celsius asteeseen. Lämpötilan muuttaminen tapahtui 30 minuutin aikana ja muutos tapahtui kolmen minuutin välein 18 astetta. Lisäksi ääriarvoissa pidettiin vielä 12 minuutin lämpötilan tasausaika. Kirjatut FPGA virheet esittävät vähintään 30 tapausta suuresta resistanssi arvoista. Virhe merkintä on tullut jos vähintään kaksi juotosta on antanut vastusarvoksi yli  $500\Omega$ , yhden lämpötilamuutossyklin aikana. Yksittäistä virhettä syklissä ei ole merkitty taulukkoon.[13.]



Kuva 13. Lämpötila syklien vaikutus juotosten laatuun HALT-testissä. [13]

### 3.8.2 Sijainnin vaikutus rasituksessa FPGA I/O porteissa

I/O-portit FPGA:n reunoilla BGA koteloinnissa, etenkin ne jotka ovat lähellä neljää kulmaa, kokee suurimman termomekaanisen rasituksen. Tästä syystä XILINX FG1156:n kulma I/O-juotospisteet on joko lisämaadoitus pisteitä tai sitten on pois käytöstä. Tästä johtuen ulko-reunan I/O-portit BGA-piireissä, jotka ovat lähellä kulmia, on suurella todennäköisyydellä niitä jotka vioittuvat ensimmäisten joukossa ja näitä lähtee SJ BIST tutkimaan ensimmäisenä.

### 3.8.3 Miksi SJ BIST tarvitaan

Nykypäivän BGA FPGA-piireillä, kuten hienojakoisella XILINX FG1156 on yli tuhat I/O porttia ja erittäin tiheät ja pienikokoiset juotospallot. Esimerkiksi FG1156 liitäntäpinta on 35mm x 35mm ja siinä on 34 x 34 palloa joiden koko on 0,60mm. Näiden pallojen tiheys on 1mm, täten jättäen vain 0,40mm pallojen väliin tilaa. Tämä aiheuttaa sen, että nopeita fyysisiä testimenetelmiä piirille ei ole. [13.]

Yksi tärkeistä syistä käyttää SJ BIST:ä näissä tapauksissa on se, että rasituksen suuruutta on vaikea määrittää, mikä taas johtaa epätarkkaan käyttöikä ennustuksiin. Myöskin syy käyttää sitä vaikka yksittäinen vioittunut juotos ei välttämättä aiheuta käyttövirheitä FPGA:ssa, mutta tämä silti tekee siitä epäluotettavan, koska on suurella todennäköisyydellä toisia I/O-portteja ilmaantuu, jotka ovat vioittuneet.

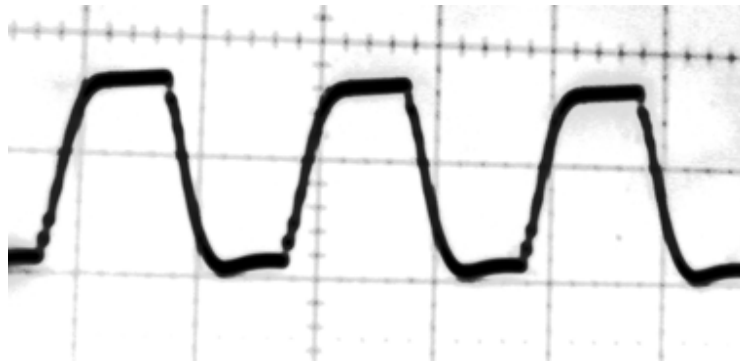
Ennen tätä innovaatiota ei ollut tiedettyjä menetelmiä käynnissä olevan ja täysin ohjelmoidun FPGA-piirin juotosten testaamiseksi. BGA-piirit eivät olleet myöskään kovin ihanteellisia testattavia luotettavuustestauksessa. Nämä ongelmat johtuvat siitä, että FPGA-piirin I/O-portit ovat digitaalisia eikä analogisia.

#### 3.8.4 SJ BIST yksinkertaisuudessaan

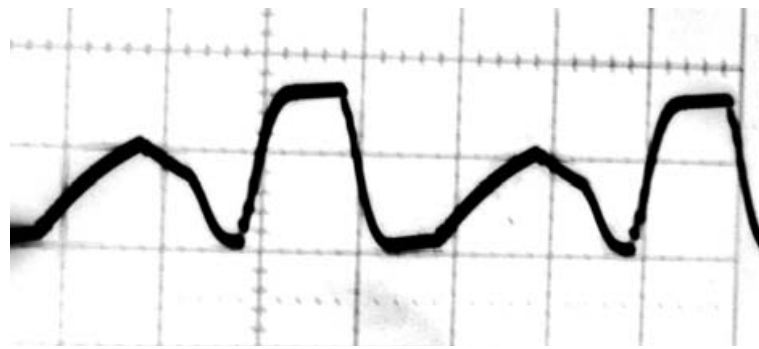
SJ BIST tarvitsee toimiakseen pienen kondensaattorin I/O-porttiin ja sijoitukseksi suositellaan porttia lähellä piirinkoteloinnin kulmaa. SJ BIST kirjoittaa loogisen 1-tilan varatakseen kondensaattorin ja tämän jälkeen lukee jännitteen varatun kondensaattorin yli. Kun juotokset ovat kunnossa on kirjoitus ladannut kondensaattorin täyteen ja lukeminen antaa näin vastaukseksi 1. Mikäli juotos verkko on vahingoittunut, RC kytkennän aikavakio tulee suureksi ja kondensaattori on vajaa varauksellinen, täten palauttaen 0-tilan ja tästä SJ BIST kirjoittaa virheilmoituksen.

Ensimmäisessä esimerkkitapauksessa juotokset ovat ehjiä. Kuvissa 14 ja 15 on normaali signaali, joka on mitattu 1.0 $\mu$ F kondensaattorista. Tämä on kytkettynä kahteen testattavaksi valittuun I/O-porttiin. Signaalin muutos aiheutuu kun SJ BIST kirjoittaa 1 ja 0 porttiin. [13.]





Kuva 14. 1 MHz taajuus normaali vastus  $<1\Omega$ , asteikko  $2\mu\text{s} \times 2.0\text{V}$  [13]



Kuva 15. 1Mhz taajuus vastus  $100\Omega$ , asteikko  $2\mu\text{s} \times 2.0\text{V}$  [13]

Varattu kondensaattori on luettu toisesta I/O-portista. SJ BIST kirjoittaa 1 ja 0 samaan kondensaattoriin ja lukee varauksen ensimmäisestä portista. Tässä esimerkki tapauksessa kyseessä oli ehjät juotokset.

Toisessa esimerkissä suur-resistiivinen virhe I/O-portissa estää kondensaattorin täydellisen varauksen, lisääntyneen resistiivisyyden takia. Tästä johtuen kondensaattorin jännite on alle 1.0V, kun sen pitäisi olla 3.3V silloin SJ BIST suorittaa lukutoiminnon. Silloin tulos on looginen 0 eikä 1, jolloin tulee virhe jonka laitteisto kirjaa.

Virhe, jossa kummatkin I/O-portit viallisia, voi johtaa tilanteeseen, ettei kondensaattorin varaus purkane 0 kirjoituksen aikana. Tähän on kehitetty oma virhelogiikkansa joka huomaa tämän ja alkaa kirjoittamaan jatkuvasti 0 kunnes varaus on purkautunut, ennen kuin jatkaa normaalia kirjoitus-luku logiikkaansa. [13.]

### 3.8.5 Yhteenveto SJ BIST:stä

BGA koteloitujen FPGA-piirien juotosten fyysiset vahingot niin termomekaaniset kuin tä-  
rähtely, voivat aiheuttaa ajoittaisissa tapauksissa vaikeasti havaittavia suur-resistiivisiä piükke-  
jä. Luotettavuus testauksessa virheet ovat usein määritelty resistanssi piükkeinä jotka ovat yli  
100 $\Omega$  ja ajalliselta kestoaltaan alle 100ns. Aiemmin ei ole ollut mahdollista havaita suur-  
resistanssista piikkiä juotosverkossa laitteen ollessa käynnissä ja täysin ohjelmoituna.

SJ BIST:n vahvuuksiin lukeutuu myös sen mahdollisuus käyttää ajossa olevia FPGA-piirejä,  
koska on hankalaa saada oikeankaltaista rasiusta, millä testata tuotteen elinkaariennusteita.  
Vaikka yksittäinen vahingoittunut juotos ei välttämättä aiheuta välitöntä vaaraa FPGA:n käy-  
tössä, vahingosta voidaan kuitenkin päätellä FPGA:n olevan epäluotettava. SJ BIST:ä voi-  
daan myös käyttää tuotteen valmistuksen aikaiseen testaamiseen, jolla saadaan tutkittua vir-  
hetiloja joita saattaa esiintyä piirilevyllä FPGA asennuksessa.

Kahdenlaisia SJ BIST ytimiä on suunniteltu: Yksi ja kaksi porttisia. Kaksi porttinen SJ BIST  
on ohjelmoitu, simuloitu, syntetisoitu ja ladattu FPGA-piirille kehitysalustalle, ja testattu la-  
boratoriossa. Testitulokset näyttivät, että SJ BIST ydin havaitsi oikein ja raportoi virheinä  
tapaukset, jonka resistiivisyys oli suuri(100 $\Omega$  tai enemmän). Testitulokset jotka antoivat tu-  
loksen 1.0 $\Omega$  tai alle, ilmoitettiin raportissa virheettöminä.

#### 4 ANALYSOINTI

Laitteistot ja ohjelmistot, joita sulautettu instrumentointi tarjoaa, mahdollistaa paljon sellaisia asioita, joita ei edes viisi vuotta sitten ollut mahdollisia. Testaamisen monimuotoisuus on taas kasvanut voimakkaasti. Instrumentointi vähentää huomattavasti tarvittavien laitteiden määrää erilaisissa testausprojekteissa.

Tehdessäni tätä työtä havaitsin harmikseni, että en itse pääse näkemään, kuinka laitteet havaitsivat virheen vaan jouduin luottamaan vain muiden antamiin tuloksiin. Tämän haittapuolena on se, etten voi antaa puolueetonta mielipidettäni tuotteesta vaan joudun luottamaan valmistajan tuottamaan tekstiin. Näiden tekstien haittapuolena on mainospuheet, joilla valmistajat yrittävät saada tuotettaan kaupattua mahdollisimman tehokkaasti.

Laitteiden sopivuudesta koulutus käyttöön voin todeta, että sulautettujen järjestelmien laitteet ja ohjelmistot ovat omiaan koulutuskäyttöön. Laitteet ovat pieniä ja ne voidaan yhdistää tavallisiin tietokoneisiin. Niiden avulla olisi mahdollista helposti luoda luokka, jossa voidaan kirjoittaa testausproseduureja ja ajaa niitä testi alustoilla. Useampi oppilas pääsee kokoilemaan laitteen toimivuutta ja havaitsee, ettei varmojen testaustulosten saavuttamiseen ei tarvita kalliilta testaus laitteita. Opiskelijan kannalta on äärimmäisen tärkeää, että hän itse pääsee käsiksi laitteeseen. Laitteiden hinta mahdollistaa useamman laitteen hankkimisen opetus käyttöön.

Valmistajat tarjoavat laitteilleen koulutus päiviä, Internet-luentoja ja oppimateriaalia. Itse koekelin muutamia Internet-luentoja ja havaitsin niissä oleva eroja, niin esitystavoissa kuin sisällön laadussa. Joissain Internet-luennoissa oli mukana interaktiivisia testilomakkeita, kun taas toisissa oli pelkkä luentovideo. Useampiin verkkoluentoihin tarvittiin kirjautuminen verkkopalveluun tai vähintään sähköpostiosoitteen antaminen, jotta verkkoluentoonsa pääsi osallistumaan.

## 5 YHTEENVETO

Sulautettujen instrumenttien yhä pienenevät komponenttikoot on mainio esimerkki siitä mihin suuntaan kehitys on menossa. Niiden koko pienenee, mutta ominaisuudet kasvavat ja antavat meille mahdollisuuksia pienentää koko laitteen mittoja, vähentämättä sen tärkeitä testaus tai muitakaan ominaisuuksia. On myös upeaa huomata kuinka tekniikka ottaa vastaan tulevaisuuden haasteet korkeammista väylänopeuksista ja muustakin laitteiston kehittymisestä.

Työkaluvalmistaja saavat testaamisen kuulostamaan helpolta, mutta kuitenkin tehokkaalta. Tutkiessa eri valmistajien tuotteita havaitsin kuitenkin, etteivät työkalut ole välttämättä kovin yksiselkoisia, mutta onneksi he myöskin tarjoavat kattavia koulutuspaketteja sekä verkko-oppitunteja. Esimerkiksi Xilinxin verkko-oppitunnit ovat todella hyviä ja ne tarjoavat paljon oppimateriaalia järjestelmä suunnittelijoille ja muillekin tuotteen käyttäjille. Muutkin valmistajat tarjoavat opetusta laitteilleen, mutta Xilinx on selkeästi yksi niistä, joka astui tässä asiassa edelle muita.

Suunnitellessa testausproseduureja tulee väistämättä aikoja jolloin tulee mietittyä kustannuksia ja kuinka niitä tulisi välttää. Piireihin sulautettu instrumentointi on mainio tapa säästää kustannuksissa, mikäli vain löytää käyttöön sopivan komponentin, jolla korvata isoja ja kömpelöitä testilaitteita. Esimerkiksi röntgen laitteella näkee viallisen juotospallon BGA piirillä, mutta laitteen koko ja nopeus ei ole mitään verrattuna Ridgetopin SJ BIST testauksen nopeuteen. Näin testauksesta tulee nopeampaa ja tuote saadaan markkinoille entistä aiemmin, kuitenkin menettämättä testauksen antamaa varmuutta laitteen toimivuudesta.

Näin voin todeta sulautettujen laitteiden todellakin vakuuttaneen minut kyvyillään suoriutua testeistä käyttäen piirin sisäisiä laitteita. IC-piireihin sulautettu instrumentointi ja sen soveltaminen sulautetuissa järjestelmissä vaikuttaa olevan tulevaisuuden suunta.

## LÄHTEET

- [1] What is Embedded Instrumentation?, luettu 19.04.2010 [verkkojulkaisu] saatavilla: [http://www.asset-intertech.com/embedded\\_instrumentation\\_faq.html](http://www.asset-intertech.com/embedded_instrumentation_faq.html)
- [2] Embedded instrumentation and boundary scan, julkaistu 1.9.2008 [verkkojulkaisu] saatavilla: [http://www2.electronicproducts.com/Embedded\\_instrumentation\\_and\\_boundary\\_scan\\_article-FAJH\\_Asset\\_Sep2008-html.aspx](http://www2.electronicproducts.com/Embedded_instrumentation_and_boundary_scan_article-FAJH_Asset_Sep2008-html.aspx)
- [3] Embedded Instrumentation: Its Importance and Adoption in the Test & Measurement Marketplace, A Frost & Sullivan White Paper, sähköpostin liitetiedosto "Frost & Sullivan White Paper - Embedded Instrumentation in T&M V2.pdf" lähettäjänä Sarah Saatzler Frost & Sullivan yrityksestä. Sarah.Saatzler@frost.com 20.04.2010
- [4] Glenn Woppman, Embedded Instrumentation Ushers in a New Era for the Test and Measurement Industry luettu 19.04.2010 [verkkojulkaisu] saatavilla: [http://www.asset-intertech.com/pressroom/whitePapers/Position\\_Paper\\_2008.pdf](http://www.asset-intertech.com/pressroom/whitePapers/Position_Paper_2008.pdf)
- [5] Fact Sheet on the IBIST QPI Toolkit for ScanWorks, luettu 19.04.2010 [verkkojulkaisu] saatavilla: [http://www.asset-intertech.com/pdfs/QPI\\_Validation\\_Toolset.pdf](http://www.asset-intertech.com/pdfs/QPI_Validation_Toolset.pdf)
- [6] An Introduction to the Intel® QuickPath Interconnect luettu 19.04.2010 [verkkojulkaisu] saatavilla: <http://www.intel.com/technology/quickpath/introduction.pdf>
- [7] ScanWorks will be first to support Intel's next-generation design validation and test methodology – Intel® IBIST luettu 20.04.2010 [verkkojulkaisu] saatavilla <http://www.asset-intertech.com/connect/2004Q4/ibist.htm>
- [8] Synopsys DesignWare Library, luettu 19.04.2010 [verkkojulkaisu] saatavilla: <http://www.synopsys.com/IP/DesignWare/>
- [9] ChipScope Pro 11.1 Software and Cores User Guide, luettu 19.04.2010 [verkkojulkaisu] saatavilla: [http://www.xilinx.com/support/documentation/sw\\_manuals/xilinx11/chipscope\\_pro\\_sw\\_cores\\_11\\_1\\_ug029.pdf](http://www.xilinx.com/support/documentation/sw_manuals/xilinx11/chipscope_pro_sw_cores_11_1_ug029.pdf)

[10] Stratix II GX Device Handbook, Volume 1. luettu 19.04.2010 [verkkojulkaisu] sijainti:  
[http://www.altera.com/literature/hb/stx2gx/stxiigx\\_handbook.pdf](http://www.altera.com/literature/hb/stx2gx/stxiigx_handbook.pdf)

[11] VScope Embedded Waveform Viewing, luettu 19.04.2010 [verkkojulkaisu] sijainti:  
<http://www.vitesse.com/vscope/>

[12] MAX16065, MAX16066, 12-Channel/8-Channel Flash-Configurable System Managers with Nonvolatile Fault Registers Datasheet, luettu 19.04.2010 [verkkojulkaisu] saatavilla:  
<http://datasheets.maxim-ic.com/en/ds/MAX16065-MAX16066.pdf>

[13] Real-Time BIST Detector for BGA Faults in Field Programmable Gate Arrays (FPGAs), luettu 19.04.2010 [verkkojulkaisu] saatavilla:  
[http://www.ridgetopgroup.com/pubs/whitepapers/RT\\_BIST\\_Detector-07.pdf](http://www.ridgetopgroup.com/pubs/whitepapers/RT_BIST_Detector-07.pdf)

