



samk



Satakunnan ammattikorkeakoulu
Satakunta University of Applied Sciences

TUOMAS NISU

X86-64 prosessoriarkkitehtuurin lä- himenneisyys ja lähitulevaisuus

TIETO- JA VIESTINTÄTEKNIIKAN TUTKINTO-OHJELMA
2016

Tekijä(t) Nisu, Tuomas	Julkaisun laji Opinnäytetyö, AMK	Päivämäärä toukokuu 2021
	Sivumäärä 106	Julkaisun kieli Suomi
Julkaisun nimi X86-64 prosessoriarkkitehtuurin lähimenneisyys ja lähitulevaisuus		
Tutkinto-ohjelma Tieto- ja viestintäteknikka		
<p>Tiivistelmä</p> <p>Tämän opinnäytetyön tarkoitus on tutkia x86-64 prosessoriarkkitehtuurin lähimenneisyyttä ja lähitulevaisuutta.</p> <p>Työn alussa annetaan taustatietoa AMD:n ja Intelin prosessoreiden rakenteesta, ja prosessorin valmistuksesta lyhyesti. Tämän jälkeen käydään läpi AMD:n ja Intelin prosessoriarkkitehtuuri sukupolvia Zenin julkaisusta eteenpäin ja hieman tulevaisuuteen. Näitä sukupolvia vertaillaan edellisiin, ja työhön on liitetty rakennetta selventäviä kuvia tarpeen mukaan.</p> <p>Lopuksi tehdään yhteenveto muutoksista, joita nämä arkkitehtuurit ovat käyneet läpi, ja mitä muutoksia opinnäytetyössä tehdyn selvityksen perusteella voidaan tulevaisuudessa odottaa prosessorien kehityksessä.</p>		
<p>Asiasanat Mikroprosessorit, arkkitehtuuri, vertailu, kehitys</p>		

Author(s) Nisu, Tuomas	Type of Publication Bachelor's thesis	Date May 2021
	Number of pages 106	Language of publication: Finnish
Title of publication The recent past and near future of X86-64 processor architecture		
Degree program Information- and communication Technologies		
Abstract The purpose of this thesis is to examine the recent past and near future of x86-64 processor architecture. At the beginning of this thesis background information is given on the structure of AMD and Intel processors, and briefly, on the manufacturing of a processor. Then AMD's and Intel's processor architecture generations are gone through from Zen's release onwards and a little into the future. These generations are compared with the previous generation and pictures explaining their structure are included as needed. Finally, a summary is made of the changes that these architectures have gone through, and what changes the future will bring based on the study made in this thesis.		
<u>Key words</u> Microprocessors, architecture, comparison, development		

SISÄLLYS

1 JOHDANTO	8
1.1 Mikä on prosessori?	8
1.2 Mitä prosessoriarkkitehtuuri tarkoittaa?	8
1.3 EDA työkalut	8
2 TAUSTA	9
2.1 AMD – Advanced Micro Devices.....	9
2.2 Infinity Fabric.....	9
2.3 Mikä on Core Complex (CCX)?	10
2.4 Core Complex Die (CCD).....	10
2.5 Chiplet tai MCM suunnittelu (Multi-chip Module)	11
2.6 Intel	12
2.7 Ring Bus.....	12
2.8 Ring Bus korkea ydinlukuisissa Xeoneissa.....	13
2.9 Prosessorin valmistus lyhyesti	16
2.10 Mikä on die (englantia)?	16
3 SELVITYS.....	17
3.1 AMD:n ja Intelin työpöytä ja harrastaja/työasema -tasoisten prosessoreiden julkaisut	17
3.2 AMD:n 1. sukupolvi: Zen	19
3.2.1 Etymologia.....	19
3.2.2 Prosessitekniikka	19
3.2.3 Ominaisuudet.....	19
3.2.4 Tuoteperheet	28
3.3 AMD:n 2. sukupolvi: Zen +	30
3.3.1 Ominaisuudet.....	30
3.3.2 Avain muutoksia Zen:stä	30
3.3.3 Tuoteperheet	31
3.4 AMD:n 3. sukupolvi: Zen 2	32
3.4.1 Ominaisuudet.....	32
3.4.2 Avainmuutoksia Zen +:sta.....	33
3.4.3 Rakenne	34
3.4.4 Tuoteperheet	36
3.5 AMD:n 4. sukupolvi: Zen 3	37
3.5.1 Ominaisuudet.....	37
3.5.2 Avain muutokset Zen 2:sta	37

3.5.3 Rakenne	38
3.5.4 Tuoteperheet	38
3.6 Intel 7. sukupolven Core: Kaby Lake	40
3.6.1 Tick-tock.....	40
3.6.2 Process-architecture-optimization	40
3.6.3 Ominaisuudet.....	40
3.6.4 Avain muutokset Skylakesta.....	41
3.6.5 Rakenne	42
3.6.6 Tuoteperheet	46
3.7 Intel 8. sukupolven Core: Amber Lake ja Whiskey Lake	47
3.7.1 Ominaisuudet.....	47
3.7.2 Avain muutokset Kaby Lake R:stä	47
3.7.3 Tuoteperheet	48
3.8 Intel 8. sukupolven Core: Coffee Lake	49
3.8.1 Ominaisuudet.....	49
3.8.2 Avain muutoksia Kaby Lakesta.....	49
3.8.3 Tuoteperheet	50
3.9 Intelin 2. sukupolven Xeon: Cascade Lake.....	52
3.9.1 Ominaisuudet.....	52
3.9.2 Avain muutoksia Skylakesta.....	52
3.9.3 Rakenne	54
3.9.4 UPI.....	56
3.9.5 Paketti	59
3.9.6 Uudet teknologiat.....	62
3.9.7 Tuoteperheet	62
3.10 Intelin 10. sukupolven Core: Comet Lake	64
3.10.1 Ominaisuudet.....	64
3.10.2 Avain muutoksia Coffee Lakesta.....	64
3.10.3 Tuoteperheet	65
3.11 Intelin 3. sukupolven Xeon: Cooper Lake	66
3.11.1 Ominaisuudet.....	66
3.11.2 Avain muutokset Cascade Lakesta	66
3.11.3 Tuoteperheet	67
3.12 Intelin 8. sukupolven Core: Cannon Lake.....	68
3.12.1 Ominaisuudet.....	68
3.12.2 Avain muutokset Skylakesta.....	68
3.12.3 Prosessorit.....	69

3.13 Intelin 10. sukupolven Core: Ice Lake	70
3.13.1 Ominaisuudet.....	70
3.13.2 Avain muutokset Cannon Lakesta/Skylakesta.....	70
3.13.3 Rakenne	72
3.13.4 Tuoteperheet	75
3.14 Intelin 1. sukupolven hybridi Core: Lakefield	76
3.14.1 Ominaisuudet.....	76
3.14.2 Rakenne	77
3.15 Intelin 3. sukupolven Xeon: Ice Lake	78
3.15.1 Ominaisuudet.....	78
3.15.2 Avain muutokset Cascade Lakesta	78
3.15.3 Rakenne	80
3.15.4 Tuoteperheet	81
3.16 Intel kertoo tuovansa ‘Tick-tock’ mallin takaisin henkiin	81
3.17 Intelin 11. sukupolven Core: Rocket Lake.....	83
3.17.1 Ominaisuudet.....	83
3.17.2 Avain muutoksia Comet Lakesta:.....	83
3.17.3 Tuoteperheet	84
3.18 Intelin 11. sukupolven Core: Tiger Lake	85
3.18.1 Ominaisuudet.....	85
3.18.2 Avain muutokset Ice Lakesta:	85
3.18.3 Rakenne	86
3.18.4 Tuoteperheet	88
4 ENNUSTE	89
4.1 Intelin 12. sukupolven Core: Alder Lake.....	89
4.1.1 Avain muutoksia Rocket Lakeen verrattuna.....	90
4.2 AMD:n Zen 3 Warhol (Vermeer refresh)	92
4.3 AMD:n 6. sukupolvi: Zen 4	94
4.4 Intelin 13. sukupolven Core: Meteor Lake	95
4.5 Intelin 4. sukupolven Xeon: Sapphire Rapids.....	96
5 YHTEENVETO	98
5.1 Työn pohdinta	98
5.2 Työn yhteenveto.....	98
LÄHTEET	

SYMBOLI- JA LYHENNELUETTELO

APU = Accelerated Processing Unit (kiihdytetty prosessori; prosessori, jossa on sisäinen näytönohjain)

CPU = Central Processing Unit (prosessori)

Gen = Generation (sukupolvi)

GPU = Graphics Processing Unit (näytönohjain)

HEDT = High-end Desktop (huippuluokan työpöytä)

HT = Hyper-Threading

iGPU = integrated Graphics Processing Unit (sisäinen näytönohjain)

IPU = Image Processing Unit (kuvankäsittely-yksikkö)

SoC = System on Chip (järjestelmä sirulla)

1 JOHDANTO

1.1 Mikä on prosessori?

Kaikki prosessorit suorittavat prosessointia, mikä vaatii datan liikkumista. Bitit 1 ja 0 liikkuvat prosessorin sisuksissa nanometri-mittakaavan välillä, tehden miljardeja syklejä sekunnissa. Datan liikuttelu avainelementtien, kuten ytimien, muistin ja I/O kontrollereiden kesken, on yksi suurimmista haasteista prosessori suunnittelussa. (Alcorn, Intel Introduces New Mesh Architecture For Xeon And Skylake-X Processors, 2017.)

1.2 Mitä prosessoriarkkitehtuuri tarkoittaa?

Prosessorisirun arkkitehtuuri on kuvaelma sen peruskomponenteista ja sen perusoperaatioista (Central Connecticut State University, 2015).

1.3 EDA työkalut

Prosessoreiden, kuten monien muidenkin laitteiden suunnittelussa, käytetään apuna tietoteknisiä ohjelmia.

EDA on lyhenne sanoista Electric Design Automation, ja tunnetaan myös nimellä Electronic Computer-Aided Design (ECAD), se on ohjelmistotyökalukategoria elektronisten järjestelmien suunnitteluun. (Consortium, n.d.)

Kuvittele ero pienen talon suunnittelun ja korkean pilvenpiirtäjän suunnittelun välillä. Pilvenpiirtäjää varten sinun on suunniteltava monimutkaiset rakenne-, sähkö-, putkisto-, turvallisuus- ja ympäristöjärjestelmät, viestintä- ja tietokoneverkot, hissit jne., jotka kaikki toimivat yhdessä. Tämä on analogista monimutkaisuuden dramaattiseen

lisääntymiseen, joka suunnittelijoiden on tänä päivänä päihitettävä elektroniikassa. (Consortium, n.d.)

Monimutkisuus asettaa tarvetta automaatiolle. Insinöörien täytyy vahvistaa konseptinsa, mallintaa ja analysoida suunnitelmansa, ja eliminoida ongelmat ennen tuotantositoumusten tekemistä. EDA auttaa heitä tekemään nämä asiat oikein. (Consortium, n.d.)

EDA työkalut toimivat yhdessä, suunnitteluvirrassa, jota sirusuunnittelijat käyttävät kokonaisten puolijohdesirujen suunnitteluun ja analysointiin (Wikipedia, Electronic design automation, n.d.).

2 TAUSTA

Tässä kappaleessa esitellään prosessoreiden valmistajia ja valmistukseen liittyviä käsitteitä.

2.1 AMD – Advanced Micro Devices

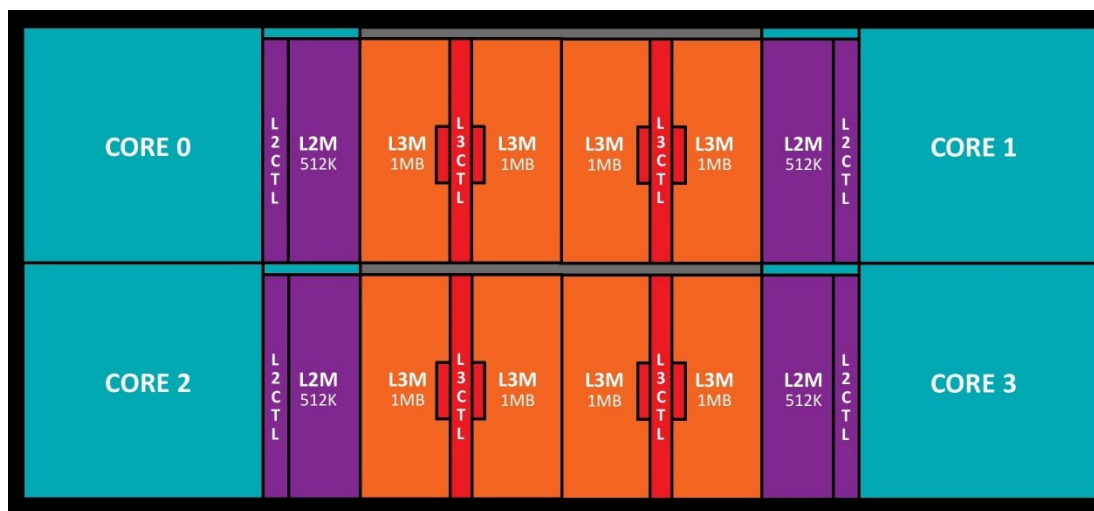
”Advanced Micro Devices, Inc. on vuonna 1969 perustettu yhdysvaltalainen puolijohdevalmistaja. Yhtiö valmistaa muun muassa suorittimia, RAM-muistipiirejä, grafiikkasuorittimia ja emolevyjen piirisarjoja. Yhtiö on Intelin jälkeen maailman toiseksi suurin x86- ja x86-64-arkkitehtuurien suoritinvalmistaja.” (Wikipedia, AMD, n.d.)

2.2 Infinity Fabric

Infinity Fabric (IF) on oma järjestelmäyhteysarkkitehtuuri, joka helpottaa tietojen ja ohjauksen siirtämistä kaikkien linkitettyjen komponenttien välillä (WikiChip, n.d.).

2.3 Mikä on Core Complex (CCX)?

CCX on termi, jota käytetään AMD:n prosessoreissa. Se viittaa neljän prosessorin ryhmään ja niiden välimuisteihin (L1, L2, L3). AMD:n Infinity Fabric yhdistää monta CCX:ää toisiinsa, luoden Ryzen prosessorin. (Harding, 2019.) Kuvassa 1 on CCX:n havainnollistaminen.



Kuva 1. CCX on neljä ydintä yhdistettynä L3 välimuistiin (Cutress, The AMD Zen and Ryzen 7 Review: A Deep Dive on 1800X, 1700X and 1700: The Core Complex, Caches, and Fabric, 2017)

2.4 Core Complex Die (CCD)

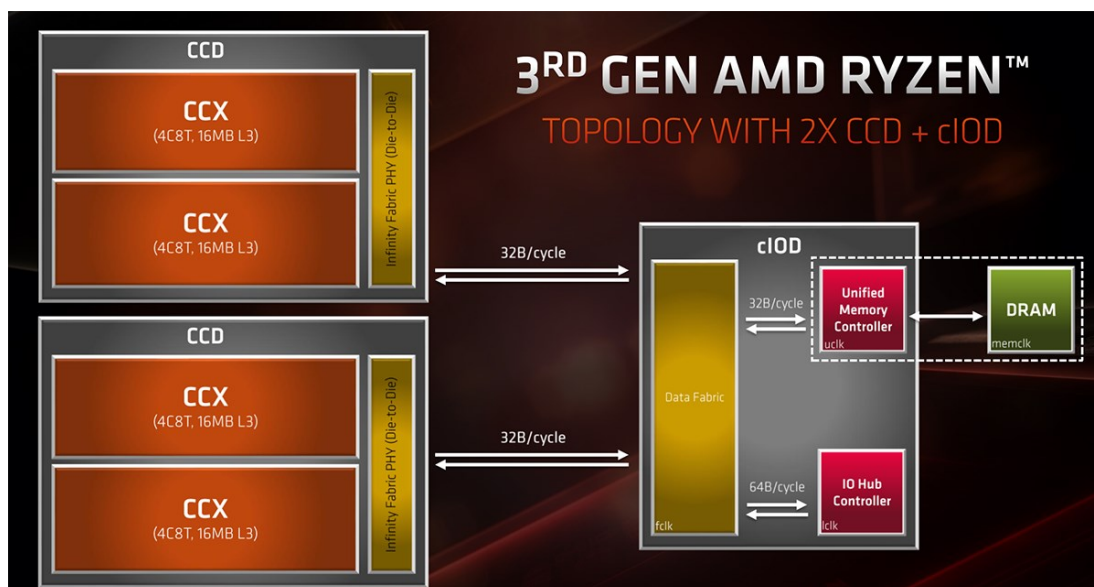
Zen 2 arkkitehtuurissa AMD siirtyi käyttämään siruja, chiplettejä prosessoreidensa osina. Yksi ydinten siru sisältää kaksi CCX:ää IF:lla toisiinsa liitettynä, kuten kuvassa 2 näkyy. (Areej, 2021.)



Kuva 2. CCD on siru, joka sisältää kaksi CCX:ää (Sandhu, 2019)

2.5 Chiplet tai MCM suunnittelu (Multi-chip Module)

Zen 2 prosessorit koostuvat Core Complex siruista ja I/O sirusta, kuten kuvassa 3 näkyy. I/O siru hoitaa kommunikaation, muistinohjauksen ja PCIe:n. Etuna tällä suunnittelulla on se, että I/O sirun suhteellisesta yksinkertaisuudesta johtuen, se voidaan valmistaa vanhempaa, kypsempää valmistusprosessia hyödyntäen. (Sandhu, 2019.)



Kuva 3. Ryzen 3000 sarja koostuu yhdestä tai kahdesta CCD:stä ja yhdestä I/O sirusta (Sandhu, 2019)

Kaikkissa Ryzen osissa, jopa neliytimisissä yksilöissä, on mukana vähintään yksi CCD. Niissä vain on eri määrät ytimiä poistettu käytöstä per CCX. (Areej, 2021.)

2.6 Intel

Intel on yhdysvaltalainen vuonna 1968 perustettu monikansallinen teknologiayhtiö ja yksi maailman suurimpia puolijohteiden valmistajista. Intelin tunnetuimpia tuotteita ovat mikroprosessorit. Intel kehitti PC-yhteensopivien tietokoneiden suorittimien x86-käskykannan ja on maailman suurin näiden suorittimien valmistaja.

Yrityksen pahin kilpailija on historiallisesti ollut AMD, jonka kanssa Intel on kamppailut PC-suorittimien markkinoista. (Wikipedia, Intel, n.d.)

2.7 Ring Bus

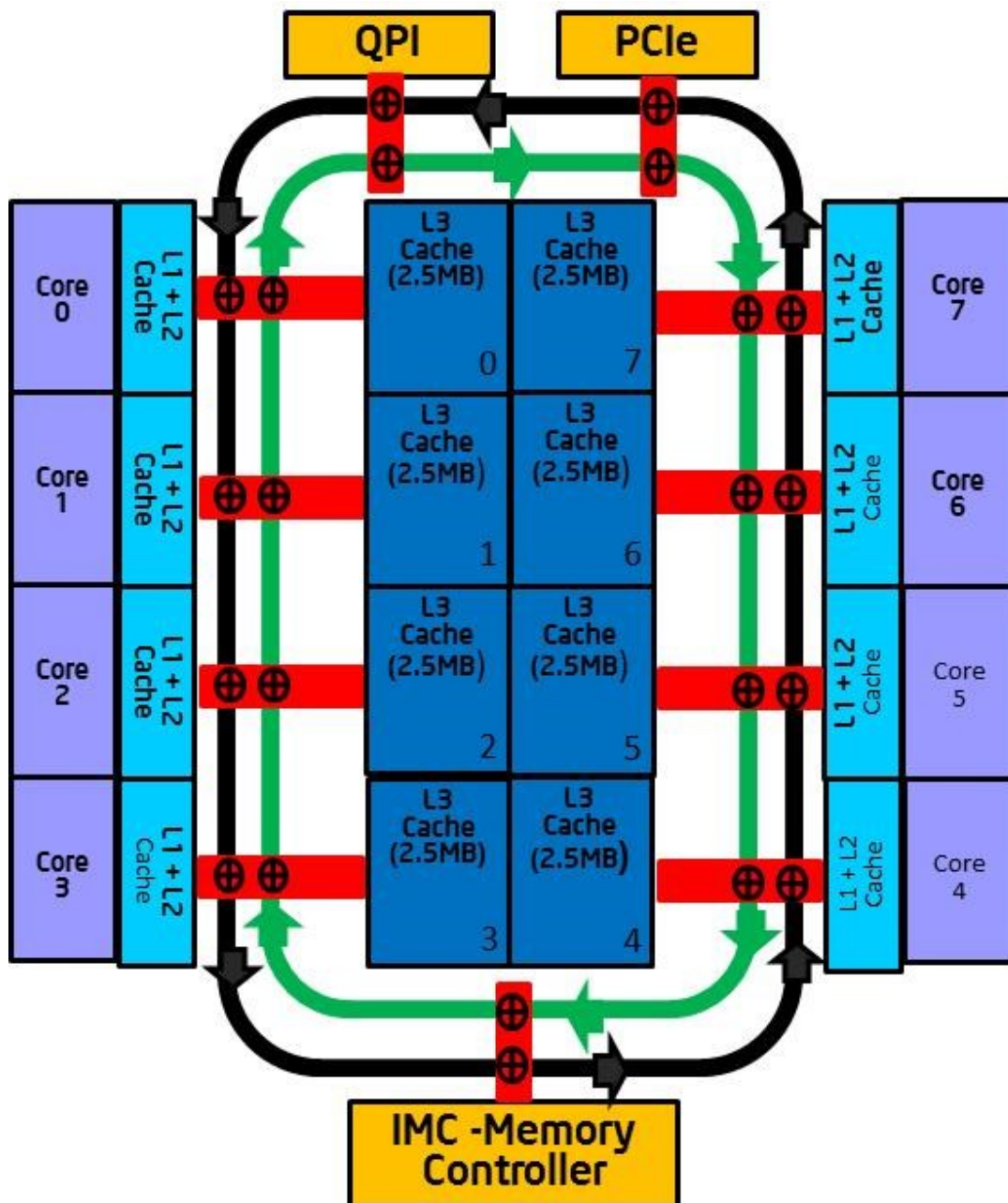
Pähkinänkuoressa Ring Bus on valttie datan siirtämiselle. Se on ytimien, iGPU:n, L3 välimuistin ja System Agentin yhteen liitännä. (Salazar, 2020.) Ring Bus näkyy kuvassa 4.

Ring Bus on jaettu neljään eri kaistaan: Data kaistaan, Request kaistaan, Acknowledge kaistaan ja Snoop kaistaan. Data kaista siirtää dataa, Request kaista vie pyyntöjä, Acknowledge kaista vahvistaa pyynnön, Snoop kaista etsii aktiivisesti pyyntöjä muilta järjestelmäagenteilta. Yhdessä nämä pienentävät viivettä ja maksimoivat ytimien suorituskyvyn. (Salazar, 2020.)

Ring Busin viive on luonnostaan pieni sen suunnittelun takia, sillä data liikkuu fyysisesti lyhintä mahdollista reittiä järjestelmäagenttien välillä. Ringin kaistaleveys skaalautuu ydin luvun kanssa, mikä tekee mallista hyvän suurimpaan osaan kuluttajatasen prosessoreita. (Salazar, 2020.)

On kuitenkin olemassa pehmeä raja, kuinka montaa järjestelmäagenttia Ring Bus pystyy tukemaan, sillä suurempi määrä ytimiä tarkoittaa, että ytimet ovat kauempana toisistaan, mikä taas aiheuttaa lisää viivettä. (Salazar, 2020.)

Tähän mennessä 10 ydintä on korkein määrä, jonka Intel on Ring Busia hyödyntäen tuonut kuluttajatasolle.

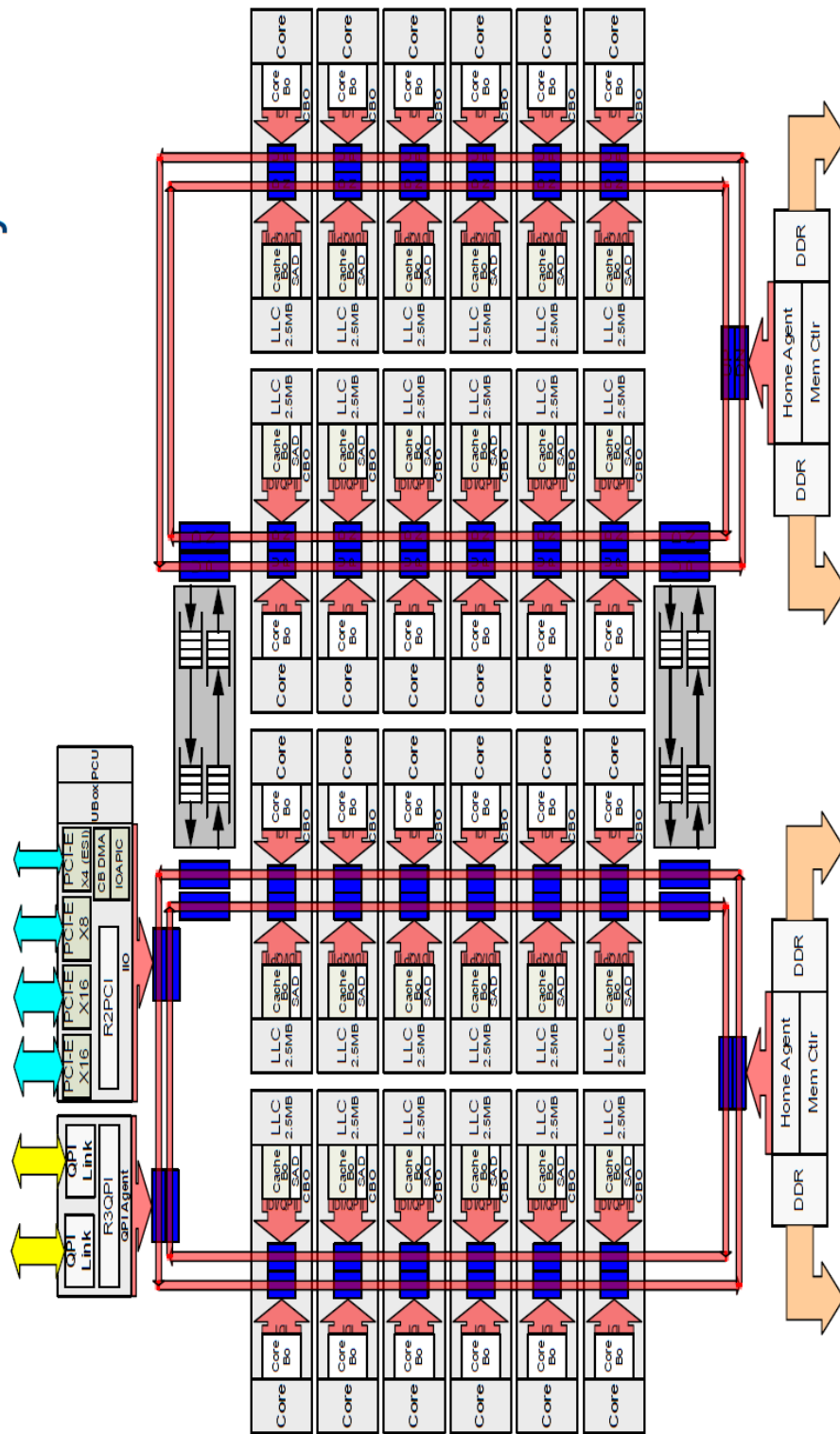


Kuva 4. Intel Ring Bus (Shrout, 2017)

2.8 Ring Bus korkea ydinlukuisissa Xeoneissa

Kuten kuvista 5 ja 6 näkyy, korkea ydinlukuisissa Xeon prosessoreissa Intel käyttää useampaa Ring busia (Cutress, The Intel Skylake-X Review: Core i9 7900X, i7 7820X and i7 7800X Tested: Intel makes a mesh: new core-to-core communication paradigm, 2017).

Intel® Xeon® Processor E5 v4 Product Family HCC



Kuva 6. Korkea ydinlukuisen Xeonin ring bus (Cutress, The Intel Skylake-X Review: Core i9 7900X, i7 7820X and i7 7800X Tested: Intel makes a mesh: new core-to-core communication paradigm, 2017)

2.9 Prosessorin valmistus lyhyesti

Transistorit ovat nykyään niin pieniä, että valmistajat eivät pysty tekemään niitä normaalein metodein (Heddings, 2019).

Fotolitografia ratkaisee tämän ongelman poistamalla tarpeen liikuttaa monimutkaista mekaanista koneistoa ympäriinsä suurella tarkkuudella. Sen sijaan se käyttää valoa syövyttääkseen piirin kuvan sirulle. (Heddings, 2019.)

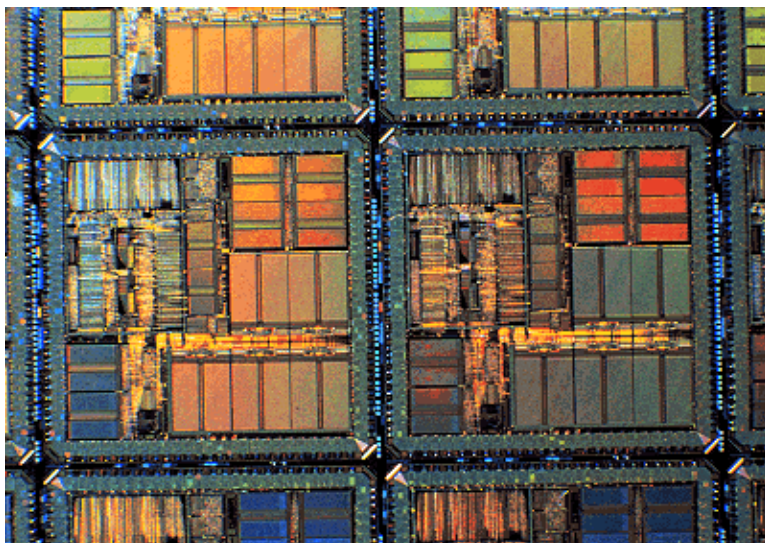
Tämä kuva projektoidaan piilevylle, joka valvotuissa laboratorioissa työstetään erittäin tarkasti, sillä yksikin pölyhiukkanen levyllä voi tarkoittaa useamman tuhannen dollarin häviötä. Levy päällystetään fotoresistillä, joka vastaa valoon ja peseytyy pois, jättäen jälkeensä prosessorin kaiverruksen, jonka pystyy täyttämään kuparilla tai dopaamaan transistorien muodostamiseksi. Tämä prosessi toistetaan useita kertoja, rakentaen prosessoria aivan kuten 3D tulostin rakentaisi muovikerroksia. (Heddings, 2019.)

Puolijohde tuotannossa dopaamisella (engl. doping) tarkoitetaan epäpuhtauksien tarkoituksellista lisäämistä puolijohdekiteeseen sen johtokyvyn muokkaamiseksi (Laube, 2021).

2.10 Mikä on die (englantia)?

Die, sisäisistä piireistä puhuttaessa, on pieni pala puolijohtavaa materiaalia, jonka päälle on valmistettu jokin toiminnallinen piiri (Wikipedia, Die (integrated circuit), n.d.), tämä näkyy kuvassa 7.

Pakkaamaton, paljas puolijohdepala, kuvailee (PCMag, 2021).



Kuva 7. Siruja piikiekolla. (PCMag, 2021)

3 SELVITYS

3.1 AMD:n ja Intelin työpöytä ja harrastaja/työasema -tasoisten prosessoreiden julkaisut

Taulukossa 1 näkyvät AMD:n ja Intelin työpöytä ja harrastaja/työasema -tasoisten prosessoreiden julkaisut vuosina 2017–2021.

Gregoriaanisen kalenterin vuosineljännekset:

Q1: 1 tammi - 31 maalis

Q2: 1 huhti - 30 kesä

Q3: 1 heinä -30 syys

Q4: 1 loka - 31 jouluku

Taulukko 1. AMD:n ja Intelin työpöytä ja harrastaja/työasema -tasoisten prosessorien julkaisut (CPU-World, n.d.)

Vuosi	Neljännes- vuosi	AMD	Intel
2017	Q1	1st gen Zen: Ryzen 7	Kaby Lake: Kaby Lake-S
	Q2	1st gen Zen: Ryzen 5	Skylake: Skylake-X Kaby Lake: Kaby Lake-X
	Q3	1st gen Zen: Ryzen 3 ja Threadripper	
	Q4		Coffee Lake: Coffee Lake-S korkeatasoiset mallit
2018	Q1		
	Q2	Zen +: Ryzen 7 ja 5	Coffee Lake: Loput Coffee Lake-S tuoteperheestä, i7-8086K
	Q3	Zen +: Threadripper ja lähtötason Ryzen 3 ja 5	
	Q4		Coffee Lake: Coffee Lake-S Refresh
2019	Q1		Coffee Lake: Coffee Lake-S ja Coffee Lake-S Refresh ilman sisäistä näytönohjainta
	Q2		Coffee Lake: Loput Coffee Lake-S tuoteperheestä
	Q3	Zen 2: Ryzen 9, 7, 5	
	Q4	Zen 2: Threadripper, Ryzen 9 3950X	Cascade Lake: Cascade Lake-X tuoteperhe ja i9-9900KS
2020	Q1	Zen 2: Threadripper 3990X	
	Q2	Zen 2: Ryzen 3	Comet Lake: Comet Lake-S
	Q3		Comet Lake: i9-10850K
	Q4	Zen 3: Ryzen 9, 7, 5	
2021	Q1		Rocket Lake: Rocket Lake-S

3.2 AMD:n 1. sukupolvi: Zen

3.2.1 Etymologia

Nimen *ZEN* valitsi Michael Clark, AMD:n vanhempi tutkija ja pääarkkitehti. Zen valittiin edustamaan tarvittavaa tasapainoa mikroprosessorin eri kilpailevien puolien välillä. (Hachman, 2017.)

3.2.2 Prosessitekniikka

Zen on valmistettu Global Foundriesin 14nm FinFET Low Power Plus (14LPP) prosessitekniikalla (Hruska, GlobalFoundries announces 14nm validation with AMD Zen silicon, 2015).

3.2.3 Ominaisuudet

Zeniin perustuvat mainstream prosessorit käyttävät AM4 -kantaa, HEDT prosessorit TR4 -kantaa, ja palvelin prosessorit SP3 -kantaa (Wikichip, Zen - Microarchitectures - AMD, n.d.).

Seuraava lista käyttää lähdettä: (Wikichip, Zen - Microarchitectures - AMD, n.d.)

Välimuistien määrät:

L1I Cache: 64 KiB/ydin

L1D välimuisti: 32 KiB/ydin

L2 välimuisti: 512 KiB/ydin

L3 välimuisti: 2 MiB/ydin

Zen suunniteltiin onnistumaan molemmissa, korkeassa tehokkuudessa ja pienessä virran kulutuksessa. Kattaen tuulettimetomat notebookit ja korkea tehoiset pöytäkoneet yhdellä arkkitehtuurilla. (Wikichip, Zen - Microarchitectures - AMD, n.d.)

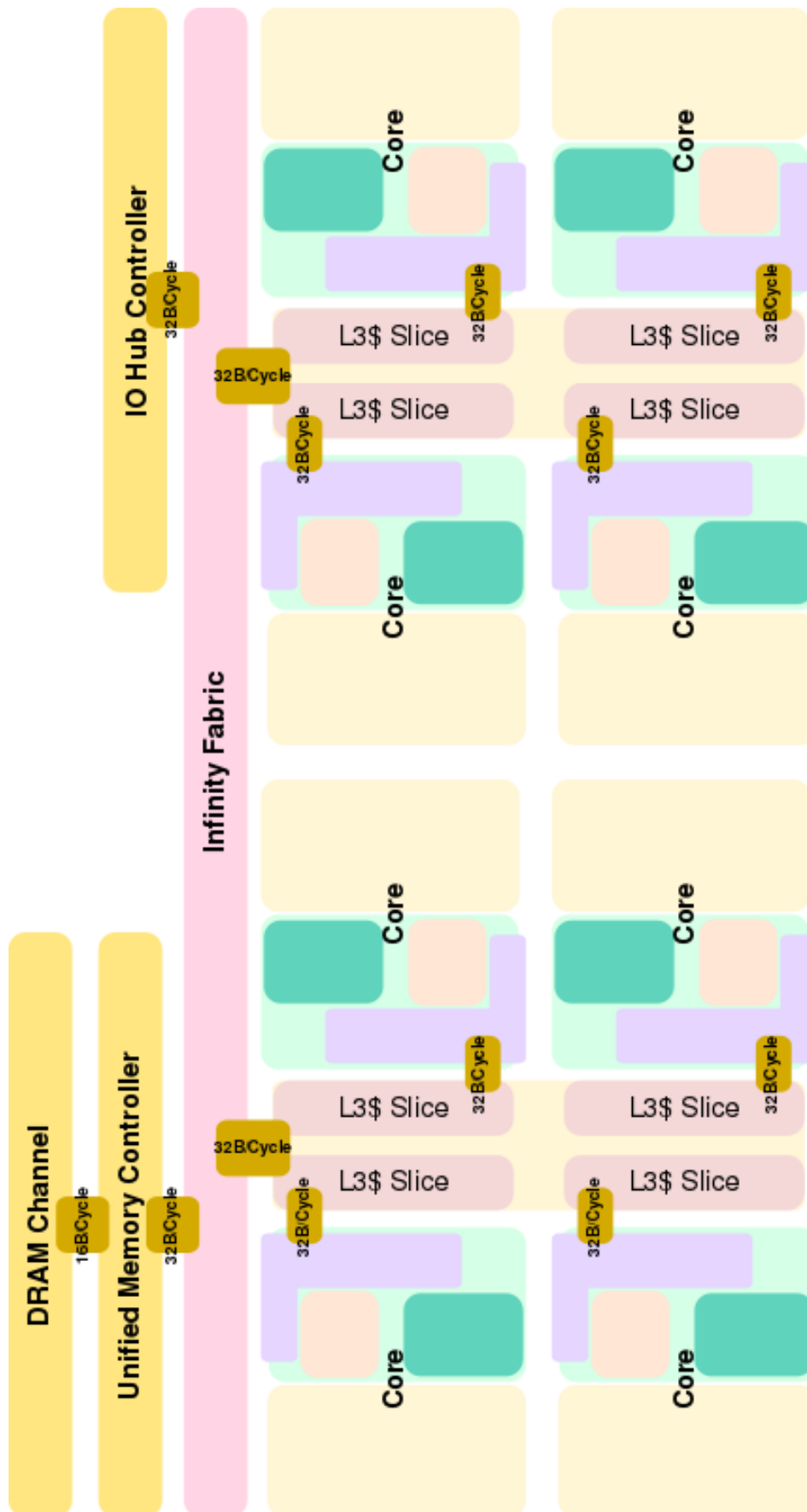
SMT (Simultaneous Multithreading) tuki, 2 säiettä/ydin (Wikichip, Zen - Microarchitectures - AMD, n.d.).

Zen hyödyntää ydin komplekseja ja uhri välimuistia (Cutress, The AMD Zen and Ryzen 7 Review: A Deep Dive on 1800X, 1700X and 1700: The Core Complex, Caches, and Fabric, 2017). Kuvassa 8 näkyy kahdeksan ytimisen Zen prosessorin rakenne. CCX:ät koostuvat 4:stä ytimeistä ja niiden L3 välimuistista. Osia yhdistää Infinity Fabric.

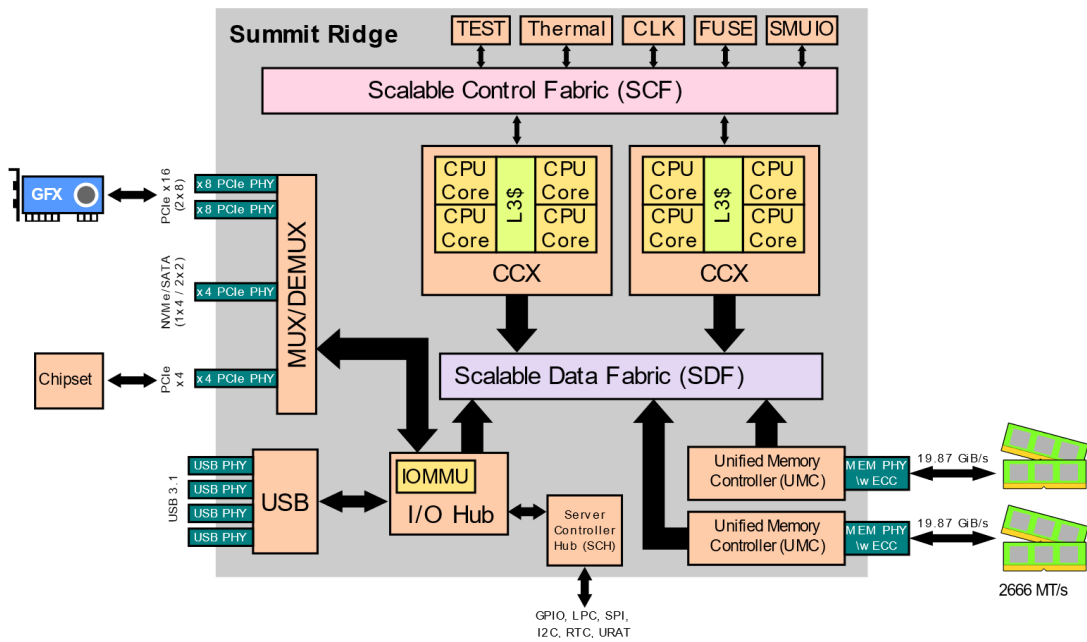
Kuvassa 9 on esitelty Summit Ridgen yksi siruinen SoC. Summit Ridge on kuluttajille suunnattu Zeniin perustuva alusta.

Kuvassa 10 on esitelty Threadripperin monisiruinen SoC. Threadripper on Zenin HEDT alusta. Ensimmäisen sukupolven Threadripper on nimeltään Whitehaven.

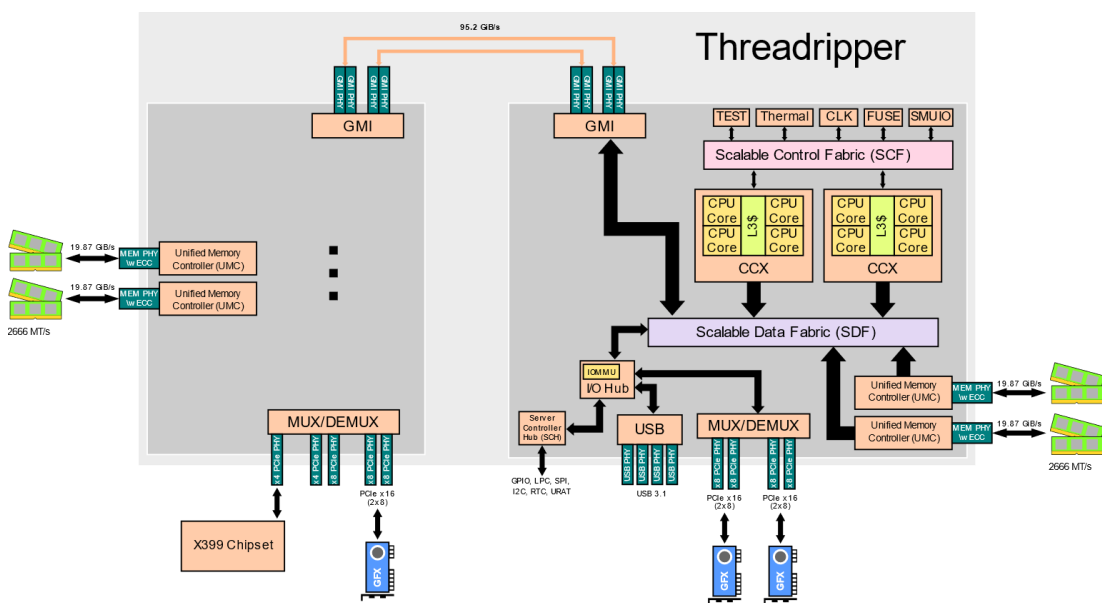
Kuvassa 11 on esitelty Naplesin monisiruinen SoC. Naples on palvelin moniprosessori alusta.



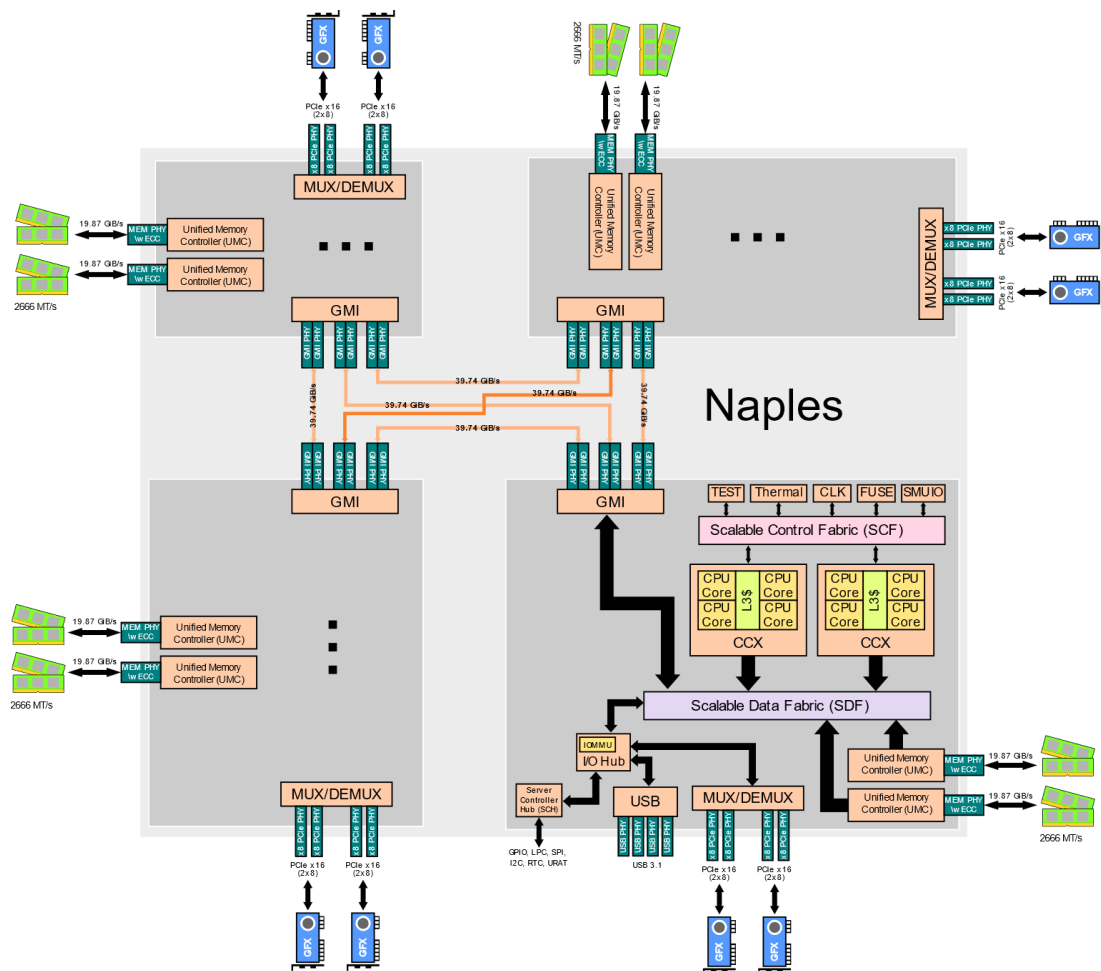
Kuva 8. AMD Zen SoC (System on Chip) lohkokaaavio (Wikichip, Zen - Microarchitectures - AMD, n.d.)



Kuva 9. Summit Ridge SoC (Wikichip, Zen - Microarchitectures - AMD, n.d.)

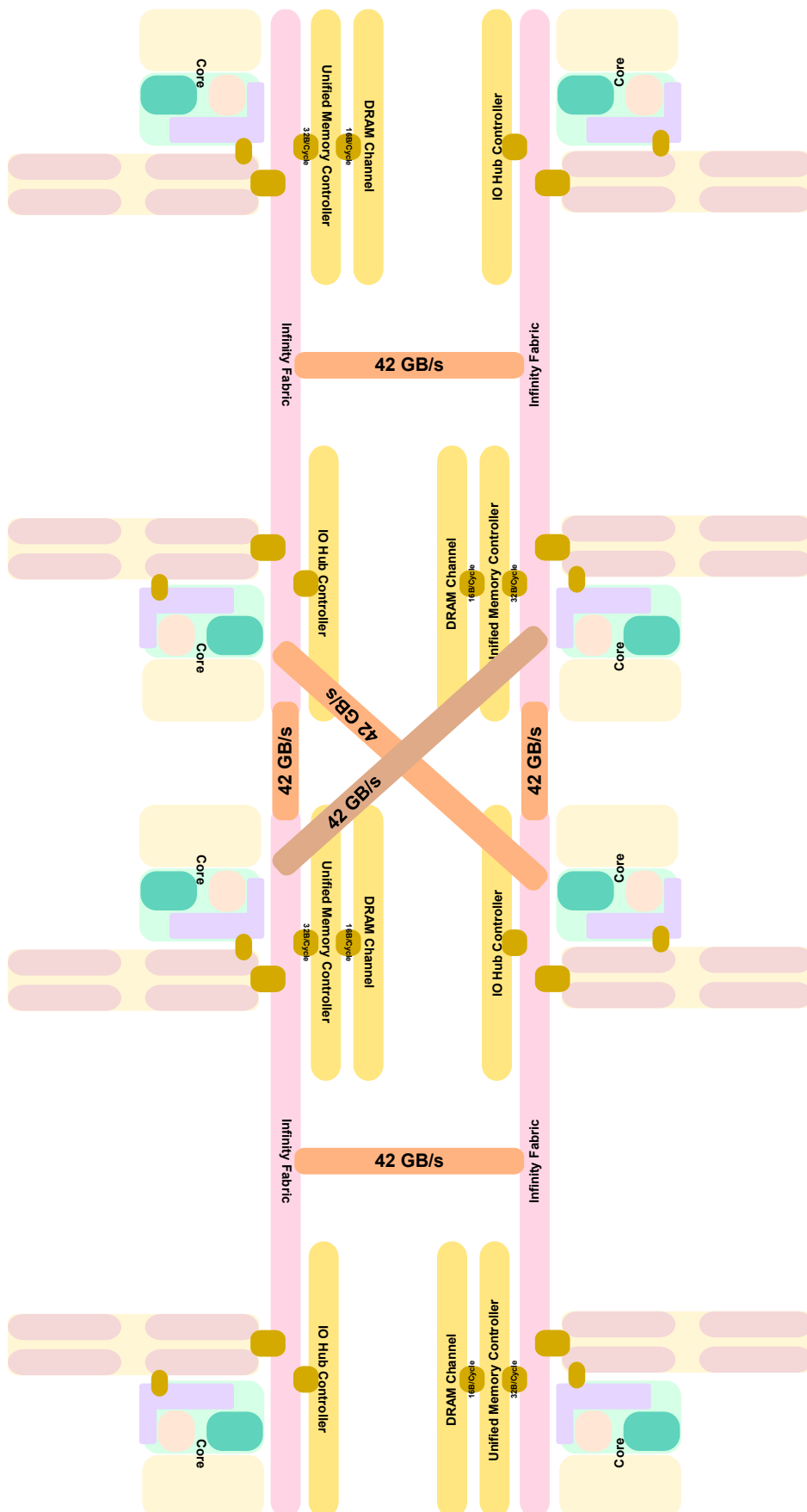


Kuva 10. Threadripper SoC (Wikichip, Zen - Microarchitectures - AMD, n.d.)

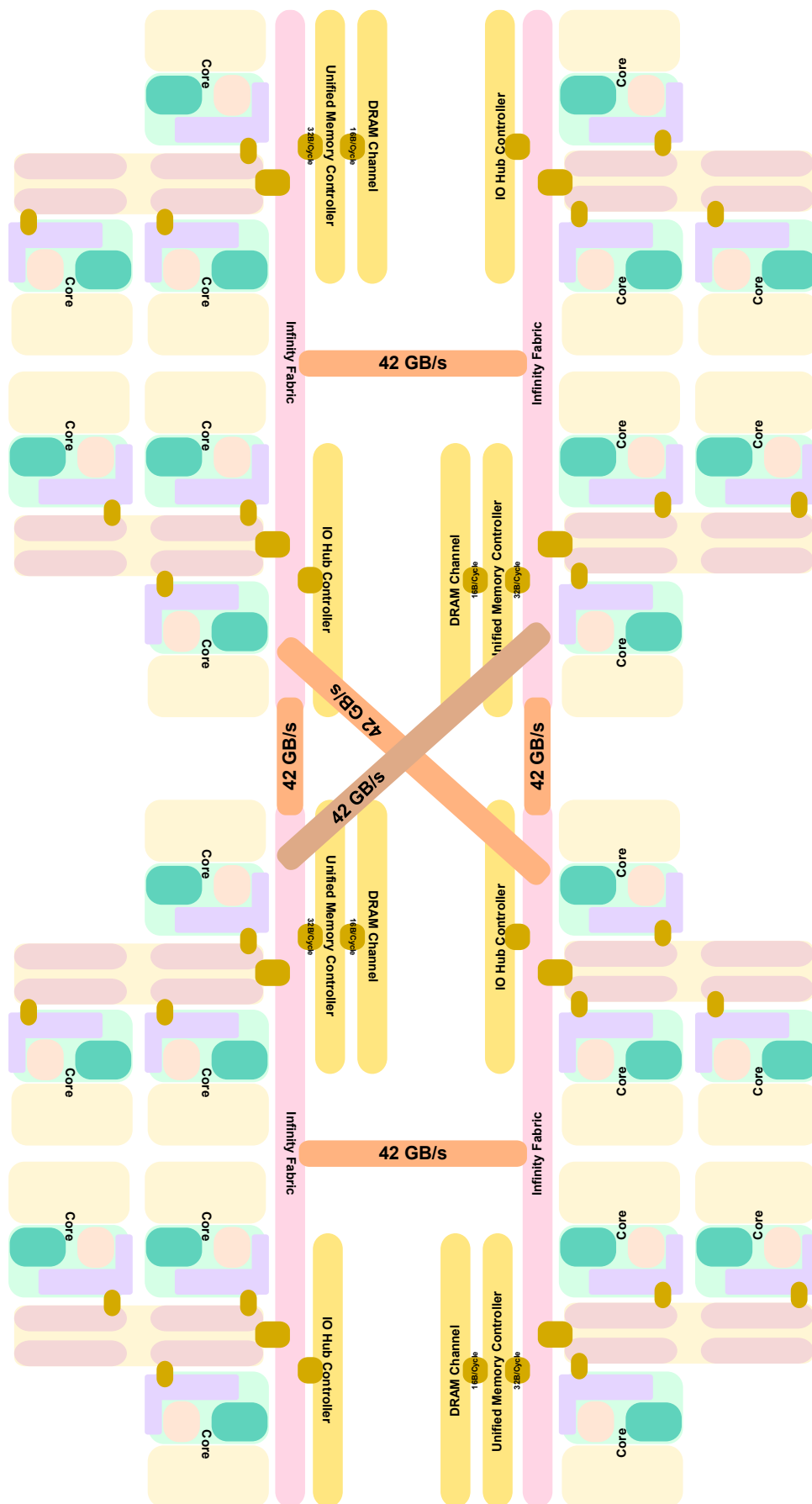


Kuva 11. Naples SoC (Wikichip, Zen - Microarchitectures - AMD, n.d.)

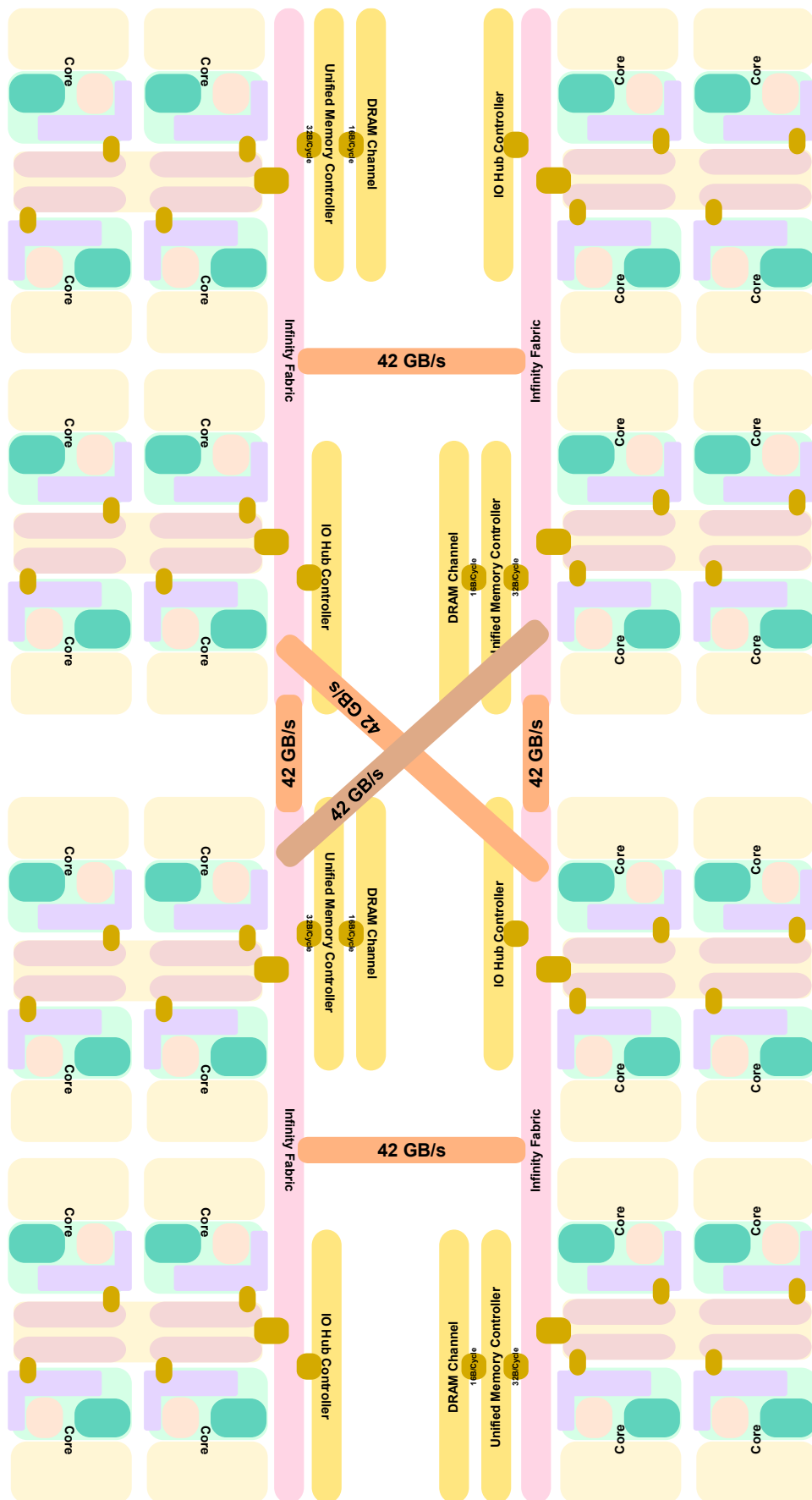
Kuvissa 12, 13, 14 ja 15 näkyy Naplesin SoC lohkokkaaviot 8, 16, 24 ja 32 ytimisestä konfiguraatioista.



Kuva 12. SoC lohkokaavio 8 ytimisestä Naplesista (Wikichip, Zen - Microarchitectures - AMD, n.d.)



Kuva 14. SoC lohkokkaavio 24 ytimisestä Naplesista (Wikichip, Zen - Microarchitectures - AMD, n.d.)



Kuva 15. SoC lohkokaavio 32 ytimisestä Naplesista (Wikichip, Zen - Microarchitectures - AMD, n.d.)

3.2.4 Tuoteperheet

Taulukossa 2 on esitelty Zen tuoteperheiden koodinimet, enimmäismäärät ytimiä ja säikeitä, sekä niiden kohdemarkkinat. Kuvassa 16 näkyy Ryzen -mallin tunnistamista helpottava dekooderi.

Taulukko 2. Zen tuoteperheen koodinimet (Wikichip, Zen - Microarchitectures - AMD, n.d.)

Koodinimi	C/T	Kohde
Naples	enintään 32/64	Korkeatasoiset palvelin moniprosessorit
Whitehaven	enintään 16/32	Työasema ja harrastaja tason prosessorit (HEDT)
Summit Ridge	enintään 8/16	Desktop
Raven Ridge	enintään 4/8	Mobiiliprosessorit VEGA iGPU:lla
Dali	enintään 2/4	Budjetti mobiiliprosessorit VEGA iGPU:lla
Snowy Owl	enintään 16/32	Sulautettut reunalaskenta prosessorit
Great Horned Owl	enintään 4/8	Sulautetut prosessorit VEGA iGPU:lla
Banded Kestrel	enintään 2/4	Pienitehoiset/kustennusherkät sulautetut prosessorit VEGA iGPU:lla

Ryzen 7	1	7	00	X
Ryzen 5	3	5	50	H

Power Segment	
(none)	Standard Desktop
U	Standard Mobile
X	High Performance, with XFR
WX	High Core Count Workstation
G	Desktop + IGP
E	Low-power Desktop
GE	Low-power Desktop + IGP
M	Low-power Mobile
H	High-performance Mobile
S	Slim Mobile
HS	High-Performance Slim Mobile
XT	Extreme

Model Number	
Speed bump and/or differentiator for high core count chips (8 cores+).	

Performance Level	
9	Extreme (Ryzen Threadripper & Ryzen 9)
8	Highest (Ryzen 7)
6-7	High (Ryzen 5 & 7)
4-5	Mid (Ryzen 5)
1-3	Low (Ryzen 3)

Generation	
1	First generation Zen (2017)
2	First generation Zen for Mobile and Desktop APUs (2017); First generation Zen with enhanced node (Zen+)(2018)
3	First generation Zen with enhanced node (Zen+) for Mobile and Desktop APUs (2019); Second generation Zen (Zen 2)(2019)
4	Second generation Zen (Zen 2) for Mobile and Desktop APUs (2020)
5	Third generation Zen (Zen 3)(2020)

Market segment	
3	Low-end performance
5	Mid-range performance
7	Enthusiast / High-end performance
9	High-end performance / Workstation
Threadripper	High-end performance / Workstation

Brand Name	
Ryzen	

Kuva 16. Ryzen prosessorimallin tunnistaminen (Wikichip, Zen - Microarchitectures - AMD, n.d.)

3.3 AMD:n 2. sukupolvi: Zen +

Zen+ lanseerattiin huhtikuussa 2018 (Wikichip, Zen+ - Microarchitectures - AMD, n.d.).

Se on valmistettu Global Foundries:n 12nm FinFET LP prosessitekniikalla (Alcorn, AMD Ryzen 9 3900X and Ryzen 7 3700X Review: Zen 2 and 7nm Unleashed, 2019).

Lyhenne LP tarkoittaa Leading-Performance (Schor, VLSI 2018: GlobalFoundries 12nm Leading-Performance, 12LP, 2018).

3.3.1 Ominaisuudet

Seuraava lista käyttää lähdettä: (Wikichip, Zen+ - Microarchitectures - AMD, n.d.)

Välimuistien määrät:

L1I: 64 KiB/ydin

L1D: 32 KiB/ydin

L2: 512 KiB/ydin

L3: 2 MiB/ydin

3.3.2 Avain muutoksia Zen:stä

Seuraava lista käyttää lähdettä: (Cutress, The AMD 2nd Gen Ryzen Deep Dive: The 2700X, 2700, 2600X, and 2600 Tested: Improvements to the Cache Hierarchy: Lower Latency = Higher IPC, 2018)

13 % Parempi L1 Latenssi (1.10ns → 0.95ns)

34 % Parempi L2 Latenssi (4.6ns → 3.0ns)

16 % Parempi L3 Latenssi (11.0ns → 9.2ns)

11 % Parempi Muisti Latenssi (74ns → 66ns DDR4-3200)

Increased DRAM Frequency Support (DDR4-2666 vs DDR4-2933)

Seuraava lista käyttää lähdettä: (Wikichip, Zen+ - Microarchitectures - AMD, n.d.)

- ❖ ~10 % korkeampi kellotaajuus
- ❖ ~3 % parannus yksisäikeiseen IPC:hen
- ❖ 12 nm valmistusprosessi
- ❖ Precision Boost 2
 - Precision Boost Overdrive
- ❖ XFR 2
- ❖ Välimuisti
 - Parannettu välimuistin esihaku
 - 12 kierroksinen L2 latenssi valtavirta desktopille (oli 17 kierroksinen)
- ❖ Kuluttajatason piirisarjat
 - X370 → X470
 - Uusi StoreMI teknologia
 - Matalampi virran käyttö
 - Virheen korjauksia
- ❖ Perhe
 - Threadripper: 2x ytimiä, 16 → 32

3.3.3 Tuoteperheet

Taulukossa 3 on esitelty Zen+ tuoteperheiden koodinimet, enimmäismäärät ytimiä ja säikeitä, sekä niiden kohdemarkkinat.

Taulukko 3. Zen+ tuoteperheen koodinimet (Wikichip, Zen+ - Microarchitectures - AMD, n.d.)

Koodinimi	C/T	Kohde
Colfax	enintään 32/64	Työasema ja harrastaja tason prosessorit (HEDT)
Pinnacle Ridge	enintään 8/16	Desktop
Picasso	2/4–4/8	Desktop ja mobiili APU:t

3.4 AMD:n 3. sukupolvi: Zen 2

Tässä kohtaa AMD siirtyi Chiplet suunnitteluun. Zen 2 lanseerattiin heinäkuussa 2019 (Wikichip, Zen 2 - Microarchitectures - AMD, n.d.).

3.4.1 Ominaisuudet

Zen 2 koostuu ydinten siruista (Core Complex Die, CCD) ja I/O sirusta (I/O Die, IOD).

Jokainen kokonainen Zen 2 CPU, huolimatta siitä kuinka monta sirua siinä on, on yhdistetty I/O siruun Infinity Fabric linkkien kautta. I/O siru toimii keskusyksikkönä kaikelle prosessorin ulkoiselle kommunikaatiolle ja sisältää kaikki prosessorin PCIe kaisat ja muisti kanavat. Infinity Fabric toimii linkkinä prosessorin ydinten siruille, ja toisiin prosessoreihin, jos kyseessä on moniprosessori kokoonpano. (Alcorn, AMD Ryzen 9 3900X and Ryzen 7 3700X Review: Zen 2 and 7nm Unleashed, 2019.)

Ydin siru on valmistettu TSMC:n 7nm prosessiteknikalla.

Kuluttajatasen prosessoreissa I/O siru on valmistettu Global Foundriesin 12nm prosessiteknikalla.

EPYC Rome prosessoreissa I/O siru on valmistettu Global Foundries:n 14nm prosessiteknikalla. Nämä palvelin prosessoreissa käytetyt I/O sirut ovat fyysiseltä kooltaan isompia ja niissä on enemmän ominaisuuksia. (Alcorn, AMD Ryzen 9 3900X and Ryzen 7 3700X Review: Zen 2 and 7nm Unleashed, 2019.)

Seuraava lista käyttää lähdettä: (Wikichip, Zen 2 - Microarchitectures - AMD, n.d.)

Välimuistien määrät:

L0 Op: 4 096 Ops

L1I: 32 KiB/ydin

L1D: 32 KiB/ydin

L2: 512 KiB/ydin

L3: Uhri välimuisti

Matisse, Castle Peak ja Rome: 16 MiB/CCX. jaettu kaikkien ytimien kesken

Renoir: 4 MiB/CCX, jaettu kaikkien ytimien kesken

3.4.2 Avainmuutoksia Zen +:sta

Seuraava lista käyttää lähdettä: (Wikichip, Zen 2 - Microarchitectures - AMD, n.d.)

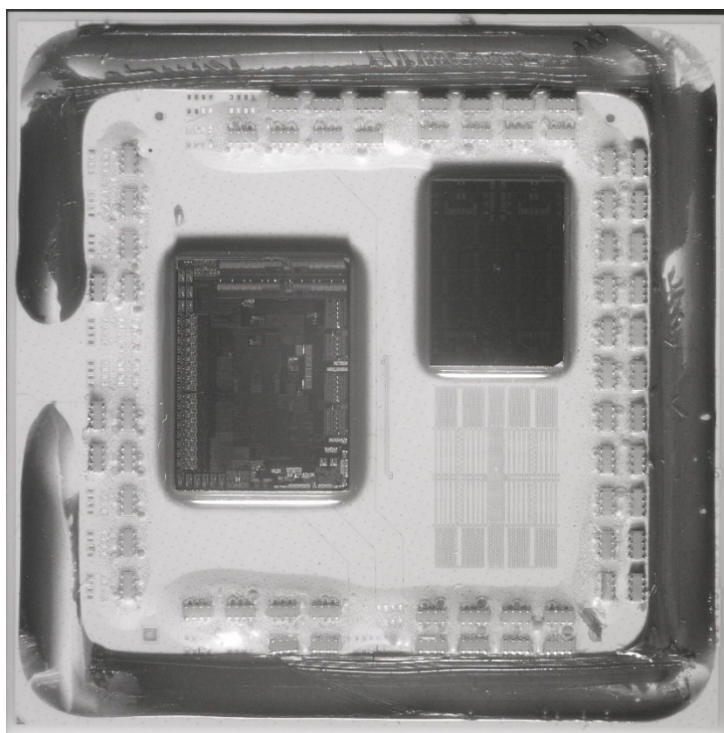
- ❖ Prosessin kutistuminen, 12nm → 7nm
 - I/O siru 12nm prosessilla
- ❖ Ydin
 - Korkeampi IPC (AMD raportoi jopa 15 % parannusta)
 - Front-end
 - Parempi haaraennustusyksikkö
 - Parempi esihakija
 - Paremmat μ OP välimuisti tagit
 - Suurempi μ OP välimuisti, 2048 → 4096 merkintää
 - Suurempi lähettämisen kaistanleveys
 - Back-end
 - Liukuluku-yksikkö
 - Kokonaisluku-yksikkö
 - Muistin alijärjestelmä
 - 0,5x L1 käsky välimuisti, 64 KiB → 32 KiB
 - 8-suuntainen kumppanuus, oli 4-suuntainen
 - 1,33x suurempi L2 DTLB, 1536 → 2048
 - Suurempi merkinnän talletusjono, 44 → 48
- ❖ CCX
 - 2x L3 välimuisti koko, 8 MiB → 16 MiB
 - Isompi L3 latenssi, 35 → 40 sykliä
- ❖ Turvallisuus
 - Piin sisäisiä Spectre parannuksia
 - Tukee suurempaa määrää avaimia/virtuaalikoneita
- ❖ I/O
 - PCIe 3.0 → 4.0
 - Infinity Fabric 2
 - 2,3x siirto nopeus per linkki, 10,6 GT/s → 25 GT/s
 - Muistin kellotaajuuden irrotus Fabric kellotaajuudesta, sallii 1:1 ration lisäksi 2:1 ration käytön
 - DDR4-3200 tuki, nousi DDR4-2933:sta

3.4.3 Rakenne

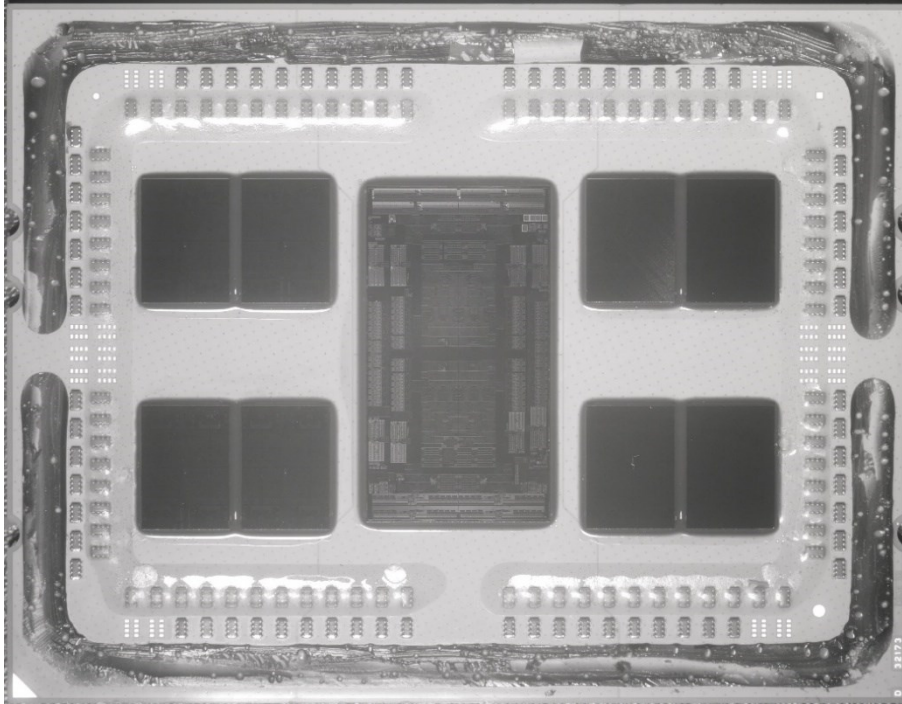
Zen 2 Ryzen prosessoreissa on 1-2 ydinten sirua ja 1 hieman kookkaampi I/O siru. Kuvasta 17 näkyy tämä konfiguraatio, kuvassa on Ryzen 5 3600 deliddattuna, eli lämmönlevitin poistettuna.

Zen 2 Epyc prosessoreissa on 8 ydinten sirua ja yksi iso I/O siru. Tämä I/O siru on fyysisesti isompi ja kyvykkäämpi, kuin Ryzen malleissa käytetty, ja pystyy hoitamaan 8 ydinten sirujen kommunikaation. Kuvassa 18 näkyy tämä konfiguraatio, siinä on Epyc 7702 deliddattuna.

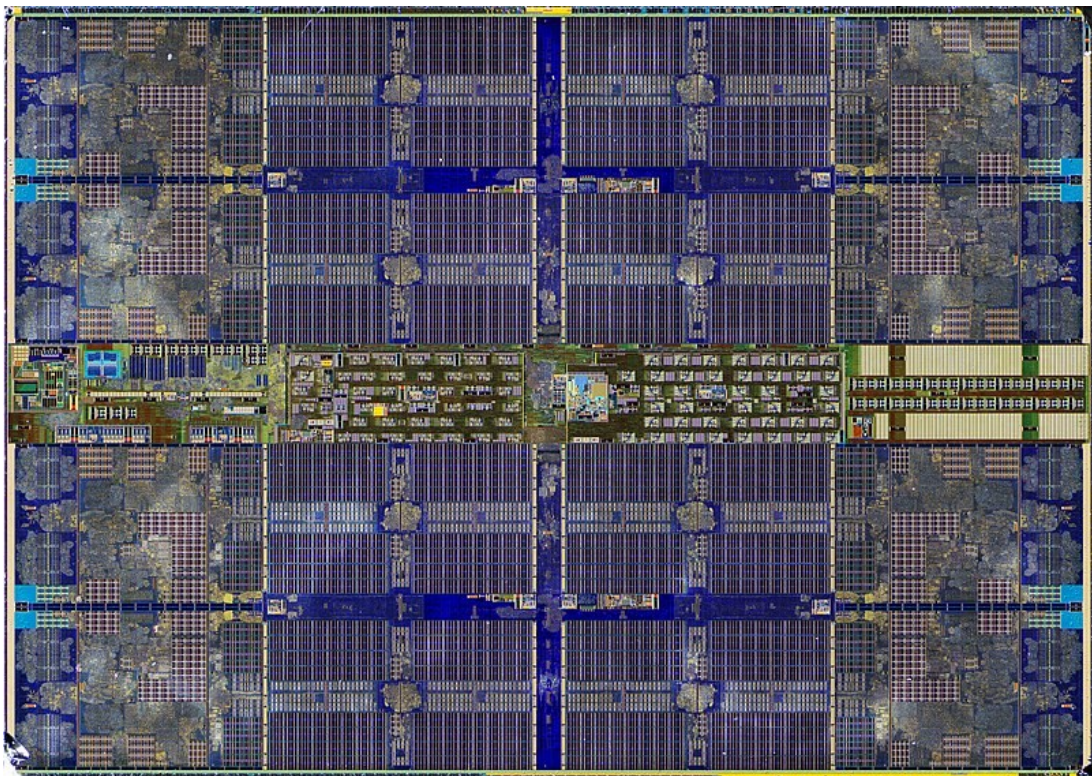
Kuvassa 19 on kuvattuna Epyc 7702 ES:n (Engineering Sample) ydinten siru ja kuvassa 20 on saman mallin IO siru.



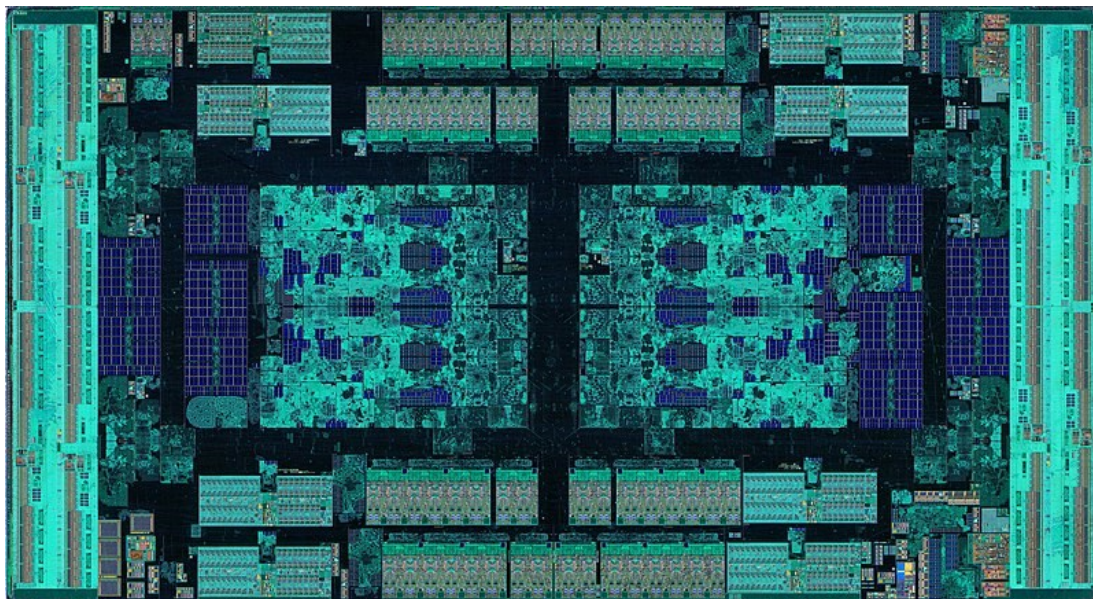
Kuva 17. Ryzen 5 3600 lämmönlevitin poistettuna. Tässä mallissa on vain yksi ydinten siru, paikkoja kuitenkin on kahdelle ja I/O siru vasemmalla puolella. (Fritz, flickr.com, 2019)



Kuva 18. Epyc 7702 delidded. Zen 2 Palvelin prosessorin sirujen aseteltu. I/O siru on keskellä. (Fritz, flickr.com, 2019)



Kuva 19. AMD Epyc 7702 ES ydinten siru (Fritz, Epyc 7702 ES CCD, 2019)



Kuva 20. AMD Epyc 7702 ES IO siru (Fritz, Epyc 7702 ES IOD, 2019)

3.4.4 Tuoteperheet

Taulukossa 4 on esitelty Zen 2 tuoteperheiden koodinimet, enimmäismäärät ytimiä ja säikeitä, sekä niiden kohdemarkkinat.

Taulukko 4. Zen 2 tuoteperheiden koodinimet (Wikichip, Zen 2 - Microarchitectures - AMD, n.d.)

Koodinimi	C/T	Kohde
Rome	enintään 64/128	Korkeatasoiset palvelin moniprosessorit
Castle Peak	enintään 64/128	Työasema ja harrastaja tason prosessorit (HEDT)
Matisse	enintään 16/32	Desktop
Renoir	enintään 8/16	Mainstream APU:t Vega iGPU:lla

3.5 AMD:n 4. sukupolvi: Zen 3

Zen 3 lanseerattiin marraskuussa 2020 (Wikipedia, Zen 3, n.d.).

3.5.1 Ominaisuudet

Koostuu ydinten siruista, eli CCD:stä ja I/O sirusta.

Ytimien siru on tehty TSMC:n 7nm prosessilla.

I/O siru on tehty Global Foundriesin 14nm prosessilla. (Wikipedia, Zen 3, n.d.)

Seuraava lista käyttää lähdettä: (Wikichip, Zen 3 - Microarchitectures - AMD, n.d.)

Välimuistien määrät:

L0 Op: 4 096 Ops

L1I: 32 KiB/ydin

L1D: 32 KiB/ydin

L2: 512 KiB/ydin

L3: 32 MiB/CCX, uhri välimuisti

3.5.2 Avain muutokset Zen 2:sta

Seuraava lista käyttää lähdettä: (Wikichip, Zen 3 - Microarchitectures - AMD, n.d.)

❖ CCD

- Yhdistetty 8-ytimen CCX (oli 2x 4-ytiminen CCX per CCD=
- 32 MiB L3 välimuisti käytettävissä tasapuolisesti CCD:n kaikkien ytimien kesken
 - L3 latenssi kasvoi, 40 → 46 sykliin

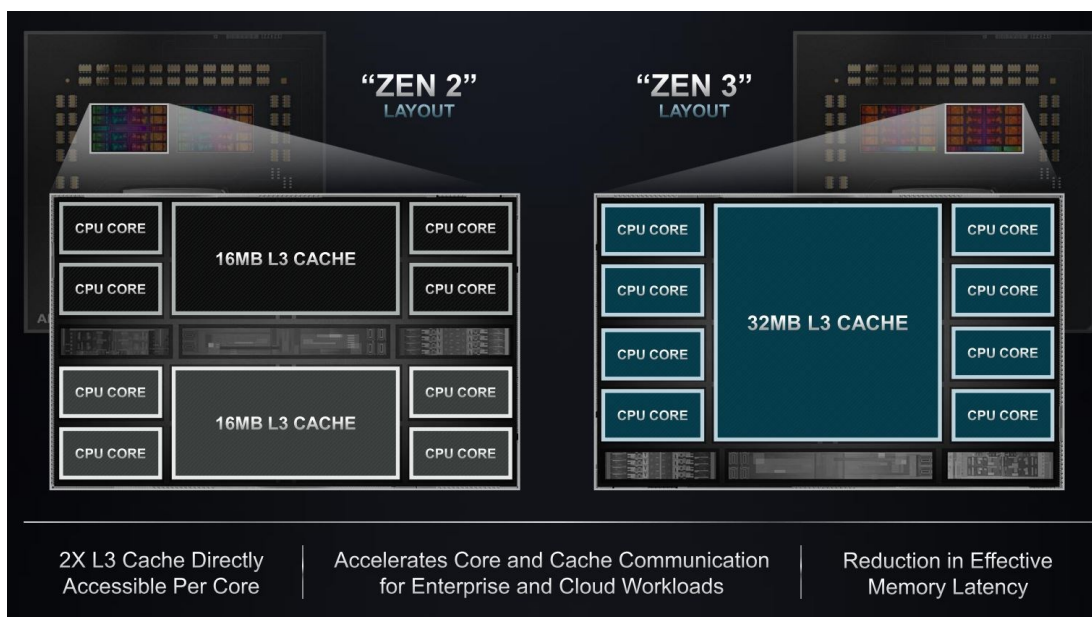
❖ Ydin

- Korkeampi IPC (AMD raportoi 19 % IPC:n nousu)
- Front-end
- Suurempi haaran ennustus kaistanleveys
 - ”zero-bubble” haaran ennustus
 - L1 BTB tuplaantui, 512 → 1024 merkintää
- Parempi esihakija

- Parempi μ OP välimuisti
- ❖ Back-end
 - Liukuluku-yksikkö
 - Kokonaisluku-yksikkö
 - Lataus/säilytys

3.5.3 Rakenne

Kuten kuvassa 21 näkyy, yksi iso ero Zen 2:n ja Zen 3:n välillä on niiden ydinten sirun asettelu. Zen 2 CCD:ssä oli 2 CCX:ää erillä toisistaan. Zen 3:ssa nämä yhdistettiin yhdeksi, jolloin ytimien ei tarvitse käyttää välillä pidempää siirtotietä päästäkseen toisen CCX:n L3:een käsiksi.



Kuva 21. CCD:n asettelun erot Zen 2:n ja Zen 3:n välillä (Hruska, AMD's Milan Brings Zen 3 to Epyc, With Mostly Positive Results, 2021)

3.5.4 Tuoteperheet

Taulukossa 5 on esitelty Zen 3 tuoteperheiden koodinimet, enimmäismäärät ytimiä ja säikeitä, sekä niiden kohdemarkkinat.

Taulukko 5. Zen 3 tuoteperheiden koodinimet (Wikichip, Zen 3 - Microarchitectures - AMD, n.d.)

Koodinimi	C/T	Kohde
Milan	enintään 64/128	Korkeatasoiset palvelin moniprosessorit
Genesis Peak	?/?	Työasema ja harrastaja tason prosessorit (HEDT)
Vermeer	enintään 16/32	Desktop
Cezanne	enintään 8/16	Mainstream APU:t iGPU:lla

3.6 Intel 7. sukupolven Core: Kaby Lake

Kaby Lake esiteltiin elokuussa 2016 (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.).

Tässä kohtaa Intel siirtyi 'Tick-tock' mallista 'Process-architecture-optimization' malliin (Wikipedia, Tick-tock model, n.d.).

3.6.1 Tick-tock

'Tick-tock' mallissa tick on uusi valmistusprosessi, esim 22nm → 14nm, ja tock on uusi mikroarkkitehtuuri (Intel, Intel Tick-Tock Model, n.d.).

3.6.2 Process-architecture-optimization

'Process-architecture-optimization' malli on tick-tock sykli, jota seuraa optimointi vaihe (Cutress, Intel's 'Tick-Tock' Seemingly Dead, Becomes 'Process-Architecture-Optimization', 2016).

3.6.3 Ominaisuudet

Kaby Lake on tehty 14+nm prosessilla. Ytimiä siinä on 2 tai 4. (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)

Seuraava lista käyttää lähdettä: (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d. Viit. 2021)

Välimuistien määrät:

L0 OP: 1 536 μ OPs

L1I: 32 KiB/ydin

L1D: 32 KiB/ydin

L2: 256 KiB/ydin

L3: 2 MiB/ydin

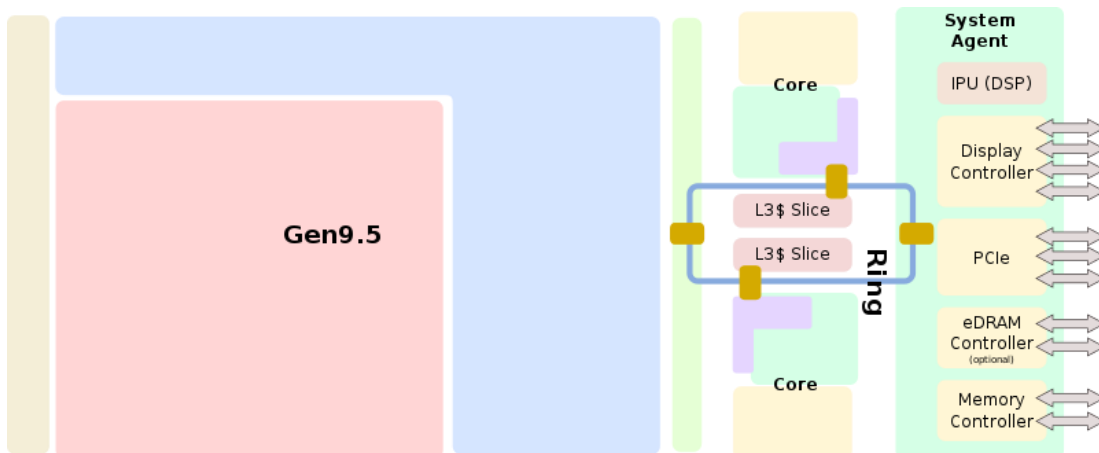
3.6.4 Avain muutokset Skylakesta

Seuraava lista käyttää lähdettä: (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d. Viit. 2021)

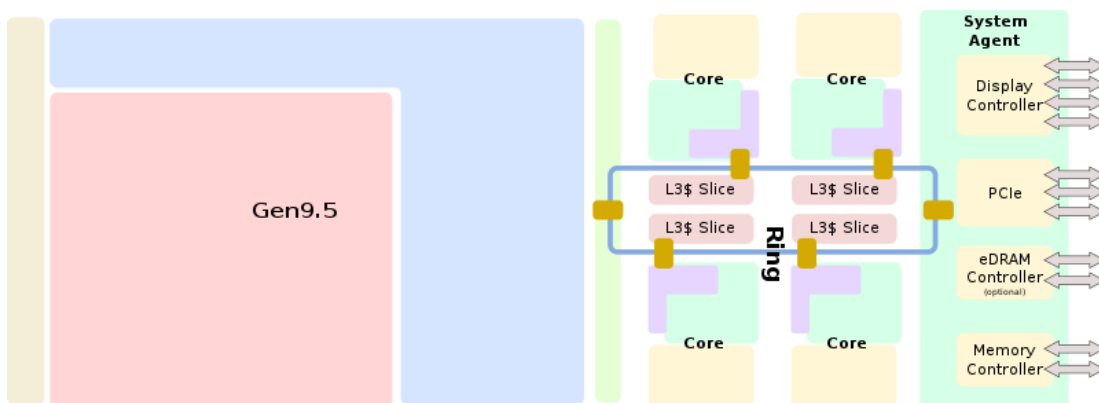
- ❖ ~15 % korkeampi kellotaajuus
- ❖ 10x suorituskyky/Watti Nehalemiin nähden (nousi x8:sta)
- ❖ Speed Shift implementaatiota huomattavasti parannettu, pienentää reagointinopeutta jopa 66 %
- ❖ Piirisarja
 - Optane tuki
 - Piirisarjalta lähtevät PCIe kaistat nousivat 24:n (20:stä)
- ❖ Sukupolven 9.5 GPUs
 - HDMI 1.4a tuki Iris Plussalle 4096x2304 @ 30 Hz (nousi 24 Hz:sta)
 - Natiivi laitteisto tuki 4K HEVC/VP9:lle
- ❖ Tuoteperheet
 - Core i3 prosessorit tiputti tuen ECC muistille joissain malleissa
 - Pentium pöytäprosessorit tukevat Hyper-Threadingia
 - Pentium pöytä & mobiiliprosessorit tukevat Memory Protection (MPX) ja OS Guard

3.6.5 Rakenne

Kuvissa 22 ja 23 näkyy kaksi ytiminen ja neliytiminen Kaby Lake SoC lohkokaavio.

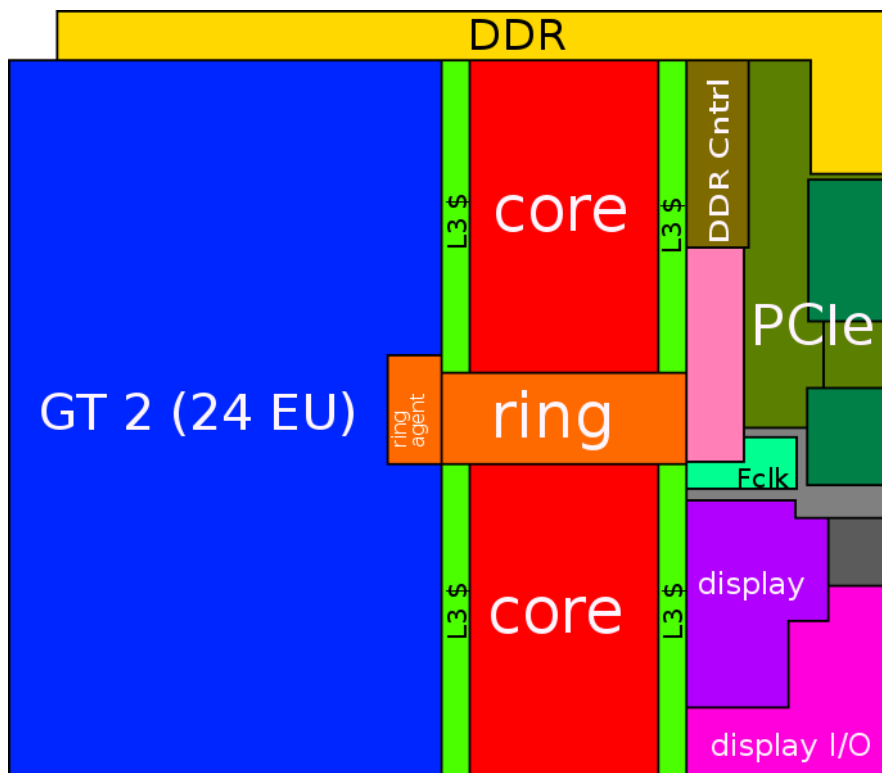


Kuva 22. Kaksi ytiminen Kaby Lake SoC lohkokaavio (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)

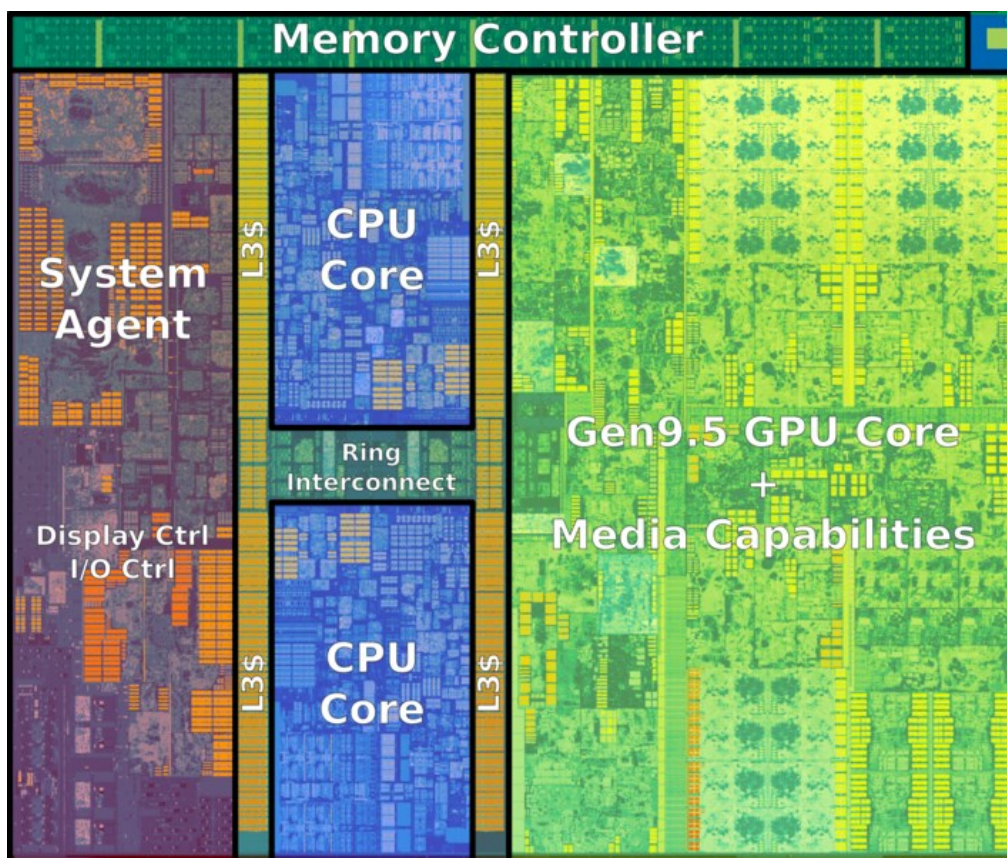


Kuva 23. Neli ytiminen Kaby Lake SoC lohkokaavio (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)

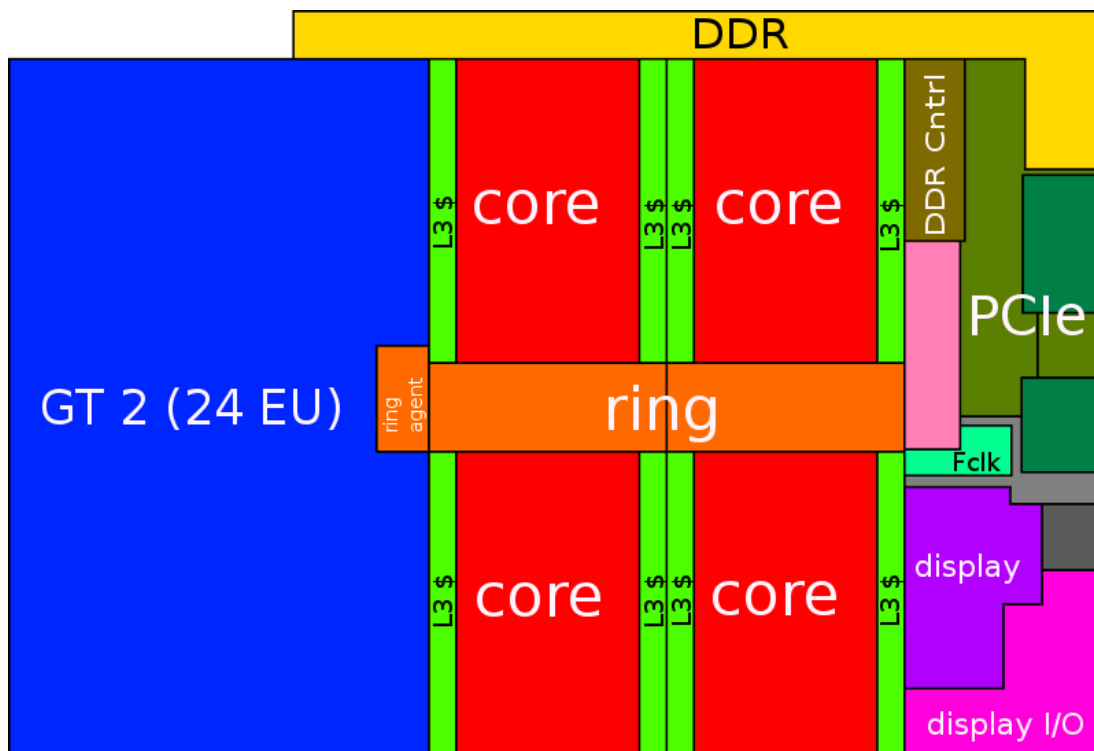
Kuvissa 24 ja 25 näkyy korkea suorituskykyisen kaksiytimisen Kaby Laken kokoonpano, kuvissa 26 ja 27 näkyy korkeatehoisen neliytimisen Kaby Laken kokoonpano, ja kuvissa 28 ja 29 näkyy matalaan virrankulutukseen optimoidun neliytimisen Kaby Lake R:n kokoonpano. Kaby Lake R sisällyttää kuvankäsittely-yksikön (IPU) System Agenttiin.



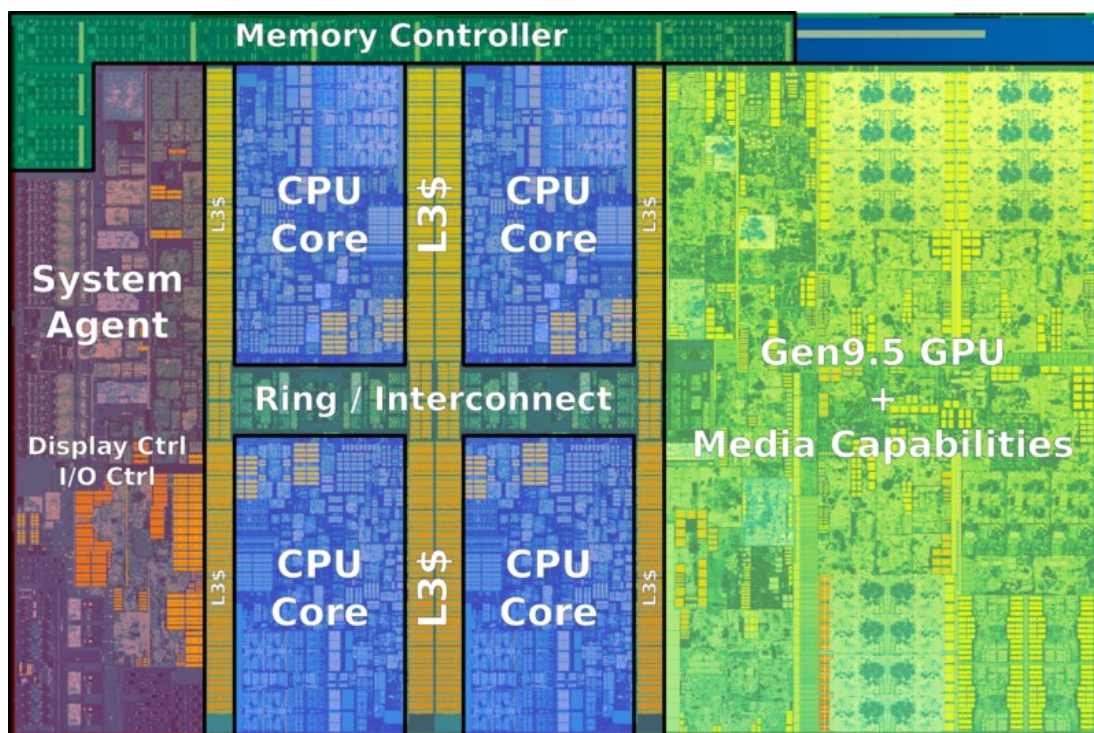
Kuva 24. Korkea suorituskykyinen kaksiytiminen Kaby Lake kokoonpano (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)



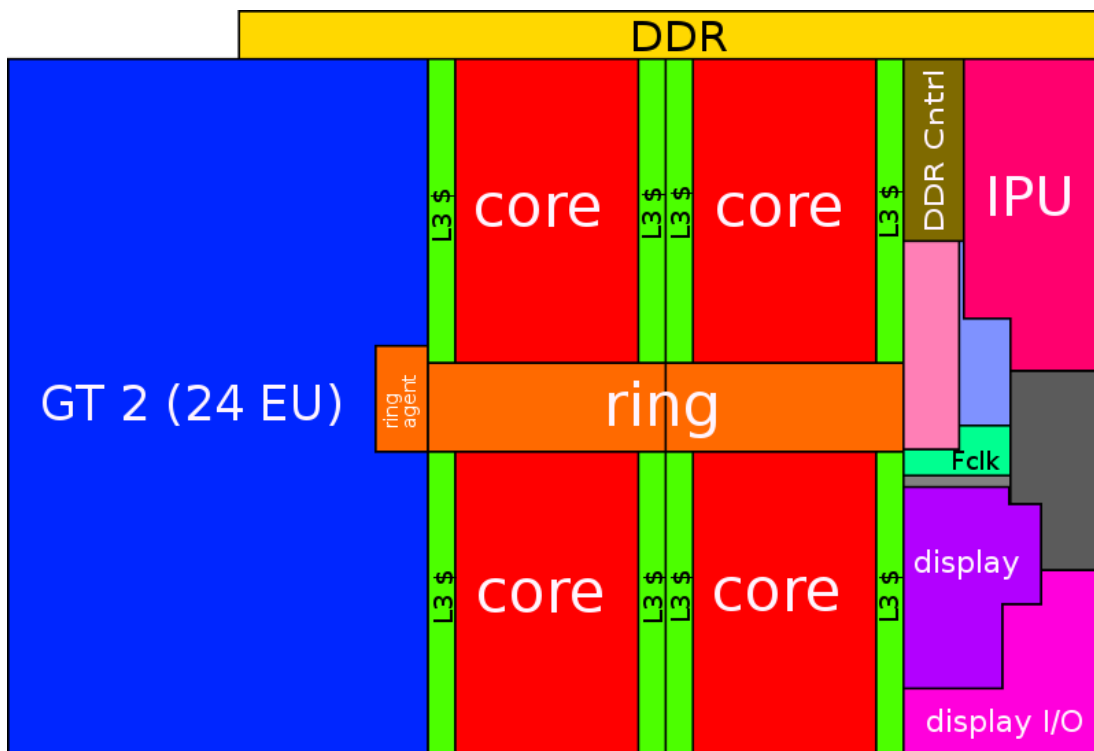
Kuva 25. Korkea suorituskykyinen kaksiytiminen Kaby Lake siru, alueet merkitty. (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)



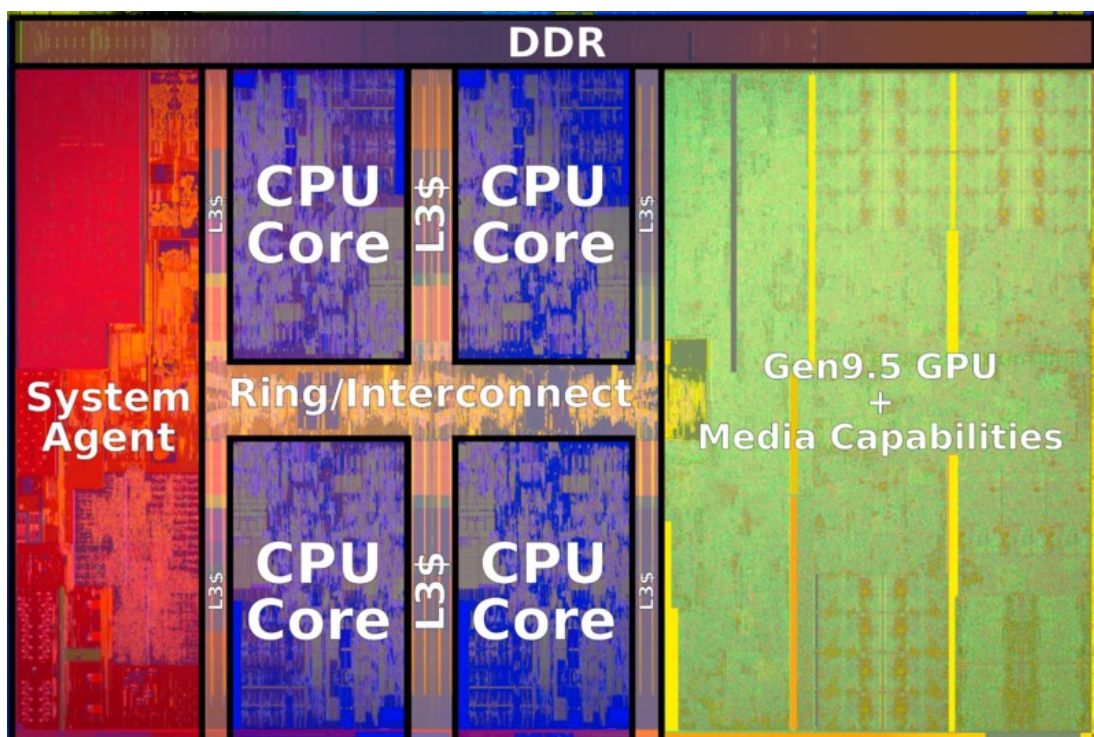
Kuva 26. Korkea suorituskykyinen neliytiminen Kaby Lake kokoonpano (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)



Kuva 27. Korkea suorituskykyinen neliytiminen Kaby Lake siru, alueet merkitty (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)



Kuva 28. Matalaan virrankulutukseen optimoitu neliytiminen Kaby Lake-R kokoonpano. Kuvankäsittely-yksikkö (IPU) on sisällytetty System Agenttiin (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)



Kuva 29. Neliytiminen Kaby Lake R siru, alueet merkitty. (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)

3.6.6 Tuoteperheet

Taulukossa 6 on esitelty Kaby Lake tuoteperheiden koodinimet ja niiden kuvaukset.

Taulukko 6. Kaby Lake tuoteperheiden koodinimet (Wikichip, Kaby Lake - Microarchitectures - Intel, n.d.)

Koodinimi	Alusta	Kuvaus	Kohde
Kaby Lake Y		Äärimmäisen pieni virrankulutus	2-in-1, tabletit, tietokone tikut
Kaby Lake U		Erittäin pieni virrankulutus	Kevyet notebookit, kannettavat All-in-Ones
Kaby Lake R		Erittäin pieni virran kulutus	Kaby Lake U Refresh
Kaby Lake H		Korkea suorituskykyiset grafiikat	Äärimmäinen kannettava suorituskyky, kannettavat
Kaby Lake S		Suorituskyky optimoitu	Desktop suorituskykystä AiO:ihin ja mineihin
Kaby Lake G	Pedlow	Peli suoritin	Kaby Lake + Radeon Vega 20/24
Kaby Lake X	Basin Falls	Äärimmäinen suorituskyky	Työasema ja harrastaja tason prosessorit (HEDT)
Kaby Lake DT	Greenlow	Työasema	Työasemat & lähtötason palvelimet

3.7 Intel 8. sukupolven Core: Amber Lake ja Whiskey Lake

Amber Lake ja Whiskey Lake lanseerattiin elokuussa 2018.

Amber Lake on Kaby Lake-Y:n seuraaja ja Whiskey Lake on Kaby Lake-U:n. Ne ovat samanaikaisia Coffee Laken ja Cannon Laken kanssa (Wikichip, Amber Lake - Microarchitectures - Intel, n.d.).

Amber Lake on suunniteltu alle 5 W:lle ja Whiskey Lake alle 15 W:lle (Cutress, Intel Launches Whiskey Lake-U and Amber Lake-Y: New MacBook CPUs?: Intel launches Whiskey and Amber, 2018).

Tehty Intelin 14nm++ prosessilla (Wikichip, Amber Lake - Microarchitectures - Intel, n.d.).

3.7.1 Ominaisuudet

Amber Lakessa ytimien määrä on 2 ja Whiskey Lakessa 2-4 (Cutress, Intel Launches Whiskey Lake-U and Amber Lake-Y: New MacBook CPUs?: Intel launches Whiskey and Amber, 2018).

Välimuistien määrät ovat samat kuin Kaby Lake:ssa (Wikichip, Amber Lake - Microarchitectures - Intel, n.d.).

3.7.2 Avain muutokset Kaby Lake R:stä

Seuraava lista käyttää lähdettä: (Cutress, Intel Launches Whiskey Lake-U and Amber Lake-Y: New MacBook CPUs?: Intel launches Whiskey and Amber, 2018)

- ❖ Natiivi USB 3.1 tuki ilman tarvetta ylimääräisille controllereille.
- ❖ Sisäinen 802.11ac 160MHz WiFi MAC.
- ❖ Mikroarkkitehtuuriltansa ja prosessiltansa sama, kuin Kaby Lake.

3.7.3 Tuoteperheet

Taulukossa 7 on esitelty Amber Lake ja Whiskey Lake tuoteperheiden koodinimet ja niiden kuvaukset.

Taulukko 7. Amber Lake ja Whiskey Lake tuoteperheiden koodinimi (Wikichip, Amber Lake - Microarchitectures - Intel, n.d.) ja (Wikichip, Whiskey Lake - Microarchitectures - Intel, n.d.)

Koodinimi	Kuvaus	Kohde
Amber Lake Y	Äärimmäisen pieni virrankulutus	2-in-1, tabletit, tietokone tikut
Whiskey Lake U	Erittäin pieni virrankulutus	Kevyet notebookit, kannettavat All-in-Ones

3.8 Intel 8. sukupolven Core: Coffee Lake

Coffee Lake esiteltiin lokakuussa 2017, ja se lanseerattiin samanaikaisesti Amber Laken, Whiskey Laken ja Cannon Laken kanssa (Wikichip, Coffee Lake - Microarchitectures - Intel, n.d.).

Intelin 9. sukupolven Core on Coffee Lake R.

3.8.1 Ominaisuudet

Tehty Intelin 14nm++ prosessilla.

Ytimiä enintään 8.

Välimuistien määrät: samat kuin Kaby Lake. (Wikichip, Coffee Lake - Microarchitectures - Intel, n.d.)

3.8.2 Avain muutoksia Kaby Lakesta

Seuraava lista käyttää lähdettä: (Wikichip, Coffee Lake - Microarchitectures - Intel, n.d.)

- ❖ Uusi tuoteperhe i9, jonka ensimmäinen prosessori i9-8950HK julkaistiin huhtikuussa 2018
- ❖ Paranneltu ”14nm++” prosessi
- ❖ IPC parannus suuremmasta välimuistista
- ❖ Järjestelmä arkkitehtuuri
 - 50 % enemmän ytimiä (4 → 6)
 - 50 % isompi L3 (8 MiB → 12 MiB)
 - Coffee Lake Refresh
 - 100 % enemmän ytimiä (4 → 8)
 - 100 % isompi viimeisen tason välimuisti (8 MiB → 16 MiB)
- ❖ Piirisarja
 - 200 Series piirisarja → 300 Series piirisarja
 - Integroitu USB 3.1 (10 GiB/s)
 - Integroitu Intel wireless ohjain (IEEE 802.11ac)

- Integroitu SDXC 3.0 ohjain
- ❖ Muisti
 - Nopeampi muisti mainstream desktopille (esim. Coffee Lake S) DDR4-2400
→ DDR4-2666
- ❖ Tuoteperheet
 - Celeron
 - Tuettu muisti: 2133 MT/s → 2400 MT/s
 - MPX ja OS Guard poistettiin
 - Pentium Gold
 - Tuettu muisti: 2133 MT/s → 2400 MT/s
 - 3 MiB L3 → 4 MiB L3
 - MPX ja OS Guard poistettiin
 - Core i3
 - dual-core → quad-core
 - 3 tai 4 MiB L3 → 6 tai 8 MiB L3
 - Hyper-threading poistettiin
 - Core i5
 - Tuettu muisti: 2400MT/s → 2666 MT/s
 - quad-core → hexa-core
 - 6 MiB L3 → 9 MiB L3
 - Core i7
 - Tuettu muisti: 2400 MT/s → 2666 MT/s
 - quad-core → hexa-core
 - 8 MiB L3 → 12 MiB L3

3.8.3 Tuoteperheet

Taulukossa 8 on esitelty Coffee Lake tuoteperheiden koodinimet ja niiden kuvaukset.

Taulukko 8. Coffee Lake tuoteperheiden koodinimet (Wikichip, Coffee Lake - Microarchitectures - Intel, n.d.)

Koodinimi	Kuvaus	Kohde
Coffee Lake U	Erittäin pieni virrankulutus	Kevyet notebookit, kannettavat AiOt, Minit
Coffee Lake H	Korkea suorituskykyiset grafiikat	Äärimmäinen mobiili suorituskyky, kannettavat työasemat
Coffee Lake S	Mainstream suorituskyky	Desktop suorituskyvystä AiO:hin ja mineihin
Coffee Lake R	Mainstream suorituskyky (Refresh)	Desktop suorituskyvystä AiO:hin ja mineihin
Coffee Lake E	Työasema	Työasema & lähtötason palvelimet

3.9 Intelin 2. sukupolven Xeon: Cascade Lake

Cascade Lake lanseerattiin huhtikuussa ja Cascade Lake W kesäkuussa 2019.

Se on samanaikainen Coffee Laken kanssa, ja on Skylake-X:n ja Skylake-SP:n jatkaaja. (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

3.9.1 Ominaisuudet

Cascade Lake on tehty Intelin parannetulla 14nm prosessilla. Ytimiä siinä on enintään 56. (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

Seuraava lista käyttää lähdettä: (Cutress, Intel at Hot Chips 2018: Showing the Ankle of Cascade Lake: Process tuning and VNNI, 2018)

Välimuistien määrät ovat samat, kuin Skylake-SP:ssä:

L0 OP: 1 536 μ OPs

L1I: 32 KiB/ydin

L1D: 32 KiB/ydin

L2: 256 KiB/ydin

L3: 1,375 MiB/ydin

3.9.2 Avain muutoksia Skylakesta

Seuraava lista käyttää lähdettä: (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

❖ Järjestelmä arkkitehtuuri

- Uusia 'monta sirua paketissa' -malleja
 - Enintään 56 ydintä, 12 DDR4 kanavaa

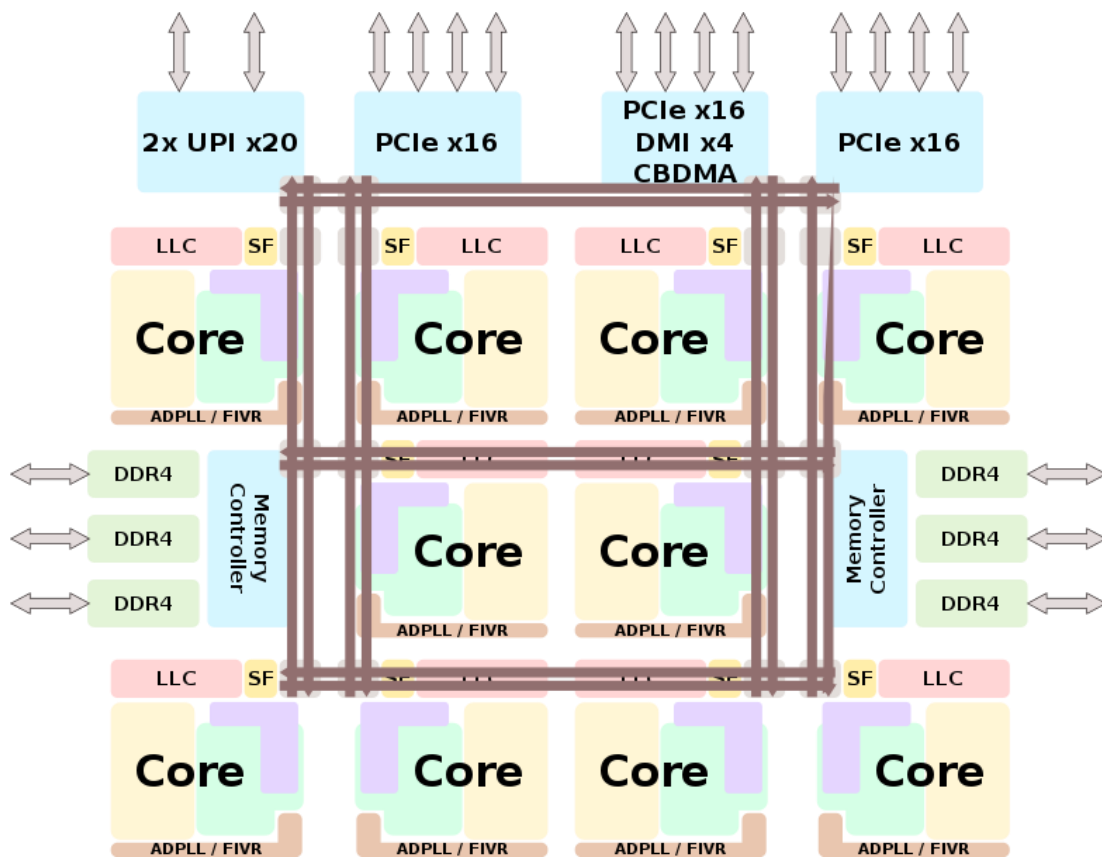
❖ Ydin

- Suoritusyksikkö
 - Uusi VNNI logiikka porteilla 0 ja 1 osana FMA:ta
- Korkeampi taajuus (100-300 MHz korkeampi base/boost kellot)
- Turvallisuus
 - Laitteisto lievennykset Spectre, Variant 2:lle

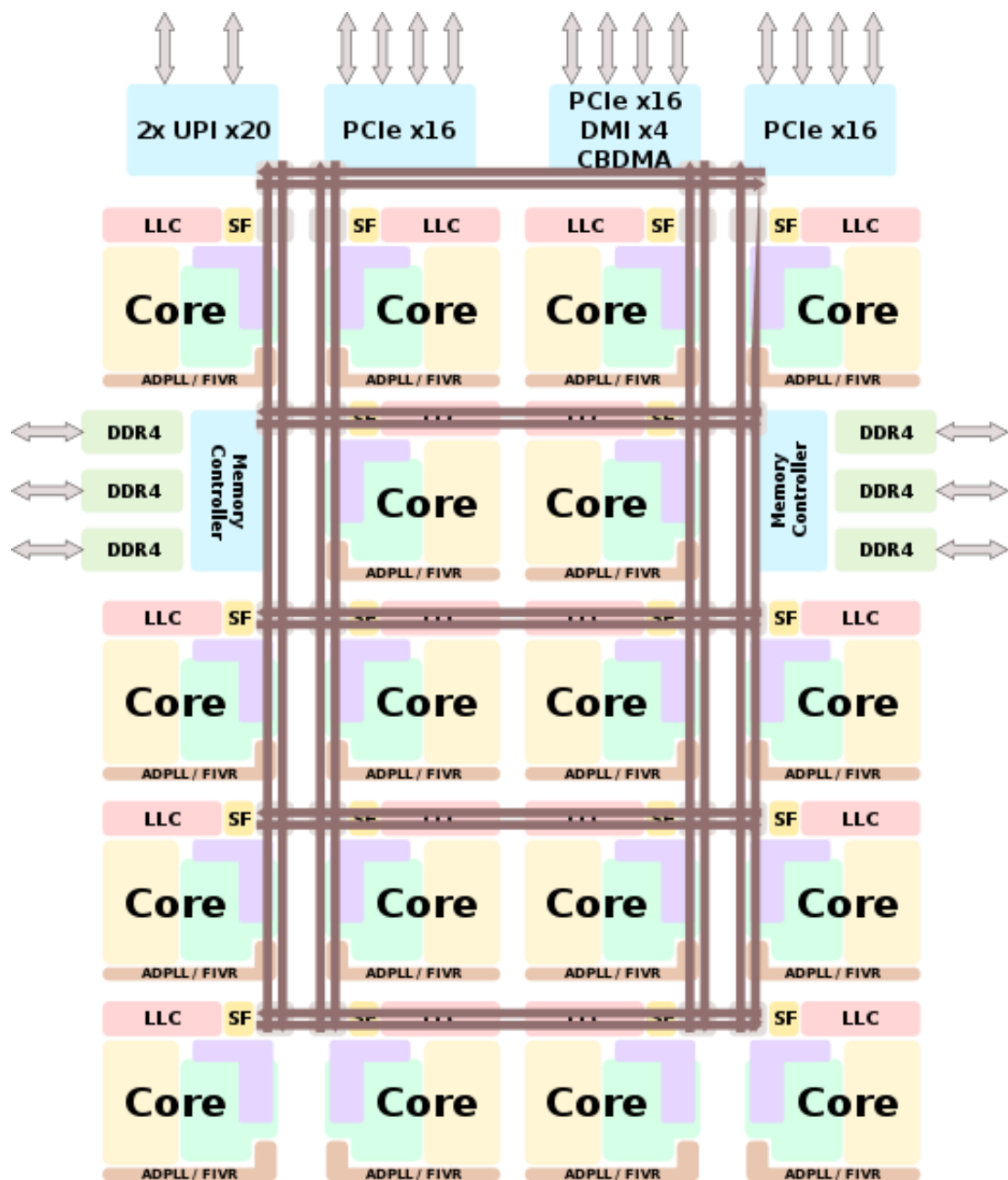
- Laitteisto lievennykset Meltdown, Variant 3:lle
- Laitteisto lievennykset Rogue System Register Read (RSRE), Variant 3a:lle
- Laitteisto lievennykset L1 Terminal Fault, Foreshadow:lle
- Laitteisto lievennykset MDS, MFBDS, RIDL, MSBDS, Fallout, MLPDS, MDSUM:lle
- Uusi ”CPUID tason tyyppi” -kenttä ’siru’:lle
- ❖ Sisäinen muistin ohjain
 - Lisättiin tuki pysyvälle muistille
 - Tuki DDR-T / Optane DIMM:lle
 - Apache Pass DIMMit
- ❖ Muisti
 - Nopeampi data nopeus, 2666 MT/s → 2933 MT/s
 - Isompi standardi tuki per kanta, 768 GiB → 1 TiB
 - Isompi laajennettu muisti tuki per kanta, 1,5 TiB → 2 TiB
 - Iso muisti tuki enintään 4,5 TiB per kanta
- ❖ I/O
 - x64 alusta PCIe kaistoja, kasvoi x48:sta (vain Xeon W)
- ❖ Uusia teknologioita
 - Uusi käskysarja
 - AVX-512 VNNI (Vector Neural Network Instructions)
 - Speed Select Technology

3.9.3 Rakenne

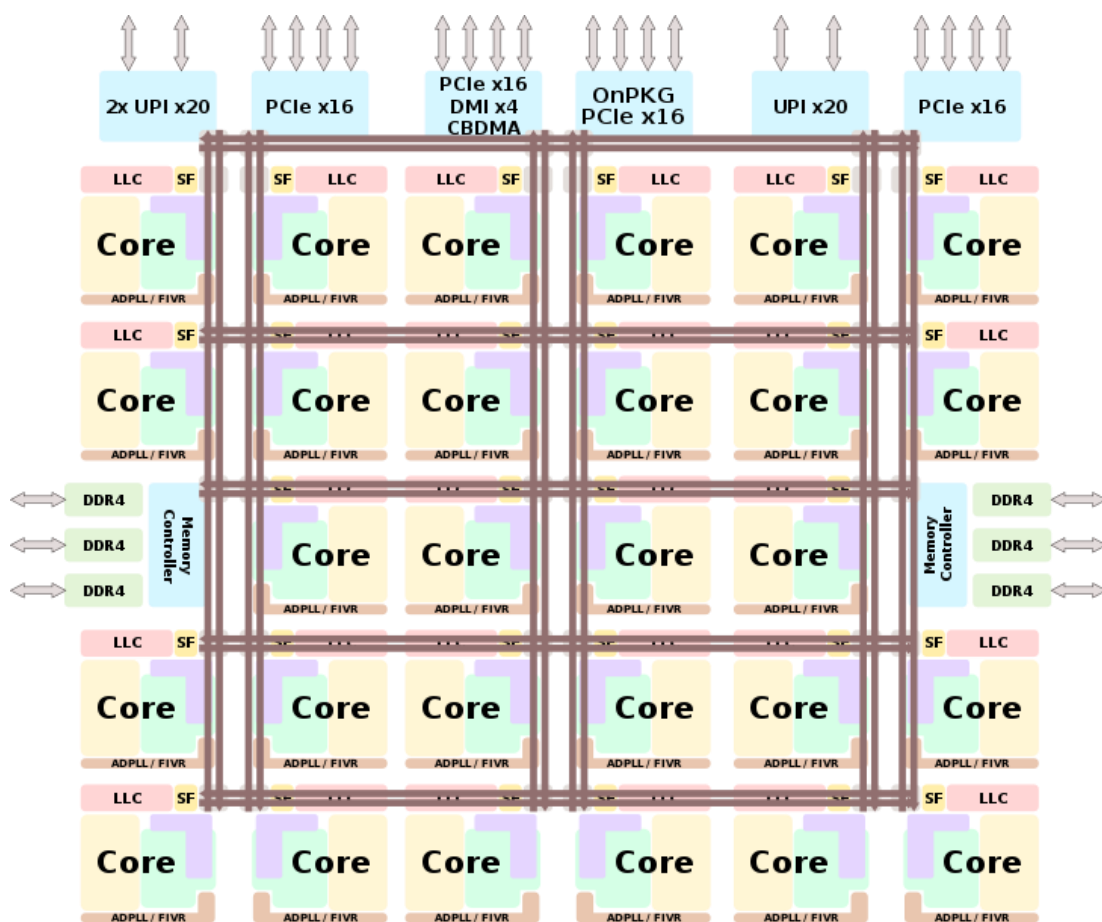
Kuvissa 30, 31 ja 32 näkyy Cascade Lake-SP:n Low Core Count (LCC), High Core Count (HCC), ja Extreme Core Count (XCC) SoC lohkokaaeviot.



Kuva 30. Cascade Lake-SP, LCC SoC lohkokaaevio (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)



Kuva 31. Cascade Lake-SP, HCC SoC lohkoakaavio (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)



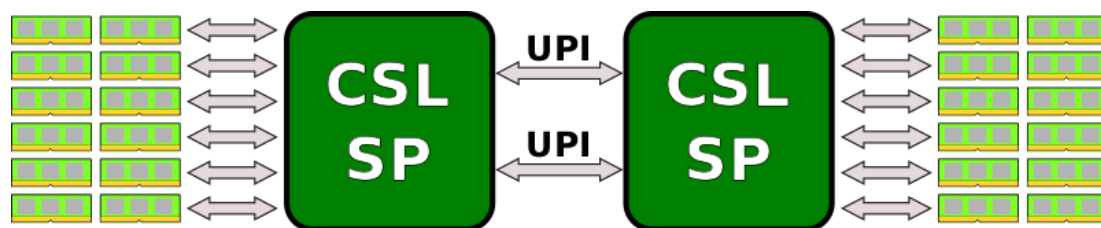
Kuva 32. Cascade Lake-SP, XCC SoC lohkokaavio (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

3.9.4 UPI

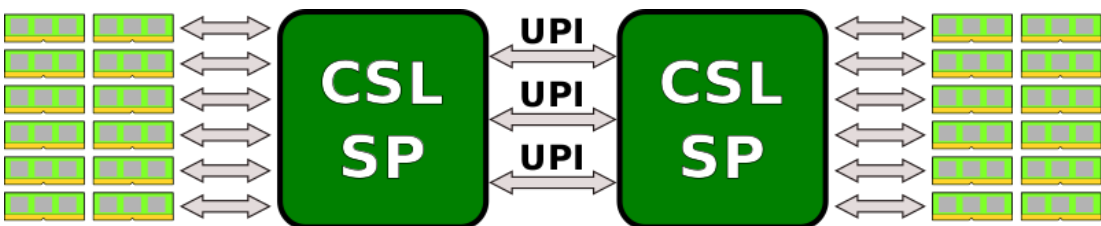
Cascade Lake jatkaa UPI:n käyttöä, joka esiteltiin ensimmäisen kerran Skylaken kanssa (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.).

UPI on korkean hyötysuhteen yhtenäinen liitäntä skaalautuvia järjestelmiä varten, jolloin moni suoritin jakaa yhden jaetun osoiteavaruuden. Mallista riippuen kullakin prosessorilla voi olla joko kaksi tai kolme UPI-linkkiä yhdistettynä muihin prosessoreihin. (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

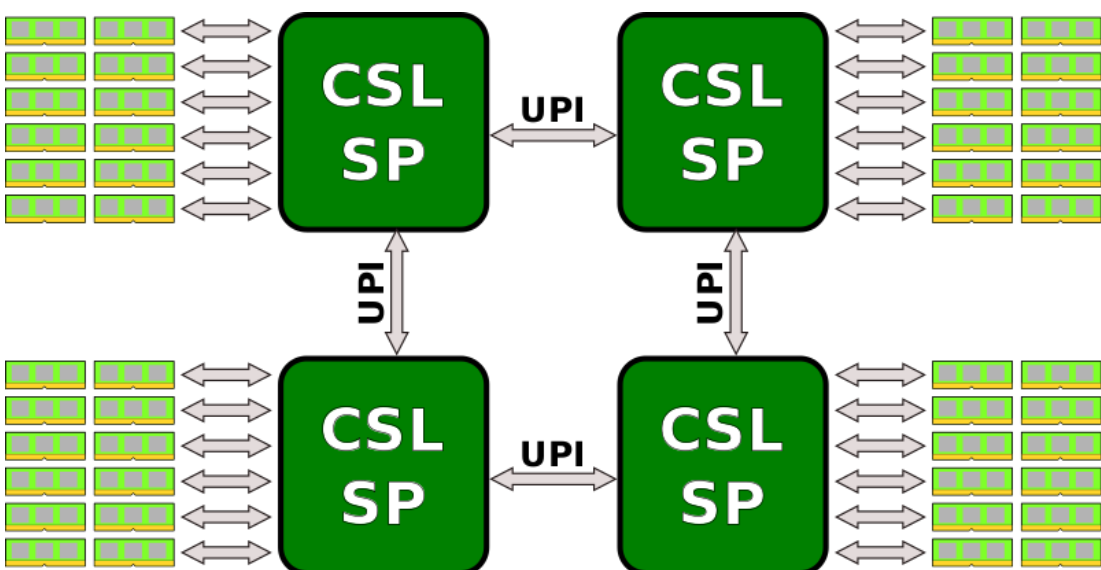
Mallista riippuen, Cascade Lake prosessorit voivat skaalautua 2-suuntaisesta jopa 8-suuntaiseen moniprosessointiin (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.). Kuvissa 33 ja 34 näkyy 2-suuntainen Symmetric Multiprocessing (SMP) kahdella ja kolmella UPI linkillä, kuvissa 35 ja 36 näkyy 4-suuntainen SMP kahdella ja kolmella UPI linkillä, ja kuvassa 37 näkyy 8-suuntainen SMP kolmella UPI linkillä.



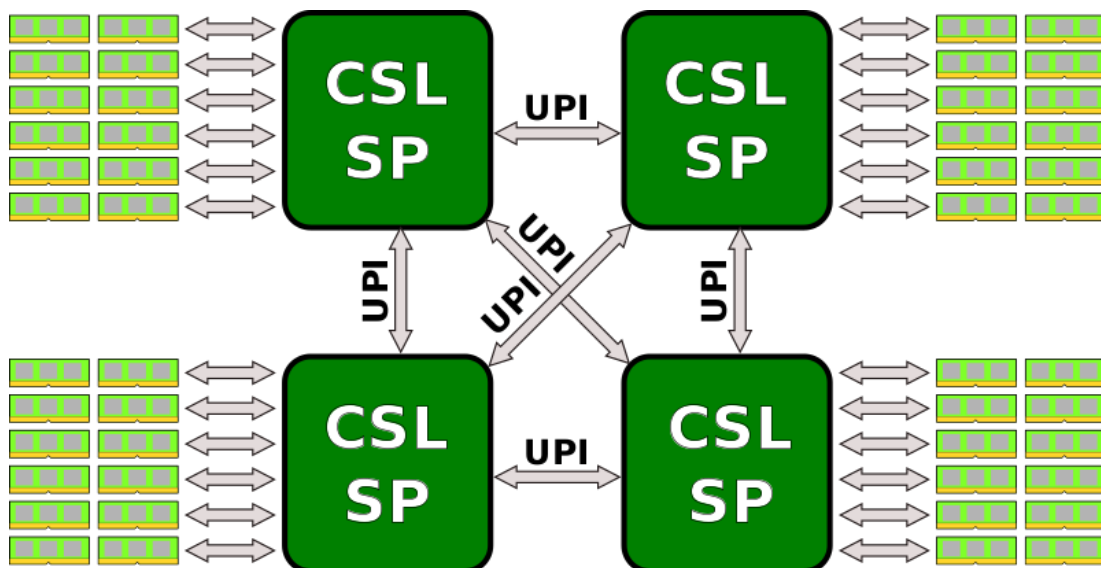
Kuva 33. 2-suuntainen SMP kahdella UPI linkillä (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)



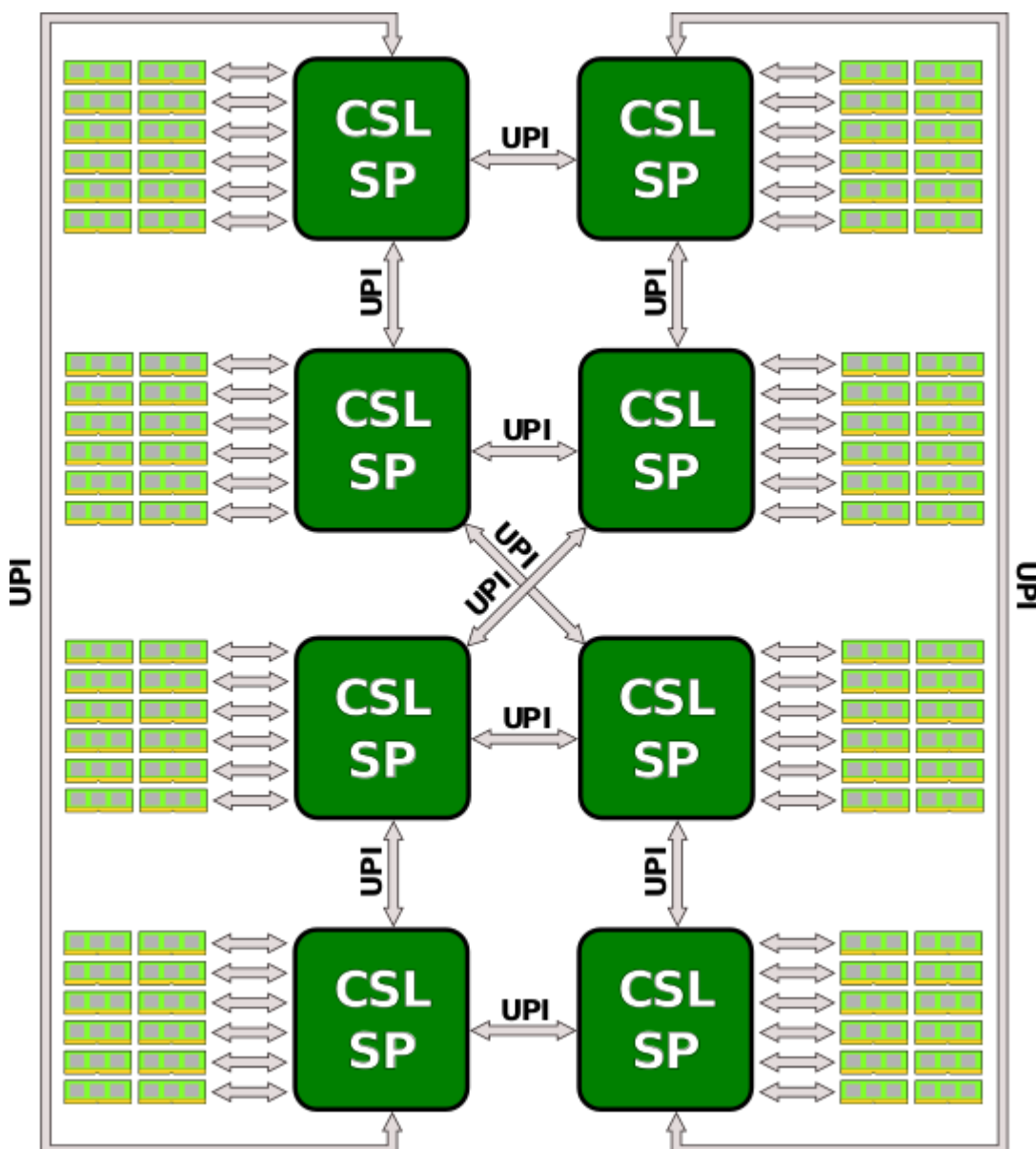
Kuva 34. 2-suuntainen SMP kolmella UPI linkillä (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)



Kuva 35. 4-suuntainen SMP kahdella UPI linkillä (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)



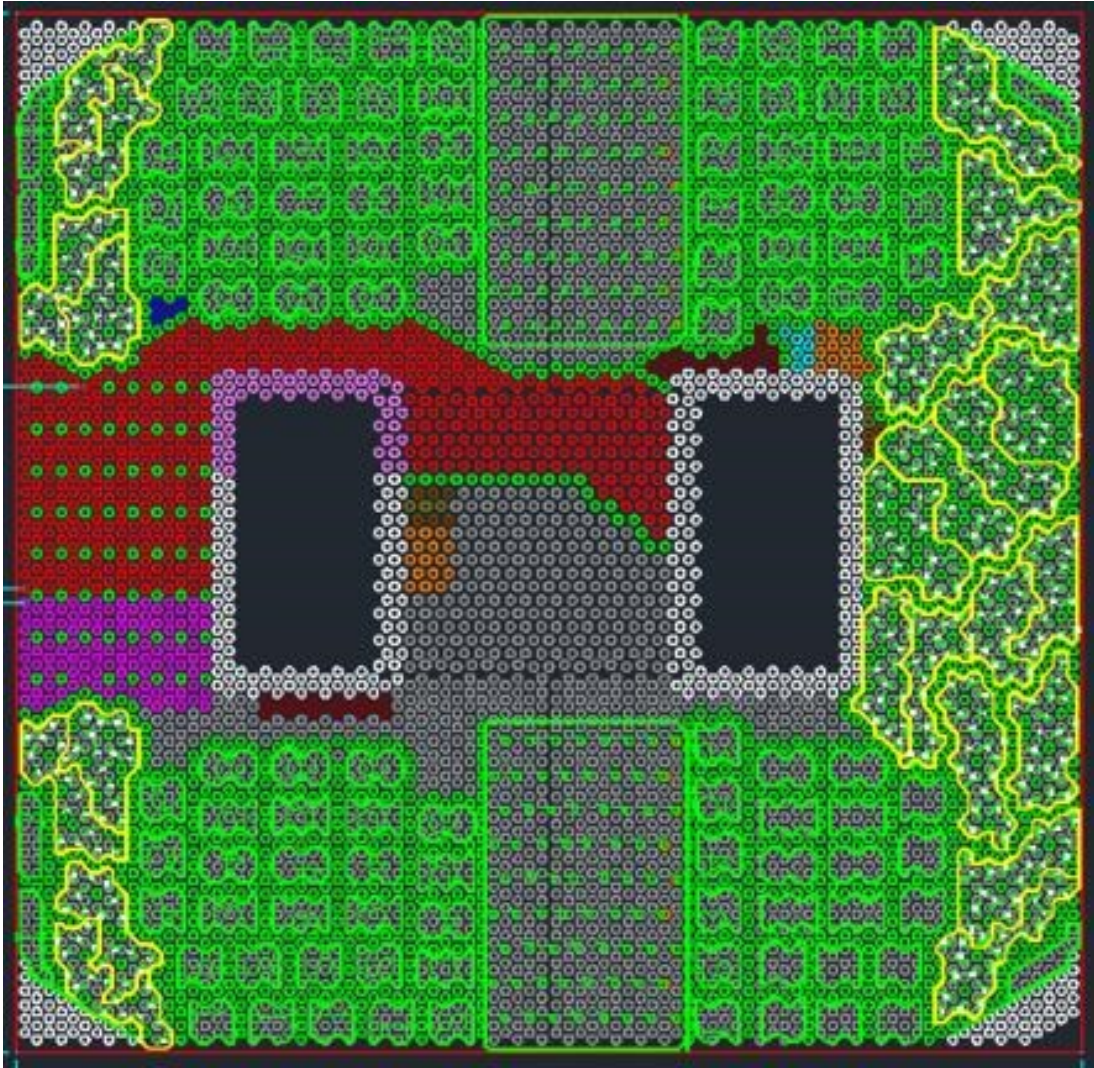
Kuva 36. 4-suuntainen SMP kolmella UPI linkillä (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)



Kuva 37. 8-suuntainen SMP kolmella UPI linkillä (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

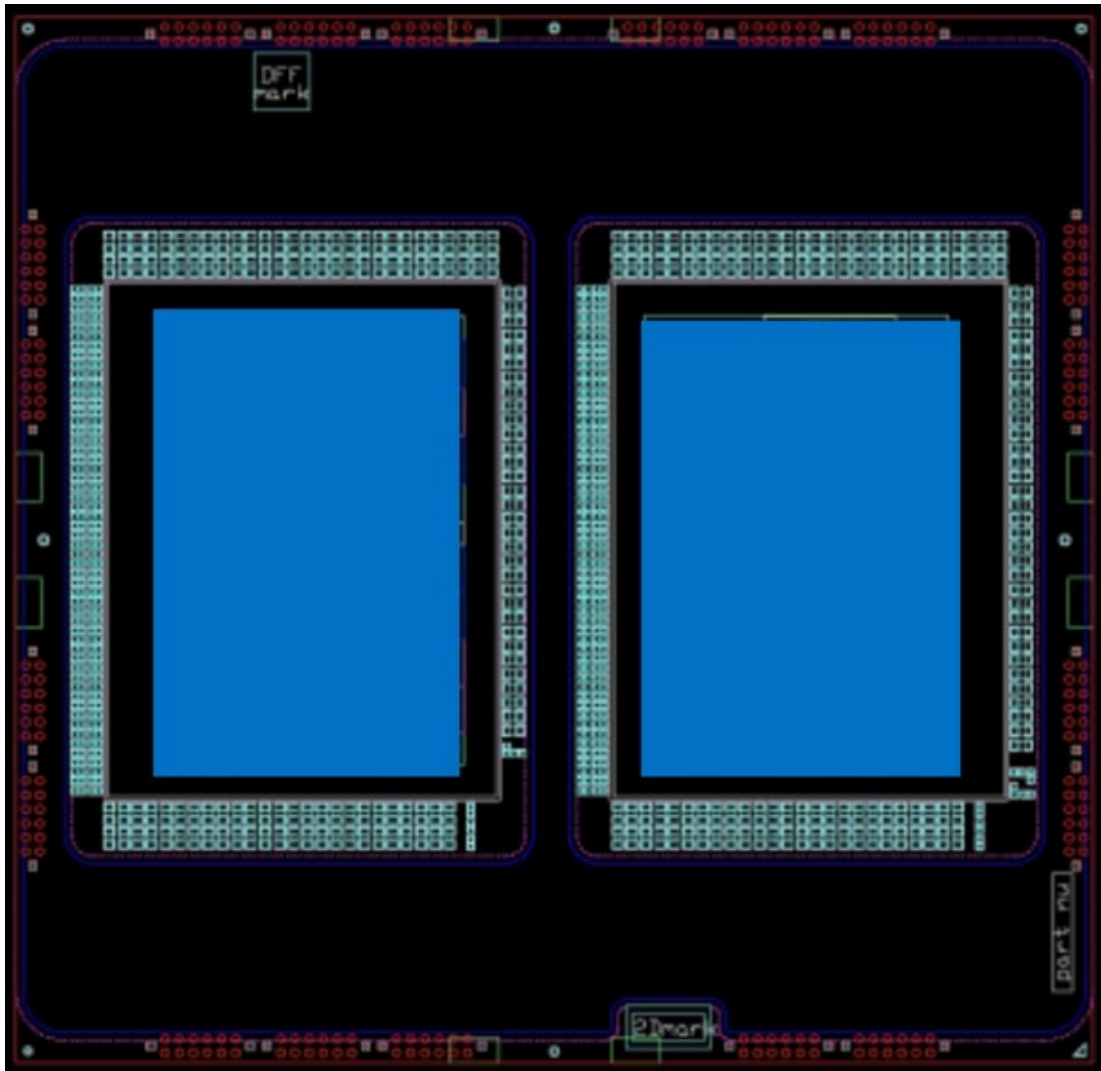
3.9.5 Paketti

Cascade Lake-AP käyttää tiheää suuritehoista BGA-pakettia (ball grid array, palloruudukkopaketti). Siinä on 5903 palloa 0,99 mm:n korkeudella. Suorituskyvyn ja tehon vuoksi on kaksi erillistä virtakäytävää, kuten kuvassa 38 näkyy. Se käyttää yhtä lämmönlevitintä, joka on suunniteltu kattamaan kaikkien prosessorimallien TDP alue. Jokainen paketti sisältää yhteensä 12 kanavaisen DDR4-tuen nopeudeltaan enintään 2933 MT/s, sekä 4 UPI-linkkiä, jotka toimivat nopeudella 10,4 GT/s. (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)



Kuva 38. Cascade Lake-AP paketti alapuolelta (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

Kuvassa 39 näkyy Cascade Lake-AP paketti yläpuolelta.



Kuva 39. Cascade Lake-AP paketti yläpuolelta (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

3.9.6 Uudet teknologiat

AVX-512 Vector Neural Network Instructions

Cascade Lake lisäsi tuen AVX-512 Vector Neural Network Instructions (AVX512 VNNI) käskysarjalle. Tämä laajennus tuo uuden käskysarjan sisäisen konvoluutioisen neuroverkkosilmukan nopeuttamiseksi. Tukee operaatioita 8-bittisillä ja 16-bittisillä pareilla. Tämä uusi laajennus pienentää vaadittua muistin kaistanleveyttä, jota tarvitaan suorittamaan skaalariparikerroin, jota seuraa vaakaparien summaus ja keräys. (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

Speed Select Technology

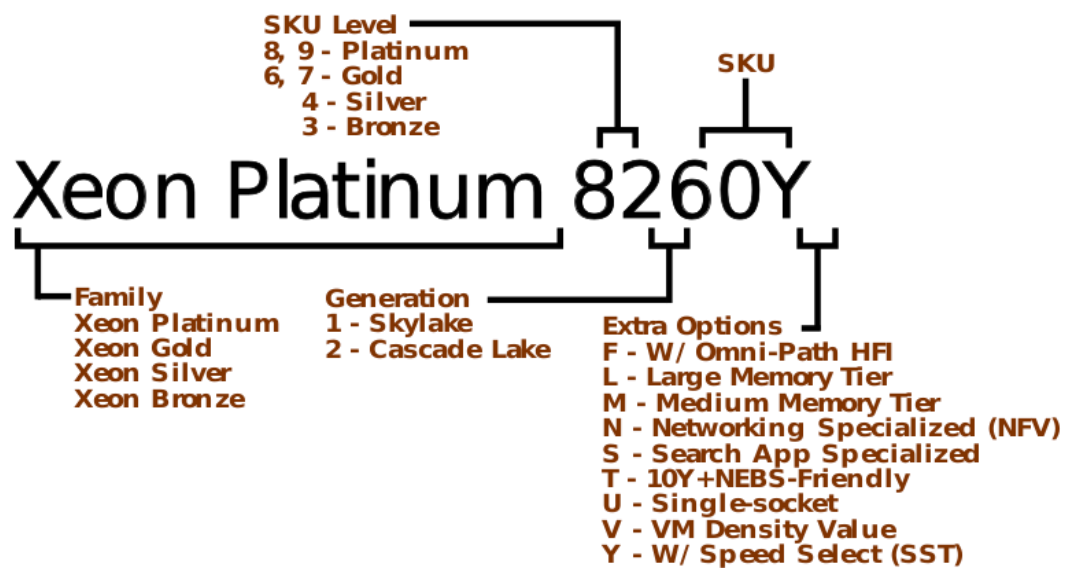
Speed Select Technology on uusi ominaisuus, joka löytyy SST-enabloiduista malleista. Se sallii per-ydin virran/suorituskyvyn hienosäädön antamalla järjestelmänvalvojen muuttaa tiettyjen ytimien base ja boost taajuuksia. Näille ytimille (prioritisoitujen ytimet) voi asettaa tiettyjä applikaatioita korkeammalla prioriteetillä. Koska prosessorin virtabudjetti on kiinteä, on base tai boost taajuuksia mahdollista nostaa prioritisoitujen ytimien kohdalla, kun seassa on vähemmän-prioritisoituja ytimiä. (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

3.9.7 Tuoteperheet

Taulukko 9 kertoo Cascade Lake tuoteperheiden koodinimet ja niiden kuvaukset, ja kuvassa 40 on esitelty Cascade Lake -mallien tunnistamista helpottava dekooderi.

Taulukko 9. Cascade Lake tuoteperheiden koodinimet (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

Ydin	Alusta	Kohde
Cascade Lake-X	Glacier Falls	Työasema ja harrastaja tason prosessorit (HEDT)
Cascade Lake-W		Yritys/liiketoiminta työasemat
Cascade Lake-SP	Purley	Palvelin skaalautuvat prosessorit
Cascade Lake-AP		Palvelin edistyneet prosessorit



Kuva 40. Cascade Laken mallin tunnistamista helpottava dekooderi (Wikichip, Cascade Lake - Microarchitectures - Intel, n.d.)

3.10 Intelin 10. sukupolven Core: Comet Lake

Comet Lake lanseerattiin elokuussa 2019.

Se on jatkaja Coffee Lakelle, Amber Lakelle ja Whiskey Lakelle (Wikichip, Comet Lake - Microarchitectures - Intel, n.d.), ja on samanaikainen Ice Laken kanssa (Wikipedia, Comet Lake (microprocessor), n.d.)

3.10.1 Ominaisuudet

Comet Lake on tehty Intelin parannetulla 14nm++ prosessilla.

Välimuistien määrät ovat samat, kuin Kaby Lakessa. (Wikichip, Comet Lake - Microarchitectures - Intel, n.d.)

3.10.2 Avain muutoksia Coffee Lakesta

Seuraava lista käyttää lähdettä: (Wikichip, Comet Lake - Microarchitectures - Intel, n.d.)

- ❖ Paranneltu 14nm++ prosessi tuo korkeammat turbo taajuudet
- ❖ Järjestelmä arkkitehtuuri
 - 25 % enemmän ytimiä, 8 → 10
 - 25 % enemmän L3 välimuistia, 16MiB → 20 MiB
- ❖ Piirisarja
 - 300 Sarja → 400 Sarja
 - 2.5G ethernet (Foxville) tuki
 - Integroitu WiFi 6 AX201 tuki
- ❖ Muisti
 - Nopeampi muisti mainstream työpöydälle, esimerkiksi Comet Lake-S, DDR4-2666 → DDR4-2933
- ❖ Paketti
 - Sirun ohennus korkeatasoisilla malleilla paremman lämmönpoiston takaamiseksi

3.10.3 Tuoteperheet

Taulukossa 10 on esitelty Comet Lake tuoteperheiden koodinimet ja niiden kuvaukset.

Taulukko 10. Comet Lake tuoteperheiden koodinimet (Wikichip, Comet Lake - Microarchitectures - Intel, n.d.)

Ydin	Kuvaus	Kohde
Comet Lake S	Mainstream suorituskyky	Työpöytä suorituskyvystä AiO:hin ja mineihin
Comet Lake U	Erittäin pieni virrankulutus	Kevyet notebookit, kannettavat AIOt, minit

3.11 Intelin 3. sukupolven Xeon: Cooper Lake

Cooper Lake esiteltiin heinäkuussa 2020.

Se on jatkaja Cascade Lakelle, ja samanaikainen Coffee Laken ja Ice Lake-SP:n kanssa. (Wikichip, Cooper Lake - Microarchitectures - Intel, n.d.)

Se on kohdistettu Intelin “priority” asiakkaille 4S ja 8S (S tarkoittaa Socket, kanta) alustana (Cutress, Intel Launches Cooper Lake: 3rd Generation Xeon Scalable for 4P/8P Servers, s. 1, 2020).

3.11.1 Ominaisuudet

Cooper Lake on tehty Intelin parannetulla 14nm++ prosessilla (Wikichip, Cooper Lake - Microarchitectures - Intel, n.d.).

Ytimiä siinä on enintään 28 (Cutress, Intel Launches Cooper Lake: 3rd Generation Xeon Scalable for 4P/8P Servers, s. 1, 2020).

Välimuistien määrät ovat samat, kuin Cascade Lakessa (Wikichip, Cooper Lake - Microarchitectures - Intel, n.d.).

3.11.2 Avain muutokset Cascade Lakesta

Seuraava lista käyttää lähdettä: (Wikichip, Cooper Lake - Microarchitectures - Intel, n.d.)

❖ SoC

- 2x UPI linkkejä, 3 → 6

❖ Muisti

- Tukee jopa 12 DIMMiä DDR4 muistia per kanta
- Korkeampi datan siirto nopeus (2933 MT/s → 3200 MT/s)
- Optane DC DIMMt (tuki 2. sukupolven Optane muistille)
 - Apache Pass → Barlow Pass

❖ Alusta

- Purley → Cedar Island
- ❖ Paketti
 - Socket-P+
 - 4189-kontaktinen flip-siru LGA, kasvoi 3647 kontaktisesta
- ❖ Uusia käskysarjoja
 - BFLOAT16 – uusi data tyyppi tekoälyn työkuorman kiihdyttämiseen
 - AVX512 BF16 – AVX-512 Brain Float 16 laajennus

3.11.3 Tuoteperheet

Taulukossa 11 on esitelty Cooper Lake tuoteperheiden koodinimet ja niiden kuvaukset. Itse en kuitenkaan löytänyt mistään mitään mainintaa X- ja W-luokan prosessoreista.

Taulukko 11. Cooper Lake tuoteperheiden koodinimet (Wikichip, Cooper Lake - Microarchitectures - Intel, n.d.)

Ydin	Kohde
Cooper Lake-X	Työasema ja harrastaja tason prosessorit (HEDT)
Cooper Lake-W	Yritys/liiketoiminta työasemat
Cooper Lake-SP	Palvelin skaalautuvat prosessorit
Cooper Lake-AP	Palvelin edistyneet prosessorit

3.12 Intelin 8. sukupolven Core: Cannon Lake

Cannon Lake julkaistiin toukokuussa 2018.

Intelin PAO-mallissa Cannon Lake on ”Process”.

Se on jatkaja Kaby Lake Refreshille, ja samanaikainen Coffee Laken kanssa. (Wikichip, Cannon Lake - Microarchitectures - Intel, n.d.)

3.12.1 Ominaisuudet

Cannon Lake on Intelin ensimmäinen 10nm prosessitekniikalla valmistettu Core.

Siinä on ytimiä 2 ja HT on päällä.

Välimuistien määrät ovat samat, kuin Kaby Lakessa. (Wikichip, Cannon Lake - Microarchitectures - Intel, n.d.)

3.12.2 Avain muutokset Skylakesta

Seuraava lista käyttää lähdettä: (Wikichip, Cannon Lake - Microarchitectures - Intel, n.d.)

- ❖ Uusi prosessi, 14nm → 10nm
- ❖ Uusi ydin
 - Skylake → Palm Cove
 - AVX-512 käskysarja
- ❖ Uusi piirisarja
 - 200 Sarja → 300 Sarja
- ❖ Muisti
 - LPDDR3 → LPDDR4/LPDDR4X, datan siirtonopeus maks. 2400MT/s
- ❖ Uusi GPU
 - Gen9.5 → Gen10

3.12.3 Prosessorit

Taulukossa 12 on esitelty Cannon Lake prosessorit ja niiden teknisiä tietoja. M3 variantista löytyy todella vähän tietoa, joten ei tiedä minne ja mihin käyttöön sitä on toimitettu.

Taulukko 12. Cannon Lake prosessorit (Wikichip, Cannon Lake - Microarchitectures - Intel, n.d.) ja (Chino, 2018)

CPU	Ytimet	TDP	Base taajuus	Boost taajuus	iGPU
Intel Core i3-8121U	2	15 W	2,2 GHz	3,2 GHz	Ei
Intel Core M3-8114Y	2	5 W	1,5 GHz	2,2 GHz	Kyllä

3.13 Intelin 10. sukupolven Core: Ice Lake

Ice Lake lanseerattiin syyskuussa 2019 ja se on suunnattu mobiiliprosessori markkinoille. Se on jatkaaja Cannon Lakelle ja Whiskey Lakelle, ja samanaikainen Comet Laken kanssa.

Se on Intelin PAO-mallissa ”Architecture”. (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)

3.13.1 Ominaisuudet

Ice Lake on tehty Intelin 2. sukupolven 10nm prosessilla, joten sitä voisi kutsua myös 10nm+:ksi, Cannon Lakesta välittämättä. Ytimiä siinä on 2-4. (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)

Seuraava lista käyttää lähdettä (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)

Välimuistien määrät:

L1I: 32 KiB/ydin

L1D: 48 KiB/ydin

L2: 512 KiB/ydin

L3: 2 MiB/ydin

3.13.2 Avain muutokset Cannon Lakesta/Skylakesta

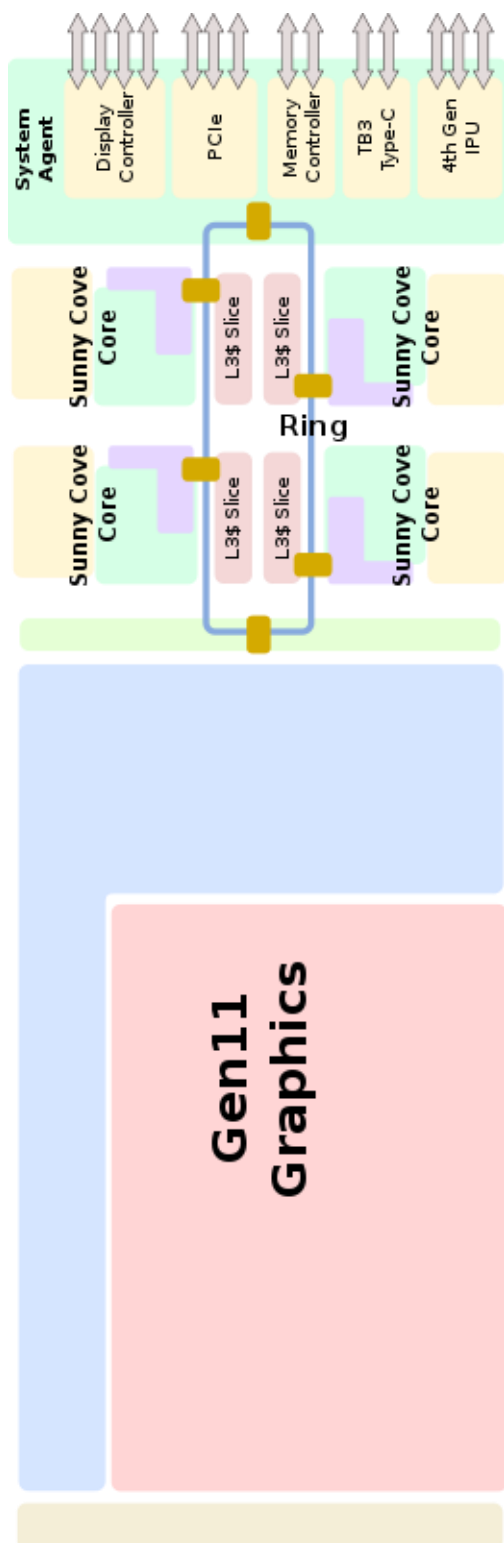
Seuraava lista käyttää lähdettä: (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)

- ❖ Paranneltu ”10nm+” prosessi, 2. sukupolvi
- ❖ Ydin
 - Palm Cove → Sunny Cove
 - Keskimäärin 18 % kasvu IPC:hen verrattuna Skylakeen käyden samalla taajuudella ja muisti configuraatiolla
- ❖ Muisti
 - 2 64-bit DDR4 kanavaa → 4 32-bit LPDDR4X kanavia

- 1.4x korkeammat datanopeudet, 2666 MT/s → 3733 MT/s
 - 1.5x korkeampi muistin kaistanväylä, 40 GB/s → 60 GB/s
- ❖ Grafiikat
 - Gen10 → Gen11
- ❖ Näyttö
 - Gen9.5 → Gen 11.5
 - DisplayPort 1.4a, Display Stream Compression (DSC) kanssa
 - HDMI 1.4 → HDMI 2.0b
- ❖ IPU
 - 3. sukupolven IPU → 4. sukupolven IPU
 - Tukee useampaa kameraa
 - Uusi samanaikainen kuvakanava
 - MIPI rajapinta sirulla
- ❖ Uusi integraatio
 - Gaussian Neural Accelerator 1.0
- ❖ I/O
 - Thunderbolt 3 USB Type-C:n yli
- ❖ Paketti
 - Uusia Type3, Type4 paketteja
- ❖ Lisäyksiä käskysarjoihin
 - SHA
 - CLWB -
 - RDPID
 - AVX-512
 - SSE_GFNI
 - AVX_GFNI

3.13.3 Rakenne

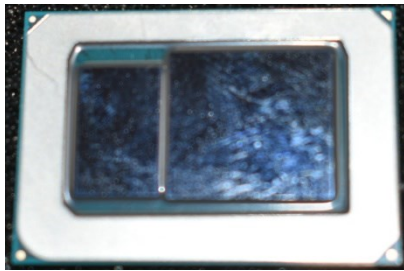
Kuvassa 41 näkyy asiakkaille suunnatun Ice Lake:n SoC lohkokkaavio, ja kuvissa 42 ja 43 näkyy Ice Laken Type3 ja Type4 paketit.



Kuva 41. Ice Lake client SoC lohkokkaavio (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)

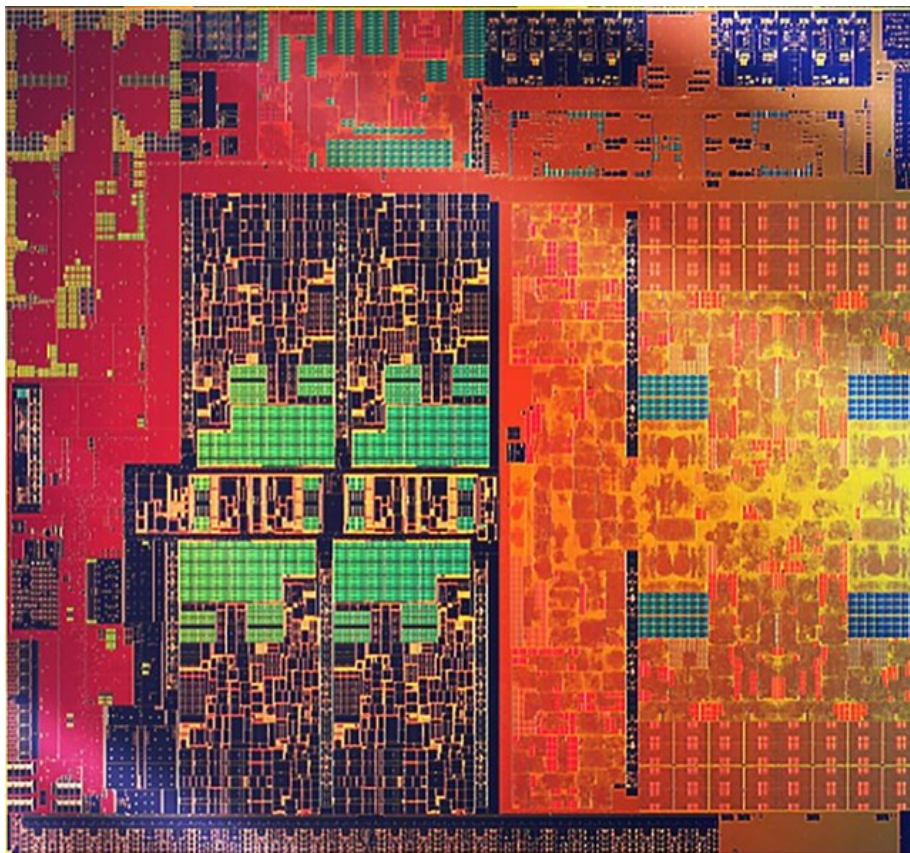


Kuva 42. Type3 paketti edestä (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)

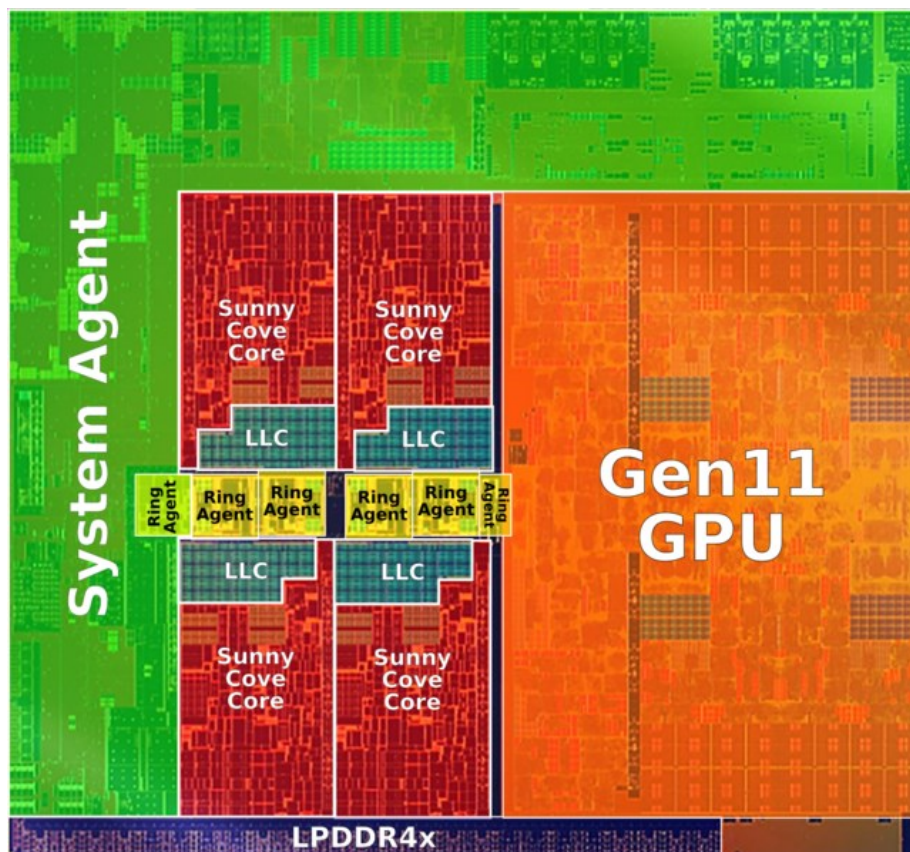


Kuva 43. Type4 paketti edestä (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)

Kuvissa 44 ja 45 näkyy asiakkaille suunnatun Ice Laken siru.



Kuva 44. Ice Lake client siru (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)



Kuva 45. Ice Lake client siru, alueet merkitty (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)

3.13.4 Tuoteperheet

Taulukossa 13 on esitelty Ice Lake tuoteperheiden koodinimet ja niiden kuvaukset.

Taulukko 13. Ice Lake tuoteperheiden koodinimet (Wikichip, Ice Lake (client) - Microarchitectures - Intel, n.d.)

Ydin	Kuvaus	Kohde
Ice Lake-Y	Äärimmäisen pieni virrankulutus	2-in-1, tabletit, tietokoneitkut
Ice Lake-U	Ultra pieni virrankulutus	Kevyet notebookit, kannettavat AiOt, minit
Ice Lake H	Korkea suorituskykyiset grafiikat	Äärimmäistä mobiili suorituskykyä, mobiili työasemat

3.14 Intelin 1. sukupolven hybridi Core: Lakefield

Lakefield lanseerattiin kesäkuussa 2020 ja se on suunnattu mobiiliprosessori markkinoille.

Siinä on 3D paketti ja heterogeeninen moniydin, ytimiä 5 ja säikeitä 5.

Se on tehty Intelin 22nm ja 10nm prosesseilla.

Välimuistien määrät ovat seuraavat:

L2: 512 KiB + 1,5 MiB

L3: 4 MiB/siru. (Wikichip, Lakefield - Microarchitectures - Intel, n.d.)

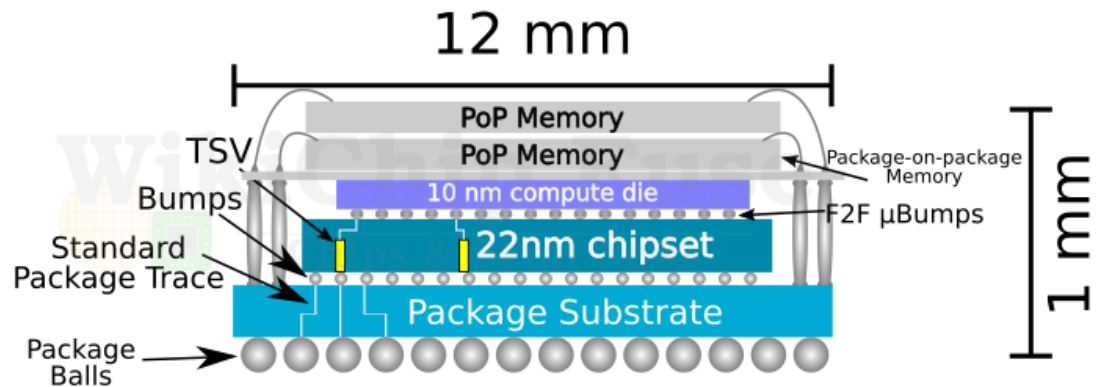
3.14.1 Ominaisuudet

Seuraava lista käyttää lähdettä: (Wikichip, Lakefield - Microarchitectures - Intel, n.d.)

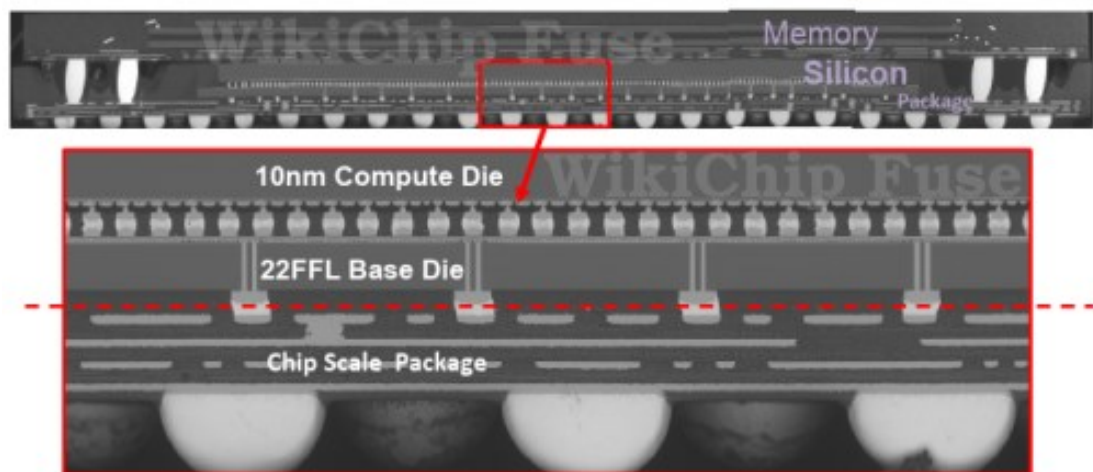
- ❖ 3D sisäinen piiri
 - Foveros paketti
 - 22nm alusta
 - 10nm laskennallinen siru
 - yksi-ISA heterogeeninen moniydin
 - 1x Sunny Cove iso ydin
 - 4x Tremont pientä ydintä
 - GPU
 - Gen11 grafiikat
 - IPU
 - IPU5.5
 - Muisti
 - LPDDR4X jopa 4266 MT/s
 - POP DRAM
 - Virta
 - 5 W ja 7 W TDP

3.14.2 Rakenne

Kuvissa 46 ja 47 näkyy Lakefield paketti sivulta katsoen.



Kuva 46. Lakefield paketti (Schor, Intel Launches Lakefield: An Experiment With Multiple New Technologies, 2020)



Kuva 47. Lakefield paketti (Schor, Intel Launches Lakefield: An Experiment With Multiple New Technologies, 2020)

3.15 Intelin 3. sukupolven Xeon: Ice Lake

Ice Lake Xeon lanseerattiin huhtikuussa 2021 (Wikipedia, Ice Lake (microprocessor), n.d.).

Se on suunnattu 1P (single processor platform, yhden prosessorin alusta) ja 2P markkinoille (Cutress, Intel Launches Cooper Lake: 3rd Generation Xeon Scalable for 4P/8P Servers, s. 1, 2020).

3.15.1 Ominaisuudet

Ice Lake on jatkaja Cascade Lakelle ja samanaikainen Cooper Laken kanssa. Siinä on enintään 40 ydintä.

Se on tehty Intelin 2. sukupolven 10nm prosessilla, joten sitä voisi kutsua myös 10nm+:ksi. (Wikipedia, Ice Lake (microprocessor), n.d.)

Seuraava lista käyttää lähdettä: (Wikipedia, Ice Lake (microprocessor), n.d.)

Välimuistien määrät:

L1I: 32 KiB/ydin

L1D: 48 KiB/ydin

L2: 512 KiB/ydin

L3: 1,5 MiB/ydin

3.15.2 Avain muutokset Cascade Lakesta

Muutokset alkavat ytimen perusasettelusta, ja koskevat erityisesti SIMD-komentoja (Single instruction, multiple data), kuten SSSE, AVX, AVX2 ja AVX-512: Intel mahdollistaa paremman salaustuen ISA:n (Instruction Set Architecture) kautta, mikä mahdollistaa AES:n, SHA:n, GFNI:n ja muiden ohjeiden suorittamisen samanaikaisesti kaikissa vektori-käskyjoukoissa. AVX-512 on parantanut taajuuksia ICX:n monimutkaisempien bittitoimintojen aikana kartoittamalla käskyjä ja tehonottoa älykkäämmin, mikä tarjoaa ylimääräisen 10 %:n taajuuden kaikille 256-bittisille käskyille. Tämän lisäksi on Intelin Speed Select -teknologiat, kuten suorituskykyprofiili, perustaaajuuden parannukset, turbotaajuuden parannukset ja ydintehon tuki, jotta ydinkohtainen

huipputeho tai palvelun laatu voidaan taata runsaasti käytetyn järjestelmän aikana asiakkaiden vaatimusten mukaisesti. Muita uusia ominaisuuksia ovat Software Guard laajennukset, jotka mahdollistavat erillisalueiden koon jopa 512 Gt per kanta tietyissä malleissa. (Frumusanu, 2021.)

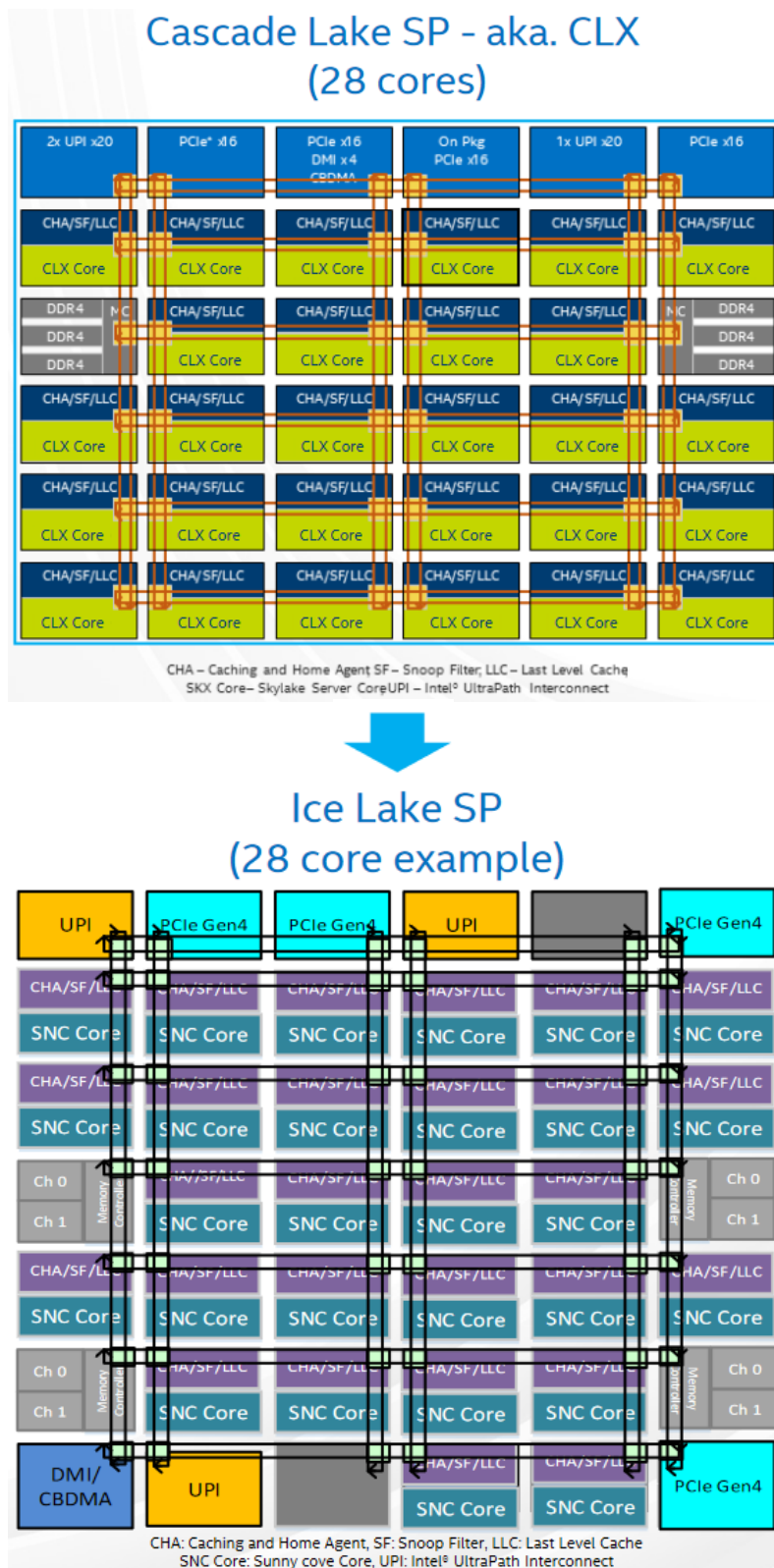
Erillisalue on muisti alue, jonka prosessori on salannut prosessorin sisäisesti ja vain koodille ja datalle, joka toimii tämän erillisalueen sisällä (Wikipedia, Software Guard Extensions, n.d.).

Seuraava lista käyttää lähdettä: (Wikichip, Ice Lake (server) - Microarchitectures - Intel, n.d.)

- ❖ Pienempi prosessi 14nm → 10nm+
- ❖ Sunny Cove ydin
- ❖ I/O
 - PCIe 3.0 → 4.0
- ❖ Muisti
 - Korkeampi kaistanleveys, 143,1 GiB/s → 190,7 GiB/s
 - Isompi määrä kanavia, 6 → 8
 - Korkeammat datanopeudet, 2933 MT/s → 3200 MT/s
 - Optane DC DIMMt
 - Apache Pass → Barlow Pass
- ❖ Alusta
 - Purley → Whitley
- ❖ Paketti
 - 4189-kontaktinen flip-siru LGA, kasvoi 3647 kontaktisesta

3.15.3 Rakenne

Kuvassa 48 näkyy SoC arkkitehtuurin muutos Cascade Lake -SP:stä Ice Lake-SP:hen.



Kuva 48. SoC arkkitehtuuri Cascade Lake-SP:stä Ice Lake-SP:hen (Papazian, 2020)

3.15.4 Tuoteperheet

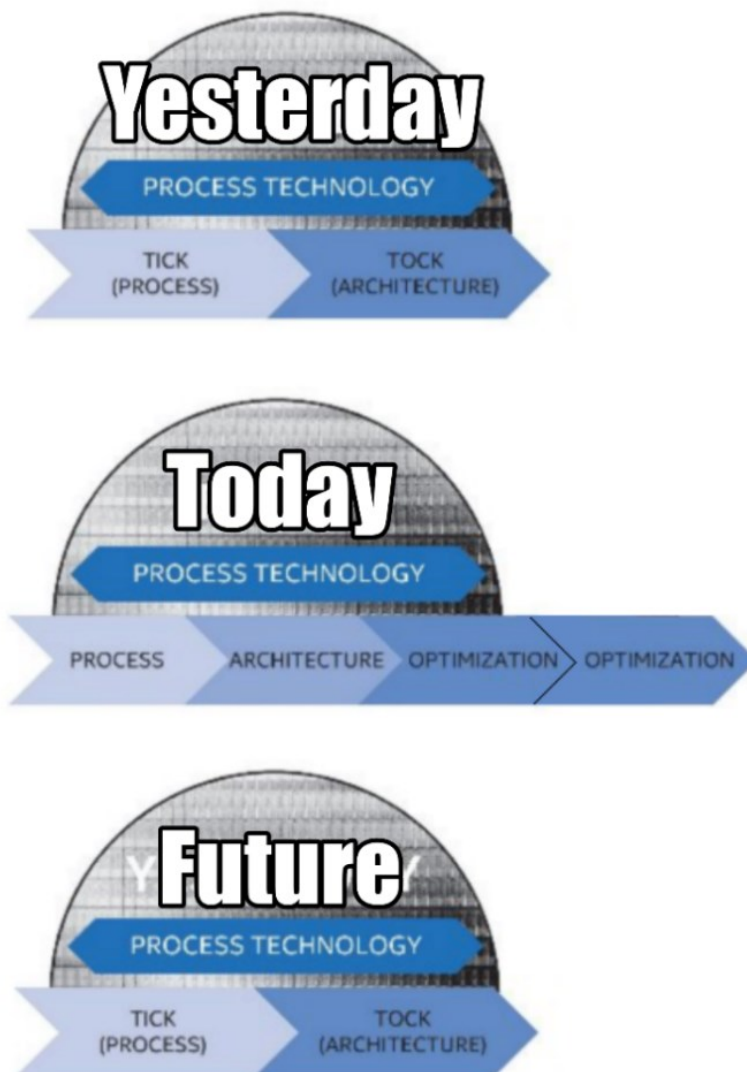
Taulukossa 14 on esitelty Ice Lake Xeon tuoteperheiden koodinimet ja niiden kohde-
markkinat.

Taulukko 14. Ice Lake Xeon tuoteperheiden koodinimet (Wikichip, Ice Lake (server) - Microarchitectures - Intel, n.d.)

Ydin	Kohde
Ice Lake-X	Työasema ja harrastaja tason prosessorit (HEDT)
Ice Lake-W	Yritys/liiketoiminta työasemat
Ice Lake-SP	Palvelin skaalautuvat prosessorit

3.16 Intel kertoo tuovansa ‘Tick-tock’ mallin takaisin henkiin

Maaliskuussa 2021 Intelin toimitusjohtaja Pat Gelsinger kertoi Intelin palaavan takaisin ‘tick-tock’ malliin, näkyy kuvassa 49. Intelin CPU etenemissuunnitelmat ovat kuitenkin lyöty lukkoon vuoteen 2023 asti, näin ollen Intel pyrkii olemaan ”kiistaton CPU suorituskyvyn johtaja” vuosina 2024/2025. (Cutress, Intel to Revive ‘Tick-Tock’ Model, Unquestioned CPU Leadership Performance in 2024/2025, 2021.)



Kuva 49. Intel palaa PAO mallista Tick-tock malliin (Cutress, Intel to Revive 'Tick-Tock' Model, Unquestioned CPU Leadership Performance in 2024/2025, 2021).

3.17 Intelin 11. sukupolven Core: Rocket Lake

Rocket Lake lanseerattiin maaliskuussa 2021 (Wikipedia, Rocket Lake, n.d.).

3.17.1 Ominaisuudet

Rocket Lake on jatkaja Comet Lakelle ja samanaikainen Tiger Laken kanssa.

Siinä on ydin configuraatioita 4, 6, ja 8, malleissa Core i5, i7 ja i9. Ydin määrät siis laskivat 10:stä 8:n.

Se käyttää Cypress Cove mikroarkkitehtuuria, joka on variantti Sunny Covesta (Sunny Cove on käytössä Ice Lake mobiiliprosessoreissa), backportattu 10nm prosessista 14nm prosessi noodille. (Wikipedia, Rocket Lake, n.d.)

Välimuistien määrät ovat samat, kuin kuluttajille suunnatussa Ice Lakessa (Wikichip, Rocket Lake - Microarchitectures - Intel, n.d.).

3.17.2 Avain muutoksia Comet Lakesta:

Seuraava lista käyttää lähdettä: (Wikichip, Rocket Lake - Microarchitectures - Intel, n.d.)

- ❖ Ydin
 - Skylake → Cypress Cove
- ❖ GPU
 - Gen9.5 → Gen12 (Xe)
- ❖ Näyttö
 - DisplayPort 1.2 → 1.4a
 - HDMI 1.4b → 2.0b
- ❖ I/O
 - PCIe 3.0 → 4.0
- ❖ Muisti
 - Nopeampi muisti mainstream työpöydille, esim. Rocket Lake-S, DDR4-2933 → DDR4-3200
- ❖ Piirisarja

- 400 Sarja → 500 Sarja
 - 2.5G Ethernet (Foxville) tuki
 - Sisäinen WiFi 6 AX201 (GiG+) tuki CNVi:llä
- ❖ Paketti
 - Sirun ohennus korkeatasoisilla malleilla paremman lämmönpoiston takaamiseksi

3.17.3 Tuoteperheet

Taulukossa 15 on esitelty Rocket Lake tuoteperheiden koodinimet ja niiden kuvaukset.

Taulukko 15. Rocket Lake tuoteperheiden koodinimet (Wikichip, Rocket Lake - Microarchitectures - Intel, n.d.)

Ydin	Kuvaus	Kohde
Rocket Lake-S	Mainstream suorituskyky	Työpöytä suorituskyvystä AiO:hin ja mineihin
Rocket Lake-U	Erittäin pieni virrankulutus	Kevyet notebookit, kannettavat AIOt, minit

3.18 Intelin 11. sukupolven Core: Tiger Lake

Tiger Lake lanseerattiin syyskuussa 2020 ja se on suunnattu mobiiliprosessori markkinoille. Se on PAO-mallissa ”Optimointi” vaihe. (Wikipedia, Tiger Lake, n.d.)

3.18.1 Ominaisuudet

Tiger Lake on jatkaja Ice Lakelle ja Comet Lakelle.

Se on tehty Intelin 3. sukupolven 10nm prosessi noodilla, joka tunnetaan nimellä ”10SF” (10nm SuperFin). Se sisältää ytimiä 2-4. (Wikipedia, Tiger Lake, n.d.)

H1 2021 Intel kuitenkin on kertonut alkavansa toimittamaan Tiger Lake-H tuoteperhettä, joka sisältää 8 ytimisiä malleja (Cutress, Intel’s 8-Core Mobile Tiger Lake-H, at 45 W, to Ship in Q1, 2021).

3.18.2 Avain muutokset Ice Lakesta:

Seuraava lista on lainattu lähteestä: (Wikichip, Tiger Lake - Microarchitectures - Intel, n.d.)

❖ Ydin

- Sunny Cove → Willow Cove
- Jopa 50 % suurempi L3 välimuisti, 2 MB/ydin → 3 MB/ydin
- 2,5x suurempi L2 välimuisti, 512 KB/ydin → 1,25 MB/ydin

❖ GPU

- Gen11 → Gen12 (Xe)

❖ Näyttö

- HDMI 2.0b → 2.1

❖ I/O

- PCIe 3.0 → 4.0

❖ Laitteisto Telemetry

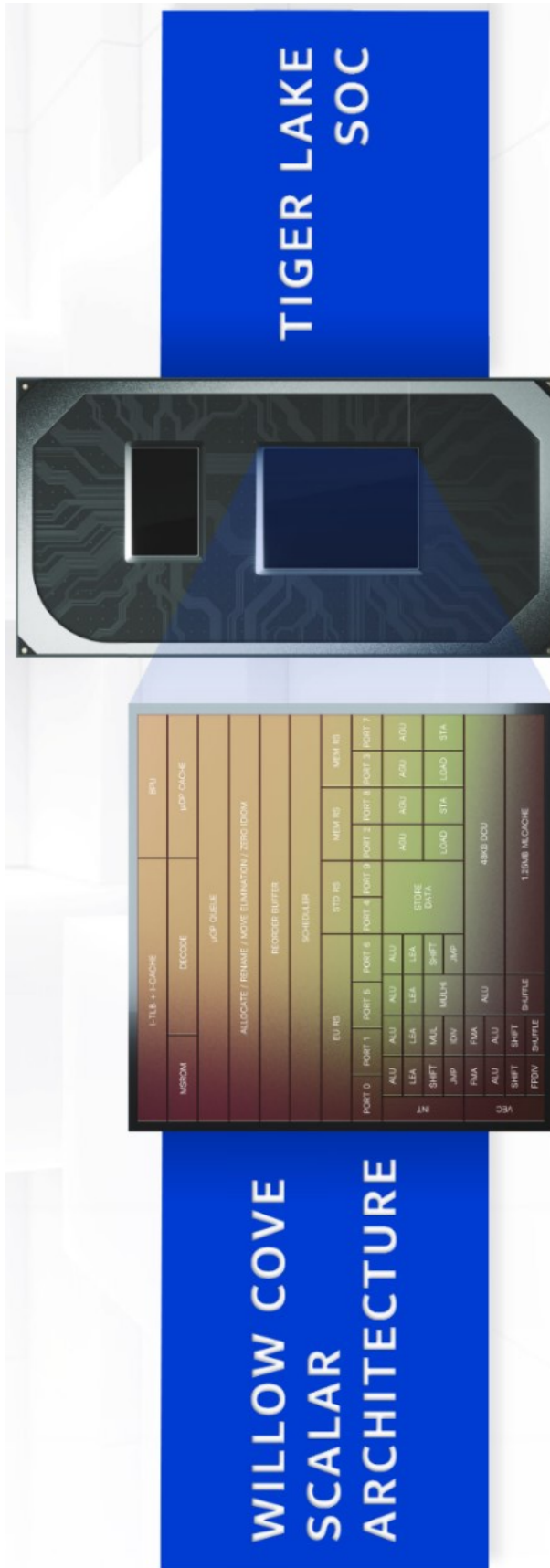
- Intel Platform Monitoring Technology tarjoaa pääsyn laitteiston suorituskykyyn, näytteenotto- ja jäljitystietoihin

3.18.3 Rakenne

Kuvassa 50 näkyy Tiger Laken SoC, kuvassa 51 näkyy Tiger Laken SoC hieman tarkemmin, ja kuvassa 52 näkyy Tiger Laken SoC, tarkemmin ja alueet merkittynä.



Kuva 50. Tiger Lake SoC (Intel, Intel architecture day 2020 presentation slides s.53, 2020)



Kuva 51. Tiger Lake SoC tarkemmin (Intel, Intel architecture day 2020 presentation slides s.54, 2020)



Kuva 52. Tiger Lake SoC, alueet merkitty (Intel, Intel architecture day 2020 presentation slides s.70, 2020)

3.18.4 Tuoteperheet

Taulukossa 16 on esitelty Tiger Lake tuoteperheiden koodinimet ja niiden kuvaukset.

Taulukko 16. Tiger Lake tuoteperheiden koodinimet (Wikichip, Tiger Lake - Microarchitectures - Intel, n.d.)

Ydin	Kuvaus	Kohde
Tiger Lake-Y	Äärimmäisen pieni virrankulutus	2-in-1, tabletit, tietokonetikut
Tiger Lake-U	Erittäin pieni virrankulutus	Kevyet notebookit, kannettavat AiOt, minit
Tiger Lake-H35	Korkea suorituskykyiset grafiikat	35 W TDP. Korkea mobiili suorituskyky, mobiili työasemat
Tiger Lake-H45	Korkea suorituskykyiset grafiikat	45 W TDP. Äärimmäinen mobiili suorituskyky, mobiili pelaaminen, mobiili työasemat

4 ENNUSTE

Suurinta osaa seuraavista ei pystytä vahvistamaan, joten väittämiin kannattaa suhtautua skeptisesti. Ennusteet perustuvat vuotoihin, hyvin verkostoituneiden henkilöiden kertomiin raportteihin, sekä asiantuntijoiden spekuloiemiin.

4.1 Intelin 12. sukupolven Core: Alder Lake

Alder Laken pitäisi lanseerata Q4 2021 (Subramaniam, Rumor | Intel and AMD roadmap for 2021 and 2022 reveals interesting developments: Zen 4 Raphael to change status quo by featuring an RDNA2 iGPU, 2020).

Kyseessä on jatkaja Rocket Lakelle ja Tiger Lakelle (Wikipedia, Alder Lake (microprocessor), n.d.). Kuvassa 53 on esillä kolmannen osapuolen kokoama taulukko Intelin ja AMD:n CPU etenemissuunnitelmista.

Alder Lake on Intelin ensimmäinen oikea heterogeeninen arkkitehtuuri. Sisältää korkea suorituskykyisiä Golden Cove ytimiä, ja matala virrankulutuksellisia Gracemont Atom ytimiä. (Liu, 2020). Inteliltä on markkinoilla myös Lakefield, mutta se oli Intelin uusien teknologioiden testi.

4 Gracemont Atom ydintä on fyysiseltä kooltaan sirulla samankokoisia, kuin 1 Golden Cove ydin (Dead, Intel Alder Lake IPC Leak: Golden Cove i9 could beat the R9 5900X, 2021).

4.1.1 Avain muutoksia Rocket Lakeen verrattuna

Seuraava lista käyttää lähdettä: (WhyCry, Exclusive: Intel 12th Gen Core “Alder Lake-S” platform detailed, 2021)

- ❖ Golden Cove ydin suunnittelu
- ❖ Intelin mukaan yksisäikeinen suorituskyky nousee jopa 20 %, ei kuitenkaan ole varmaa onko vertaus Rocket Lakeen vai Tiger Lakeen.
- ❖ Intelin mukaan Alder Lake prosessorit ovat tuplasti nopeampia monisäikeisissä työtaakoissa.
- ❖ 10 nm Enhanced SuperFin prosessiteknologia
- ❖ Heterogeeninen arkkitehtuuri, eli iso tehoisia Golden Cove ytimiä ja pieniä, energia tehokkaita Gracemont Cove ytimiä
- ❖ Gen 12.2 Grafiikka mikroarkkitehtuuri
- ❖ LGA1700 kanta
- ❖ Muisti tuki DDR4/DDR5, kalliimmat emolevyt tukevat DDR5, halvemmat DDR4. Mobiili alustoille LPDDR4/LPDDR5
- ❖ PCIe Gen 5.0/4.0. Prosessorissa on 16 PCI Gen 5 kaistaa ja 4 PCI Gen4 kaistaa
- ❖ Direct Media Interface (DMI) päivitetty Gen4:n
- ❖ Intel 600 piirisarja

Intel/AMD Roadmap整理 V0.1 2020.12.18 微博@MebiuW 知乎@MebiuW 公众号: weibo_mebiuw										
Line	2021Q1	2021Q2	2021Q3	2021Q4	2022Q1	2022Q2	2022Q3	2022Q4	2023Q1	
MSDT	Intel-S/K i9/7/5	Rocket Lake/Cypress Cove/14++/Xe Gen12 IPC~1.20X, i9/i7 8C16T, i5 6C12T, 32EU		Alder Lake/Golden Cove + Gracemont/10ESF/Xe Gen12 New Features: PCIe5, DDR5, Hybrid Technology IPC: Golden Cove:1.50+, Gracemont 1.0+ i9: 8B+8L 24T, i7 8B+8L 7T, i5 7 4B+8L 7, 32EU				TBD, Meteor Lake or Raptor Lake		
	Intel-i3 Pentium Celeron	Comet Lake Refresh/Skylake/14++/Gen 9.5 IPC~1.00X, i3 4C8T, 24EU								
	AMD Ryzen	Vermeer/Zen3/N7P/12LP IOD IPC: 1.20+, up to 16C32T		Warhol/Zen3/N7P/12LP IOD IPC: 1.20+, up to 16C32T		Raphael/Zen4/N5(P) RDNA2+DDR5				
Mobile Gaming	Intel-H High-End	Comet Lake H45	Tiger Lake H45/Willow Cove/10SF/Xe Gen12 New Features: PCIe 4.0, 5.3G Turbo(?) IPC~1.20+, i9/i7 8C16T, i5 6C12T/32EU		Alder Lake H55/Golden Cove+Gracemont/10ESF/Xe Gen12 New Features: PCIe 5.0, DDR5, IPC: Golden Cove: 1.50+, Gracemont 1.0+ i9: 8B+8L 24T, i7 8B+8L 7T, i5 4B+8L 16T, 32EU					
	Intel-H Entry	Tiger Lake H35/Willow Cove/10SF/Xe Gen12 New Features: PCIe4.0, LPDDR5 (?) Up to 4C8T/96EU/35W		Alder Lake H45/Golden Cove+Gracemont/10ESF/Xe Gen12 New Features: PCIe 5.0, DDR5, IPC: Golden Cove: 1.50+, Gracemont 1.0+ i9: 8B+8L 20T, i7 6B+8L 7T, i5 4B+8L 16T, 96EU						
	AMD Ryzen APU H	Cezanne/Zen3/N7P/Vega IPC: 1.20-, up to 8C16T, Vega 7		Renoir Refresh (Lucenne)/Zen2/N7/Vega IPC: 1.00-, up to 8C16T, Vega 7		Rambrandt/Zen3/N6/RDNA2 New Features: PCIe4.0, CVML IPC: 1.20-, ~ 8C16T		P***** 5nm Zen4		
	AMD Ryzen APU H-Entry	Renoir Refresh (Lucenne)/Zen2/N7/Vega IPC: 1.00-, up to 8C16T, Vega 7		TBD Cezanne Refresh ?		TBD				
Mobile ULV	Intel U28	Tiger Lake UP3/Willow Cove/10SF/Xe Gen12 New Features: PCIe 4.0/LPDDR5 IPC~1.20+, 4C8T 96EU		Alder Lake P U28/Golden Cove/10ESF/Xe Gen12 2021Q4-2022Q1 New Features: PCIe 5.0 i9: 6B+8L 20T, i7 4B+8L 16T, i5 4B+8L 7T, 96EU				TBD, Meteor Lake or Raptor Lake		
	Intel U15	Tiger Lake UP4/Willow Cove/10SF/Xe Gen12 New Features: PCIe 4.0/LPDDR5 IPC~1.20+, 4C8T 96EU		Alder Lake P U15/Golden Cove/10ESF/Xe Gen12 2021Q4-2022Q1 New Features: PCIe 5.0 i7 2B+8L+96EU, i5 2B+8L+96EU, i3 2B+4L+80EU, Pentium 1+4+48EU						
	AMD Ryzen APU U	Cezanne/Zen3/N7P/Vega IPC: 1.20-, up to 8C16T, Vega 7		Renoir Refresh (Lucenne)/Zen2/N7/Vega IPC: 1.00-, up to 8C16T, Vega 7		Rambrandt/Zen3/N6/RDNA2 New Features: PCIe4.0, CVML IPC: 1.20-, ~ 8C16T		***** 5nm Zen4		
	AMD Ryzen APU U-Entry	Renoir Refresh (Lucenne)/Zen2/N7/Vega IPC: 1.00-, up to 8C16T, Vega 7		TBD Cezanne Refresh ?		TBD				
Mobile UULV	Intel Y 9-15W	Tiger Lake UP4/Willow Cove/10SF/Xe Gen12 New Features: PCIe 4.0/LPDDR5 IPC~1.20+, 4C8T 96EU		Alder Lake P U9/Golden Cove/10ESF/Xe Gen12 2021Q4-2022Q1 New Features: PCIe 5.0 i7 2B+8L+96EU, i5 2B+8L+96EU, i3 2B+4L+80EU, Pentium 1+4+48EU				TBD, Meteor Lake or Raptor Lake		
	Intel Y 5-7W	Lakefield/Sunny Cove+Tremont/10+/Gen11 IPC~1.18X, 1B4L 64EU		Alder Lake M/Golden Cove/10ESF/Xe Gen12 2021Q4-2022Q1 1B4L up to 64EU						
	AMD APU ULV	Van Gogh/Zen2/N7P/RDNA2/LPDDR5/CVML		Dragon Crest				*****		

Kuva 53. Väitetty Intelin ja AMD:n CPU etenemissuunnitelma (@MebiuW, 2020)

4.2 AMD:n Zen 3 Warhol (Vermeer refresh)

Warholin lanseeraus olisi mahdollisesti Q4 2021 (Subramaniam, AMD Ryzen Zen 3+ Warhol likely to launch in Q4 2021, modest IPC bump on the anvil to take on Intel Alder Lake-S, 2021).

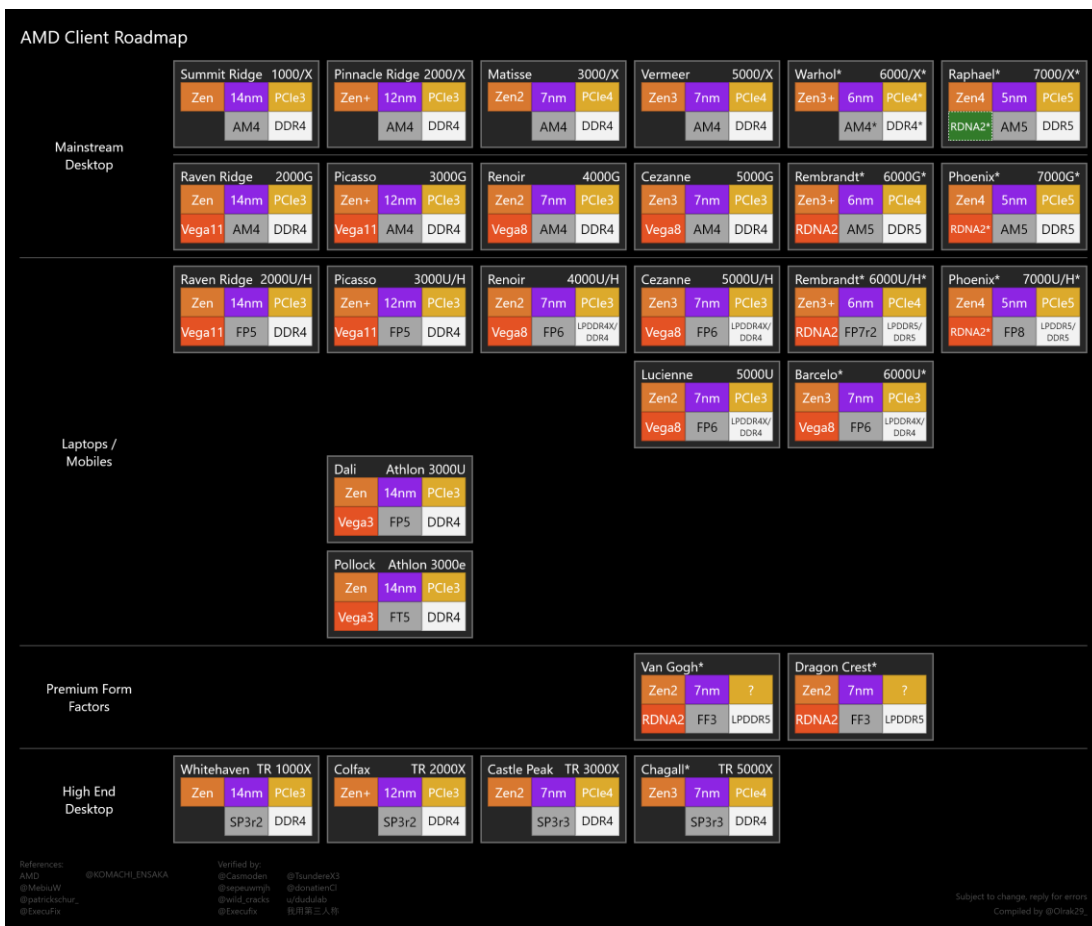
Se olisi jatkaja Zen 3 Vermeerille. Kuvassa 54 näkyy kolmannen osapuolen keräämä taulukko AMD:n asiakastason etenemissuunnitelmista.

Warhol on hävinnyt AMD:n sisäisistä etenemissuunnitelmista, eikä siitä puhuta AMD:llä paljon yhtään enää (RedGamingTech, 2021).

Moore's Law Is Deadin lähteet:

- Ensimmäinen lähde sanoo, ettei ole kuullut mistään puhuttavan ”Zen3+”:na, mutta voi kuitenkin vahvistaa, että Warhol on oikea koodinimi.
- Toinen lähde sanoo, että Zen3+ liittyy Rembrandt APU:hun, joka sisältää Zen 3 ytimiä jonkinlaisilla parannuksilla.
- Kolmas lähde sanoo, ettei ole kuullutkaan Zen 3+:sta. Jos Zen 3+ olisi tulossa markkinoille, sitä testattaisiin jo ja sen design olisi valmiina.
- Neljäs lähde sanoo, ettei myöskään ole kuullut täydestä Zen 3+:sta, ja että jos se olisi tulossa markkinoille tänä vuonna, siitä tiedettäisiin jo paljon enemmän.
- Viides lähde sanoo, ettei Warhol koskaan edennyt suunnitteluvaiheesta. (Dead, Debunking AMD Zen 3+ Warhol & Ryzen 4700S Leaks, 2021.)

Warhol olisi todennäköisesti ollut päivitetty mallisto Vermeeristä, samanlailla kuin Ryzen 3000 XT sarja oli päivitys Zen 2 Matissesta (Subramaniam, AMD Ryzen Zen 3+ Warhol likely to launch in Q4 2021, modest IPC bump on the anvil to take on Intel Alder Lake-S, 2021).



Kuva 54. AMD:n epävirallinen asiakastason etenemissuunnitelma (@Olrak29_, 2021)

4.3 AMD:n 6. sukupolvi: Zen 4

Zen 4:n pitäisi lanseerata myöhään 2022 (Hamilton, 2020).

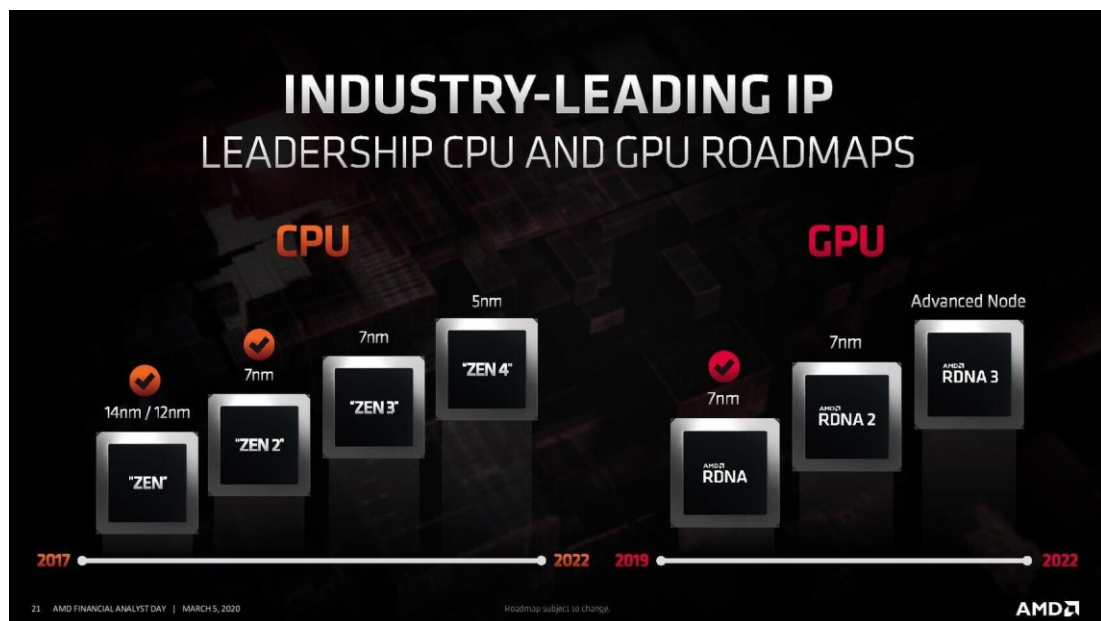
Se on jatkaaja Zen 3:lle. Kuvassa 55 on esillä AMD:n virallinen CPU ja GPU arkkitehtuurien etenemissuunnitelma.

Zen 4 tehdään TSMC:n 5nm prosessilla (Dexter, 2021).

Tässä kohtaa AMD siirtyy AM5 kantaan.

Zen 4 sisältää todennäköisesti seuraavat asiat:

- ❖ Navi 2 iGPU (Lilly, 2021).
- ❖ Tuki PCIe 5.0:lle
- ❖ Tuki DDR5:lle.
- ❖ Tuki USB 4.0:lle. (Hamilton, 2020.)



Kuva 55. AMD:n CPU ja GPU arkkitehtuurien etenemissuunnitelma (Uskompuf, 2021)

4.4 Intelin 13. sukupolven Core: Meteor Lake

Intelin mukaan heidän 7nm:n prosessinsa on etenemässä hyvin Meteor Laken, laattoja/siruja käyttävän asiakasprosessorin toimittamiseksi vuonna 2023 (Cutress, Intel to Revive 'Tick-Tock' Model, Unquestioned CPU Leadership Performance in 2024/2025, 2021).

Intel ei kutsu eriteltyä piitensä sanalla "chiplet", eli siru, vaan käyttää mieluummin sanaa "tile", eli laatta (Cutress, Intel to Revive 'Tick-Tock' Model, Unquestioned CPU Leadership Performance in 2024/2025, 2021).

4.5 Intelin 4. sukupolven Xeon: Sapphire Rapids

Sapphire Rapidsin pitäisi debytoida myöhään 2021 (Connatser, 2020).

Se on jatkaja Ice Lake serverille ja Cooper Lakelle, ja tehdään Intelin 10nm Enhanced SuperFin prosessilla. (Wikipedia, Sapphire Rapids, n.d.).

Seuraava lista käyttää lähdettä: (Connatser, 2020)

- ❖ Golden Cove
- ❖ Enintään 56 ydintä ja enintään 400 W TDP.
- ❖ Bfloat16 tuki
- ❖ Tuki enintään 80:lle PCIe 5.0 kaistalle tietyissä malleissa, 64 kaistaa toisissa
- ❖ Tukee CXL:ää
- ❖ DDR5 jopa 4800 MHz, 8 muisti kanavaa per CPU
- ❖ Tuki Optane muistille
- ❖ MCM-design
- ❖ 4 CPU laattaa, jokaisessa 14 enableitua ydintä
- ❖ 4 HBM2e pinoa, enintään 16 GB per pino, enintään 64 GB yhteensä, 1 TB/s kaistanleveys
- ❖ HBM2 ja DDR5 voivat työskennellä yhdessä tietyissä tiloissa

Kuvassa 56 on esillä kolmannen osapuolen tekemä Intel Xeon Scalable Alusta/Prosessori vertailu.

Intel® Xeon® Scalable Platform/Processor Comparison

Platform / Processor Specification	2nd Gen Xeon		3rd Gen Xeon (4-8 socket)		3rd Gen Xeon (1-2 socket)		EAGLE STREAM
	Cascade Lake (2019) / Cascade Lake Refresh (2020)		Cooper Lake (2020)		Ice Lake (2020)		Sapphire Rapids
Core Count / CPU Socket	28 cores		28 cores		40 cores		56 cores
Socket Scalability (per node)	1S, 2S, 4S, 8S / 1S, 2S, 4S ⁽¹⁾		4S, 8S		1S, 2S		1S, 2S, 4S, 8S
Max TDP	205W		250W		270W ⁽²⁾		350W
Node controller support	Yes		Yes		No		Yes
Physical/Virtual Address Bits	46/48		46/48		52/57		52/57
Memory support (DDR4/DDR5)	DDR4		DDR4		DDR4		DDR5
# Memory channels	6		6		8		8
Memory max. speeds	2933 (1 DPC)		3200 (2 DPC)		4800 (2 DPC)		4800 (2 DPC)
High Bandwidth Memory (HBM)	No		No		No		Yes, 1TB/s BW, 64GB HBM2e per socket
# Intel® UPI links	UPI 1.0 (2, 3)		UPI 1.0 (6)		UPI 1.0 (2, 3)		UPI 2.0 (up to 4)
Intel® UPI speeds	Up to 10.4 GT/s		Up to 10.4 GT/s		Up to 11.2 GT/s		Up to 16 GT/s
PCIe Generation (I/O)	PCIe 3.0, 48 lanes (x16, x8, x4)		PCIe 3.0, 48 lanes (x16, x8, x4)		PCIe 4.0, 64 lanes (x16, x8, x4)		80 lanes, PCIe 5.0 (x16, x8, x4), PCIe 4.0 (x2)
Intel® Deep Learning Boost (AI Inference / Training)	AVX-512 (VNNI/INT8)		AVX-512 (VNNI/INT8 & BFloat16)		AVX-512 (VNNI/INT8)		AMX/TMUL (INT8 & BFloat16) & AVX-512 (VNNI/INT8)
Security – Intel® SGX	No		No		Yes		Enhanced
Crypto Instructions	Legacy		Legacy		Vector AES, SHA extensions, VPMADD52		Vector AES, SHA extensions, VPMADD52
Intel Optane memory support	Intel® Optane™ persistent memory module (Apache Pass)		New Intel Optane Persistent Memory 200 Series (Barlow Pass) – validated on 45 only		New Intel Optane Persistent Memory 200 Series (Barlow Pass)		New Intel Optane Persistent Memory 300 Series (Crow Pass) – up to 2.6x 2K1W random-access BW ⁽³⁾
Compute Express Link (CXL)	No		No		No		Yes; spec 1.1, 4 x16 devices ⁽⁴⁾
Discrete FPGA accelerator	Yes (PCIe 3.0)		Yes (PCIe 3.0)		Yes (PCIe 4.0), UPI (POC only)		Yes (PCIe 5.0), CXL
SKU shelves	All / Gold 6000 & Bronze		Platinum, Gold SKUs All Barlow Pass capable		Targeted SKUs across all shelves (except Bronze)		All ⁽²⁾

(1) For 6250 and 6256 SKUs only

(2) ICX HCC > 205W may require extended air thermal solution. SFR > 250W may require extended air thermal solution.

(3) Memory access bandwidth may be reduced for extended Intel® Optane™ persistent memory module. Performance may be reduced for extended Intel® Optane™ persistent memory module.

(4) Intel® SGX

Kuva 56. Intel Xeon skaalautuva alusta/proessori vertailu (WhyCry & SMiThaYe, Intel Sapphire Rapids to feature up to 56 cores, 350W TDP and 64GB of HBM2 memory, 2021)

5 YHTEENVETO

5.1 Työn pohdinta

Tämän työn aihe paljastui opinnäytetyön kannalta aivan liian laajaksi. Kun aloin lukemaan ja kirjoittamaan ensimmäisistä Zen sukupolvista, tajusin kuinka paljon tietoutta ja materiaalia tästä aiheesta löytyy. Tajusin, että jos kirjoitan kaikista eroista ja kehityksistä, jotka tekevät uuden prosessoriarkkitehtuuri sukupolven, niin työ ei koskaan tulisi valmiiksi. Tällä perusteella oli pakko rajata aluetta, jolla vertasin käsiteltyjä prosessorisukupolvia, vaikka olisin halunnut ottaa työhön mukaan vertailuarvoja, kuten IPC lukemia ja CPU listoja.

5.2 Työn yhteenveto

Ydinten lukumäärät ovat selvästi nousseet, kuten myös kellotaajuudet, välimuistien määrät, tuetut SRAM nopeudet ja IPC. Nämä lukemat tulevat nousemaan edelleen tulevaisuudessa, ja mukaan tulee vielä uusia teknologioita kuten PCIe 5.0 ja DDR5. PCIe 4.0 on tällä hetkellä melko uutena markkinoilla.

MCM-suunnittelu tuli vahvasti esille AMD:n Zen 2:n myötä. Myös Intel on siirtymässä MCM-suunnitteluun laattojen muodossa. Tulevaisuudessa MCM-suunnittelu tulee olemaan vielä entistäkin tärkeämpää, ja mukaan tulee 3D-suunnittelua, jota Intel testasi Lakefieldissä. MCM-suunnittelun myötä prosessoreiden sisäiset yhtenäiset liitännät skaalautuvia järjestelmiä varten ovat tulleet erittäin tärkeiksi (esimerkkeinä AMD:n Infinity Fabric ja Intelin UPI).

Valmistusprosessit ovat pienentyneet 14nm:stä 7nm:n. Intelillä on ollut pahoja vaikeuksia päästä 10nm:n, mutta vuonna 2021 Intelin pitäisi päästä tälle tasolle Alder Laken myötä. Intelillähän on mobiiliprosessoreita 10nm:llä, mutta työpöytämallien tuki puuttuu tällä hetkellä. Tulevaisuudessa valmistusprosessit jatkavat siirtymistä alati pienempiin viivanleveyyksiin.

Tietoturvallisuuteen keskitytään nyt paljon, niin prosessoreiden raudassa, kuin myös ohjelmistossa.

Intel on tuomassa Alder Laken mukana ensimmäisen (mukaan lukematta Lakefieldiä) heterogeenisen arkkitehtuurin.

LÄHTEET

- @MebiuW. (19. joulukuu 2020). *Intel/AMD Roadmap*. Noudettu osoitteesta twitter.com: <https://twitter.com/MebiuW/status/1340337782447775746>
- @Olrak29_. (17. huhtikuu 2021). *AMD Client Roadmap*. Noudettu osoitteesta twitter.com: https://twitter.com/Olrak29_/status/1383504746846199809
- Alcorn, P. (15. heinäkuu 2017). *Intel Introduces New Mesh Architecture For Xeon And Skylake-X Processors*. Noudettu osoitteesta Tom's Hardware: <https://www.tomshardware.com/news/intel-mesh-architecture-skylake-x-hedt,34806.html>
- Alcorn, P. (21. marraskuu 2019). *AMD Ryzen 9 3900X and Ryzen 7 3700X Review: Zen 2 and 7nm Unleashed*. Noudettu osoitteesta TomsHardware.com: <https://www.tomshardware.com/reviews/ryzen-9-3900x-7-3700x-review,6214-2.html>
- Areej. (19. helmikuu 2021). *What is a CCX/CCD in an AMD Ryzen Processor?* Noudettu osoitteesta hardwaretimes.com: <https://www.hardwaretimes.com/what-is-a-ccx-ccd-in-an-amd-ryzen-processor/>
- Chino. (21. toukokuu 2018). *Intel Core M3 8114Y "Cannon Lake-Y" Processor Surfaces in 3DMark*. Noudettu osoitteesta TechPowerUp.com: <https://www.techpowerup.com/244323/intel-core-m3-8114y-cannon-lake-y-processor-surfaces-in-3dmark>
- Connatser, M. (6. lokakuu 2020). *Exclusive: Intel Sapphire Rapids to Feature Chiplets, HBM2, 400 Watt TDP, Coming in 2021*. Noudettu osoitteesta AdoredTV.com: <https://adoredtv.com/exclusive-intel-sapphire-rapids-to-feature-chiplets-hbm2-400-watt-tdp-coming-in-2021/>
- Consortium, E. (n.d.). *About the EDA Industry*. Noudettu 25.3.2021 osoitteesta edac.org: <https://web.archive.org/web/20150802073506/http://www.edac.org/industry>
- CPU-World. (n.d.). *Release dates of desktop microprocessors*. Noudettu 6.4.2021 osoitteesta CPU-world.com: [https://www.cpu-world.com/Releases/Desktop_CPU_releases_\(2019\).html](https://www.cpu-world.com/Releases/Desktop_CPU_releases_(2019).html)
- Cutress, I. (22. maaliskuu 2016). *Intel's 'Tick-Tock' Seemingly Dead, Becomes 'Process-Architecture-Optimization'*. Noudettu osoitteesta Anandtech.com: <https://www.anandtech.com/show/10183/intels-tick-tock-seemingly-dead-becomes-process-architecture-optimization>
- Cutress, I. (2. maaliskuu 2017). *The AMD Zen and Ryzen 7 Review: A Deep Dive on 1800X, 1700X and 1700: The Core Complex, Caches, and Fabric*. Noudettu osoitteesta Anandtech: <https://www.anandtech.com/show/11170/the-amd-zen-and-ryzen-7-review-a-deep-dive-on-1800x-1700x-and-1700/9>

- Cutress, I. (19. kesäkuu 2017). *The Intel Skylake-X Review: Core i9 7900X, i7 7820X and i7 7800X Tested: Intel makes a mesh: new core-to-core communication paradigm*. Noudettu osoitteesta Anandtech.com:
<https://www.anandtech.com/show/11550/the-intel-skylakex-review-core-i9-7900x-i7-7820x-and-i7-7800x-tested/5>
- Cutress, I. (19. elokuu 2018). *Intel at Hot Chips 2018: Showing the Ankle of Cascade Lake: Process tuning and VNNI*. Noudettu osoitteesta Anandtech.com:
<https://www.anandtech.com/show/13239/intel-at-hot-chips-2018-showing-the-ankle-of-cascade-lake/2>
- Cutress, I. (28. elokuu 2018). *Intel Launches Whiskey Lake-U and Amber Lake-Y: New MacBook CPUs?: Intel launches Whiskey and Amber*. Noudettu osoitteesta Anandtech.com: <https://www.anandtech.com/show/13275/intel-launches-whiskey-lake-amber-lake>
- Cutress, I. (19. huhtikuu 2018). *The AMD 2nd Gen Ryzen Deep Dive: The 2700X, 2700, 2600X, and 2600 Tested: Improvements to the Cache Hierarchy: Lower Latency = Higher IPC*. Noudettu osoitteesta AnandTech.com:
<https://www.anandtech.com/show/12625/amd-second-generation-ryzen-7-2700x-2700-ryzen-5-2600x-2600/3>
- Cutress, I. (18. kesäkuu 2020). *Intel Launches Cooper Lake: 3rd Generation Xeon Scalable for 4P/8P Servers, s. 1*. Noudettu osoitteesta Anandtech.com:
<https://www.anandtech.com/show/15862/intel-launches-cooper-lake-3rd-generation-xeon-scalable-for-4p8p-servers>
- Cutress, I. (23. maaliskuu 2021). *Intel to Revive 'Tick-Tock' Model, Unquestioned CPU Leadership Performance in 2024/2025*. Noudettu osoitteesta Anandtech.com: <https://www.anandtech.com/show/16574/intel-to-revive-ticktock-model-unquestioned-cpu-leadership-performance-in-20242025>
- Cutress, I. (11. tammikuu 2021). *Intel's 8-Core Mobile Tiger Lake-H, at 45 W, to Ship in Q1*. Noudettu osoitteesta Anandtech.com:
<https://www.anandtech.com/show/16384/intels-8-core-mobile-tiger-lake-h-at-45-w-to-ship-in-q1>
- Dead, M. L. (30. huhtikuu 2021). *Debunking AMD Zen 3+ Warhol & Ryzen 4700S Leaks*. Noudettu osoitteesta Youtube.com:
<https://youtu.be/bqkGNtsZejc?t=355>
- Dead, M. L. (15. helmikuu 2021). *Intel Alder Lake IPC Leak: Golden Cove i9 could beat the R9 5900X*. Noudettu osoitteesta Youtube.com:
<https://youtu.be/wvKCQTWEep0?t=678>
- Dexter, A. (28. huhtikuu 2021). *AMD's Ryzen CPU refresh may have been cancelled due to the chip crisis*. Noudettu osoitteesta PCGamer.com:
<https://www.pcgamer.com/amds-ryzen-cpu-refresh-may-have-been-cancelled-due-to-the-chip-crisis/>
- Fritz, F. (21. Lokakuu 2019). Noudettu osoitteesta flickr.com:
<https://www.flickr.com/photos/130561288@N04/48938258367/>

- Fritz, F. (11. heinäkuu 2019). Noudettu osoitteesta flickr.com:
<https://www.flickr.com/photos/130561288@N04/48258310682/>
- Fritz, F. (7. marraskuu 2019). *Epyc 7702 ES CCD*. Noudettu osoitteesta Flickr.com:
<https://www.flickr.com/photos/130561288@N04/49045449908/>
- Fritz, F. (26. Lokakuu 2019). *Epyc 7702 ES IOD*. Noudettu osoitteesta flickr.com:
<https://www.flickr.com/photos/130561288@N04/48988900942/>
- Frumusanu, A. (6. huhtikuu 2021). *Intel 3rd Gen Xeon Scalable (Ice Lake SP) Review: Generationally Big, Competitively Small: Intel's 3rd gen Xeon Scalable: Ice Lake in server form*. Noudettu osoitteesta Anandtech.com:
<https://www.anandtech.com/show/16594/intel-3rd-gen-xeon-scalable-review>
- Hachman, M. (23. helmikuu 2017). *Why AMD had to change the Zen name to Ryzen for its new chip*. Noudettu osoitteesta PCWorld.com:
<https://www.pcworld.com/article/3173043/why-amd-had-to-change-the-zen-name-to-ryzen-for-its-new-chip-architecture.html>
- Hamilton, E. (26. huhtikuu 2020). *HW News - Supercomputer Cryptomining Malware, DDR5 & AMD, Ryzen 3 1200 AF*. Noudettu osoitteesta GamersNexus.net: <https://www.gamersnexus.net/news-pc/3574-hw-news-supercomputer-mining-malware-ddr5-amd>
- Harding, S. (14. syyskuu 2019). *What Is an AMD CCX? A Basic Definition*. Noudettu osoitteesta TomsHardware.com:
<https://www.tomshardware.com/reviews/amd-ccx-definition-cpu-core-explained,6338.html>
- Heddings, A. (4. maaliskuu 2019). *How Are CPUs Actually Made?* Noudettu osoitteesta How-To Geek: <https://www.howtogeek.com/403953/how-are-cpus-actually-made/>
- Hruska, J. (6. marraskuu 2015). *GlobalFoundries announces 14nm validation with AMD Zen silicon*. Noudettu osoitteesta ExtremeTech:
<https://www.extremetech.com/computing/217664-globalfoundries-announces-14nm-validation-with-amd-silicon>
- Hruska, J. (15. maaliskuu 2021). *AMD's Milan Brings Zen 3 to Epyc, With Mostly Positive Results*. Noudettu osoitteesta Extremetech.com:
<https://www.extremetech.com/computing/320851-amds-milan-brings-zen-3-to-epyc-with-mostly-positive-results>
- Intel. (13. elokuu 2020). *Intel architecture day 2020 presentation slides s.53*. Noudettu osoitteesta Intel.com: <https://newsroom.intel.com/wp-content/uploads/sites/11/2020/08/Intel-Architecture-Day-2020-Presentation-Slides.pdf>
- Intel. (13. elokuu 2020). *Intel architecture day 2020 presentation slides s.54*. Noudettu osoitteesta Intel.com: <https://newsroom.intel.com/wp-content/uploads/sites/11/2020/08/Intel-Architecture-Day-2020-Presentation-Slides.pdf>

- Intel. (13. elokuu 2020). *Intel architecture day 2020 presentation slides s.70*. Noudettu osoitteesta Intel.com: <https://newsroom.intel.com/wp-content/uploads/sites/11/2020/08/Intel-Architecture-Day-2020-Presentation-Slides.pdf>
- Intel. (n.d.). *Intel Tick-Tock Model*. Noudettu 1.4.2021 osoitteesta Intel.com: <https://www.intel.com/content/www/us/en/silicon-innovations/intel-tick-tock-model-general.html>
- Laube, P. (26. helmikuu 2021). *Fundamentals: Doping: n- and p-semiconductors*. Noudettu osoitteesta Semiconductor Technology from A to Z: <https://www.halbleiter.org/en/fundamentals/doping/>
- Lilly, P. (10. huhtikuu 2021). *AMD Roadmap Leak Details Zen 4 Ryzen Raphael CPUs With Navi 2 GPUs*. Noudettu osoitteesta Hothardware.com: <https://hothardware.com/news/amd-roadmap-leak-zen-4-ryzen-raphael-cpus-navi-2-gpus>
- Liu, Z. (05. elokuu 2020). *Intel Alder Lake Already Looks Confusing: 12 Configurations Possible*. Noudettu osoitteesta Tom's hardware: <https://www.tomshardware.com/news/intel-alder-lake-already-looks-confusing-12-configurations-possible>
- Papazian, I. E. (2020). *New 3rd Gen Intel Xeon Scalable Processor (Codename: Ice Lake-SP), s. 10*. Noudettu osoitteesta hotchips.org: https://www.hotchips.org/assets/program/conference/day1/HotChips2020_Server_Processors_Intel_Irma_ICX-CPU-final3.pdf
- PCMag. (20. helmikuu 2021). *PCMag Encyclopedia: die*. Noudettu osoitteesta PCMag encyclopedia: <https://www.pcmag.com/encyclopedia/term/die>
- PCMag. (6. helmikuu 2021). *Texas Instruments, Inc, viitattu lähteessä PCMag Encyclopedia: die*. Noudettu osoitteesta PCMag encyclopedia: <https://www.pcmag.com/encyclopedia/term/die>
- RedGamingTech. (25. huhtikuu 2021). *Did AMD KILL The Zen 3+ Refresh? AMD Ryzen 6000 / Warhol Cancelled To Focus On Zen 4 ?* Noudettu osoitteesta Youtube.com: <https://youtu.be/2eXPCEeUZN4?t=144>
- Salazar, G. (1. kesäkuu 2020). *Intel's Ring Bus Explained*. Noudettu osoitteesta Youtube.com: <https://youtu.be/HGToWWne3do>
- Sandhu, T. (11. kesäkuu 2019). *The architecture behind AMD's Zen 2 and Ryzen 3000 CPUs: Architecture*. Noudettu osoitteesta hexus.net: <https://hexus.net/tech/news/cpu/131549-the-architecture-behind-amds-zen-2-ryzen-3000-cpus/>
- Schor, D. (22. heinäkuu 2018). *VLSI 2018: GlobalFoundries 12nm Leading-Performance, 12LP*. Noudettu osoitteesta Fuse.Wikichip.org: <https://fuse.wikichip.org/news/1497/vlsi-2018-globalfoundries-12nm-leading-performance-12lp/>

- Schor, D. (15. heinäkuu 2020). *Intel Launches Lakefield: An Experiment With Multiple New Technologies*. Noudettu osoitteesta Wikichip Fuse:
<https://fuse.wikichip.org/news/3578/intel-launches-lakefield-an-experiment-with-multiple-new-technologies/>
- Shrout, R. (15. kesäkuu 2017). *Intel Skylake-X and Skylake-SP Utilize Mesh Architecture for Intra-Chip Communication*. Noudettu osoitteesta PCPer.com: <https://pcper.com/2017/06/intel-skylake-x-and-skylake-sp-utilize-mesh-architecture-for-intra-chip-communication/>
- Subramaniam, V. (20. joulukuu 2020). *Rumor | Intel and AMD roadmap for 2021 and 2022 reveals interesting developments: Zen 4 Raphael to change status quo by featuring an RDNA2 iGPU*. Noudettu osoitteesta Notebookcheck.net:
<https://www.notebookcheck.net/Intel-and-AMD-roadmap-for-2021-and-2022-reveal-interesting-developments-Zen-4-Raphael-to-change-status-quo-by-featuring-an-RDNA2-iGPU.510997.0.html>
- Subramaniam, V. (11. helmikuu 2021). *AMD Ryzen Zen 3+ Warhol likely to launch in Q4 2021, modest IPC bump on the anvil to take on Intel Alder Lake-S*. Noudettu osoitteesta Notebookcheck.net:
<https://www.notebookcheck.net/AMD-Ryzen-Zen-3-Warhol-likely-to-launch-in-Q4-2021-modest-IPC-bump-on-the-anvil-to-take-on-Intel-Alder-Lake-S.519411.0.html>
- University, C. C. (elokuu 2015). *Different Processor Architectures*. Noudettu osoitteesta chortle.ccsu.edu:
https://chortle.ccsu.edu/AssemblyTutorial/Chapter-01/ass01_2.html
- Uskompuf. (10. helmikuu 2021). *AMD Zen 4 Reportedly Features a 29% IPC Boost Over Zen 3*. Noudettu osoitteesta Techpowerup.com:
<https://www.techpowerup.com/278321/amd-zen-4-reportedly-features-a-29-ipc-boost-over-zen-3>
- WhyCry. (20. maaliskuu 2021). *Exclusive: Intel 12th Gen Core "Alder Lake-S" platform detailed*. Noudettu osoitteesta VideoCardz.com:
<https://videocardz.com/newz/exclusive-intel-12th-gen-core-alder-lake-s-platform-detailed>
- WhyCry;& SMiThaYe. (8. huhtikuu 2021). *Intel Sapphire Rapids to feature up to 56 cores, 350W TDP and 64GB of HBM2 memory*. Noudettu osoitteesta Videocardz.com: <https://videocardz.com/newz/intel-sapphire-rapids-to-feature-up-to-56-cores-350w-tdp-and-64gb-of-hbm2-memory>
- Wikichip. (n.d.). *Amber Lake - Microarchitectures - Intel*. Noudettu 18.4.2021 osoitteesta Wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/amber_lake
- Wikichip. (n.d.). *Cannon Lake - Microarchitectures - Intel*. Noudettu 21.4.2021 osoitteesta Wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/cannon_lake

Wikichip. (n.d.). *Cascade Lake - Microarchitectures - Intel*. Noudettu 19.4.2021 osoitteesta Wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/cascade_lake

Wikichip. (n.d.). *Coffee Lake - Microarchitectures - Intel*. Noudettu 1.4.2021 osoitteesta Wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/coffee_lake

Wikichip. (n.d.). *Comet Lake - Microarchitectures - Intel*. Noudettu 18.4.2021 osoitteesta Wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/comet_lake

Wikichip. (n.d.). *Cooper Lake - Microarchitectures - Intel*. Noudettu 20.4.2021 osoitteesta Wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/cooper_lake

Wikichip. (n.d.). *Ice Lake (client) - Microarchitectures - Intel*. Noudettu 21.4.2021 osoitteesta Wikichip.org:
[https://en.wikichip.org/wiki/intel/microarchitectures/ice_lake_\(client\)](https://en.wikichip.org/wiki/intel/microarchitectures/ice_lake_(client))

Wikichip. (n.d.). *Ice Lake (server) - Microarchitectures - Intel*. Noudettu 24.4.2021 osoitteesta Wikichip.org:
[https://en.wikichip.org/wiki/intel/microarchitectures/ice_lake_\(server\)](https://en.wikichip.org/wiki/intel/microarchitectures/ice_lake_(server))

WikiChip. (n.d.). *Infinity Fabric (IF) - AMD*. Noudettu 9.4.2021 osoitteesta Wikichip.org: https://en.wikichip.org/wiki/amd/infinity_fabric

Wikichip. (n.d.). *Kaby Lake - Microarchitectures - Intel*. Noudettu 31.3.2021 osoitteesta Wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/kaby_lake

Wikichip. (n.d.). *Lakefield - Microarchitectures - Intel*. Noudettu 27.4.2021 osoitteesta Wikichip.org:
<https://en.wikichip.org/wiki/intel/microarchitectures/lakefield>

Wikichip. (n.d.). *Rocket Lake - Microarchitectures - Intel*. Noudettu 26.4.2021 osoitteesta Wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/rocket_lake

Wikichip. (n.d.). *Tiger Lake - Microarchitectures - Intel*. Noudettu 26.4.2021 osoitteesta Wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/tiger_lake

Wikichip. (n.d.). *Whiskey Lake - Microarchitectures - Intel*. Noudettu 18.4.2021 osoitteesta wikichip.org:
https://en.wikichip.org/wiki/intel/microarchitectures/whiskey_lake

Wikichip. (n.d.). *Zen - Microarchitectures - AMD*. Noudettu 23.3.2021 osoitteesta Wikichip.org: <https://en.wikichip.org/wiki/amd/microarchitectures/zen>

Wikichip. (n.d.). *Zen 2 - Microarchitectures - AMD*. Noudettu 23.3.2021 osoitteesta Wikichip.org: https://en.wikichip.org/wiki/amd/microarchitectures/zen_2

Wikichip. (n.d.). *Zen 3 - Microarchitectures - AMD*. Noudettu 28.4.2021 osoitteesta Wikichip.org: https://en.wikichip.org/wiki/amd/microarchitectures/zen_3

Wikichip. (n.d.). *Zen+ - Microarchitectures - AMD*. Noudettu 23.3.2021 osoitteesta Wikichip.org: <https://en.wikichip.org/wiki/amd/microarchitectures/zen%2B>

Wikipedia. (n.d.). *Alder Lake (microprocessor)*. Noudettu 21.4.2021 osoitteesta Wikipedia.org: [https://en.wikipedia.org/wiki/Alder_Lake_\(microprocessor\)](https://en.wikipedia.org/wiki/Alder_Lake_(microprocessor))

Wikipedia. (n.d.). *AMD*. Noudettu 6.2.2021 osoitteesta Wikipedia.org: <https://fi.wikipedia.org/wiki/AMD>

Wikipedia. (n.d.). *Comet Lake (microprocessor)*. Noudettu 21.4.2021 osoitteesta Wikipedia.org: [https://en.wikipedia.org/wiki/Comet_Lake_\(microprocessor\)](https://en.wikipedia.org/wiki/Comet_Lake_(microprocessor))

Wikipedia. (n.d.). *Die (integrated circuit)*. Noudettu 20.2.2021 osoitteesta Wikipedia.org: [https://en.wikipedia.org/wiki/Die_\(integrated_circuit\)](https://en.wikipedia.org/wiki/Die_(integrated_circuit))

Wikipedia. (n.d.). *Electronic design automation*. Noudettu 26.3.2021 osoitteesta Wikipedia.org: https://en.wikipedia.org/wiki/Electronic_design_automation

Wikipedia. (n.d.). *Ice Lake (microprocessor)*. Noudettu 22.4.2021 osoitteesta Wikipedia.org: [https://en.wikipedia.org/wiki/Ice_Lake_\(microprocessor\)](https://en.wikipedia.org/wiki/Ice_Lake_(microprocessor))

Wikipedia. (n.d.). *Intel*. Noudettu 5.2.2021 osoitteesta Wikipedia.org: <https://fi.wikipedia.org/wiki/Intel>

Wikipedia. (n.d.). *Rocket Lake*. Noudettu 26.4.2021 osoitteesta Wikipedia.org: https://en.wikipedia.org/wiki/Rocket_Lake

Wikipedia. (n.d.). *Sapphire Rapids*. Noudettu 5.5.2021 osoitteesta Wikipedia.com: https://en.wikipedia.org/wiki/Sapphire_Rapids

Wikipedia. (n.d.). *Software Guard Extensions*. Noudettu 25.4.2021 osoitteesta Wikipedia.org: https://en.wikipedia.org/wiki/Software_Guard_Extensions

Wikipedia. (n.d.). *Tick–tock model*. Noudettu 2.4.2021 osoitteesta Wikipedia.org: https://en.wikipedia.org/wiki/Tick%E2%80%93tock_model

Wikipedia. (n.d.). *Tiger Lake*. Noudettu 26.4.2021 osoitteesta Wikipedia.org: https://en.wikipedia.org/wiki/Tiger_Lake

Wikipedia. (n.d.). *Zen 3*. Noudettu 30.4.2021 osoitteesta Wikipedia.org: https://en.wikipedia.org/wiki/Zen_3